

# APIC22A 技術資料

## PCI Master/Target Adapter

Preliminary

(株) シーピーアイテクノロジーズ  
APIC22A Data Sheet  
Revision 2.00p  
2025/2/6

## ◆ 改訂来歴

DATE	Revision	Section	Notes
2001/12/03	Rev1.00	—	「APIC22」 第一版
2002/01/11	Rev1.10	18-3	1. 「動的消費電流」 項目の変更と追加。
		20-1-3	1. 「消費電流と高温動作環境での取り扱いについて」 項目を追加。
		20-2-5	1. 「8/16Bit NonMux モード時のローカル・マスタ・アクセス」 項目を追加。
2004/11/24	Rev1.20	—	p.288 テクニカルサポートの記述を追加。 E-Mail アドレスを修正。
2012/05/01	Rev1.30	—	発行社名変更
2025/02/06	Rev.2.00p	—	「APIC22A」 Preliminary

Preliminary

# —目次—

1. 概要.....	1
1-1. 特長.....	1
1-2. PCI Spec 2.2 新機能サポート.....	3
1-3. CompactPCI サポート.....	4
1-4. アダプタ・ボード・ブロック図.....	5
2. 構成.....	6
2-1. 内部構成図.....	6
2-2. 構成内容.....	7
2-3. 端子構成.....	9
2-3-1. PCI インタフェース.....	9
2-3-2. ローカル・インタフェース.....	12
2-3-2-1. 8/16Bit NonMux モード.....	14
2-3-2-2. 32Bit Mux モード.....	16
2-3-3. シリアル EEPROM インタフェース.....	18
2-3-4. テスト端子.....	19
2-3-5. 電源端子.....	19
2-3-6. 未接続端子.....	19
3. アダプタの初期化.....	20
3-1. 初期化シーケンス.....	20
3-1-1. 状態遷移図.....	20
3-2. アダプタ動作モード.....	21
3-2-1. ローカル・クロック・モード.....	21
3-2-2. ローカル・バス・モード.....	22
3-2-3. リセット動作.....	23
3-2-3-1. システム・リセットと動作モードについて.....	23
3-2-3-2. ローカル・リセット.....	23
4. バス・オペレーション.....	24
4-1. PCI バス・インタフェース.....	25
4-1-1. PCI ターゲット.....	25
4-1-1-1. サポート・コマンド.....	25
4-1-1-2. ターゲット・ターミネーション.....	26
4-1-1-3. アドレッシング・モード.....	26
4-1-1-4. エラー検出.....	27
4-1-1-5. ターゲット・リソースの割り当て.....	28
4-1-1-6. ターゲット・ロック機能.....	30
4-1-1-7. ターゲット・レイテンシ・ルール.....	30
4-1-1-8. データ転送.....	31
4-1-2. PCI マスタ.....	32
4-1-2-1. サポート・コマンド.....	32
4-1-2-2. マスタ・ターミネーション.....	32
4-1-2-3. アドレッシング・モード.....	33
4-1-2-4. エラー検出.....	33
4-1-2-5. アクセス可能な PCI リソース.....	35
4-1-2-6. マスタ・ロック機能.....	36
4-1-2-7. データ転送.....	36
4-1-3. PCI コンフィギュレーション空間.....	37
4-1-3-1. 共通定義の PCI ヘッダ領域 (Offset : 00h~0Fh).....	37
4-1-3-2. PCI ヘッダ・タイプ 00H 領域 (Offset : 10h~3Fh).....	39
4-1-3-3. デバイス固有領域 (Offset : 40h~FFh).....	41
4-2. PCI バス・タイミング.....	42

4-2-1. PCI ターゲット・アクセス .....	42
4-2-1-1. 内部レジスタ・リード・タイミング .....	42
4-2-1-2. 内部レジスタ・ライト・タイミング .....	42
4-2-1-3. ターゲット・イニシエーティット・ターミネーション .....	43
4-2-2. PCI マスタ・アクセス .....	44
4-2-2-1. PCI アービトレーション・タイミング .....	44
4-2-2-2. マスタ・ロック・シーケンス .....	44
4-2-2-3. マスタ・イニシエーティット・ターミネーション .....	45
4-3. ローカル・バス・インタフェース .....	46
4-3-1. ローカル・バス・アービトレーション .....	47
4-3-1-1. アービトレーション方法 .....	47
4-3-1-2. アービトレーションの優先制御 .....	49
4-3-2. 8/16Bit NonMux モードのバス動作 .....	50
4-3-2-1. ローカル・バス・コマンド .....	50
4-3-2-2. ローカル・バス幅とエンディアン変換機能 .....	51
4-3-2-3. ローカル・バス・タイミング制御 .....	53
4-3-2-3-1. PCI ターゲット/DMA 転送時のタイミング制御 .....	53
4-3-2-3-2. ローカル・マスタ・アクセス時のタイミング制御 .....	56
4-3-3. 32Bit Mux モードのバス動作 .....	58
4-3-3-1. ローカル・バス・コマンド .....	58
4-3-3-2. エンディアン変換機能 .....	59
4-3-3-3. ローカル・バス・タイミング制御 .....	61
4-3-3-3-1. PCI ターゲット/DMA 転送時のタイミング制御 .....	61
4-3-3-3-2. ローカル・マスタ・アクセス時のタイミング制御 .....	66
4-3-4. ローカル・ウェイト・リミット機能 .....	69
4-3-5. I/O チップ・セレクト機能 .....	70
4-3-5-1. IOCS[15:0]#信号の内部構成 .....	70
4-3-5-2. デコード範囲の設定 .....	71
4-3-5-3. 出力タイミングの設定 .....	72
5. PCI ターゲット機能 .....	73
5-1. リマップ・アドレスの設定 .....	74
5-2. データ・バス制御 .....	75
5-2-1. I/O リード・アクセス .....	75
5-2-1-1. PCI バスの動作 .....	75
5-2-1-2. ローカル・バスの動作 .....	76
5-2-2. I/O ライト・アクセス .....	76
5-2-2-1. PCI バスの動作 .....	77
5-2-2-2. ローカル・バスの動作 .....	77
5-2-3. メモリ・リード・アクセス .....	78
5-2-3-1. PCI バスの動作 .....	78
5-2-3-2. ローカル・バスの動作 .....	80
5-2-4. メモリ・ライト・アクセス .....	80
5-2-4-1. PCI バスの動作 .....	80
5-2-4-2. ローカル・バスの動作 .....	81
5-3. ステート・コントロール .....	82
5-3-1. PCI リード・モード .....	82
5-3-2. PCI ライト・モード .....	82
5-3-3. I/O アクセスとローカル・プリフェッチ制御 .....	83
5-3-4. PCI データ・パリティ・モード .....	83
5-4. バス・タイミング .....	84
5-4-1. 8/16Bit NonMux モード .....	84
5-4-1-1. I/O リード・タイミング .....	84
5-4-1-2. I/O ライト・タイミング .....	88

5-4-1-3. メモリ・リード・タイミング .....	94
5-4-1-4. メモリ・ライト・タイミング .....	99
5-4-2. 32Bit Mux モード.....	105
5-4-2-1. I/O リード・タイミング .....	105
5-4-2-2. I/O ライト・タイミング .....	107
5-4-2-3. メモリ・リード・タイミング .....	111
5-4-2-4. メモリ・ライト・タイミング .....	116
6. ローカル・マスタ機能.....	121
6-1. リマップ・アドレスの設定.....	122
6-2. データ・バス制御.....	123
6-2-1. I/O リード・アクセス.....	123
6-2-1-1. ローカル・バスの動作.....	123
6-2-1-2. PCI バスの動作.....	124
6-2-2. I/O ライト・アクセス.....	124
6-2-2-1. ローカル・バスの動作.....	124
6-2-2-2. PCI バスの動作.....	124
6-2-3. メモリ・リード・アクセス.....	125
6-2-3-1. ローカル・バスの動作.....	125
6-2-3-2. PCI バスの動作.....	127
6-2-4. メモリ・ライト・アクセス.....	127
6-2-4-1. ローカル・バスの動作.....	127
6-2-4-2. PCI バスの動作.....	128
6-3. ステート・コントロール.....	129
6-3-1. Posted WR マージング制御.....	129
6-3-2. I/O アクセスと PCI プリフェッチ制御.....	129
6-4. バス・タイミング.....	130
6-4-1. 8/16Bit NonMux モード.....	130
6-4-1-1. 内部レジスタ・リード・タイミング.....	130
6-4-1-2. 内部レジスタ・ライト・タイミング.....	131
6-4-1-3. I/O リード・タイミング.....	132
6-4-1-4. I/O ライト・タイミング.....	134
6-4-1-5. メモリ・リード・タイミング.....	136
6-4-1-6. メモリ・ライト・タイミング.....	138
6-4-2. 32Bit Mux モード.....	140
6-4-2-1. 内部レジスタ・リード・タイミング.....	140
6-4-2-2. 内部レジスタ・ライト・タイミング.....	141
6-4-2-3. I/O リード・タイミング.....	142
6-4-2-4. I/O ライト・タイミング.....	144
6-4-2-5. メモリ・リード・タイミング.....	146
6-4-2-6. メモリ・ライト・タイミング.....	148
7. DMA 機能.....	150
7-1. 通常 DMA 制御.....	151
7-1-1. 転送アドレスの設定.....	151
7-1-2. 転送カウント.....	151
7-1-3. 転送モード.....	152
7-1-3-1. データ・バス制御.....	152
7-1-4. アドレッシング・モードとデータ・サイズ.....	153
7-1-4-1. PCI バスの動作.....	153
7-1-4-2. ローカル・バスの動作.....	154
7-1-5. DREQ#信号による転送制御.....	156
7-1-6. DMA 転送の開始制御.....	157
7-1-6-1. DMA コントロール・レジスタ.....	157
7-1-6-2. 通常 DMA 転送の動作フロー.....	158

7-2. 間接 DMA 制御.....	159
7-2-1. 制御ワードの設定.....	159
7-2-2. 制御ワードのアドレス設定.....	160
7-2-3. DMA 転送の開始制御.....	161
7-2-3-1. DMA コントロール・レジスタ.....	161
7-2-3-2. 間接 DMA 転送の動作フロー.....	162
7-3. バス・タイミング.....	164
7-3-1. 8/16Bit NonMux モード.....	164
7-3-1-1. Local to PCI 転送タイミング.....	164
7-3-1-2. PCI to Local 転送タイミング.....	169
7-3-2. 32Bit Mux モード.....	173
7-3-2-1. Local to PCI 転送タイミング.....	173
7-3-2-2. PCI to Local 転送タイミング.....	179
8. 割り込み機能.....	183
8-1. SERR#機能.....	185
8-1-1. 外部要因 (IRQ) の SERR#制御.....	185
8-2. INTA#機能.....	186
8-2-1. 外部要因 (IRQ) の INTA#制御.....	187
8-3. LINT#機能.....	190
9. タイマ機能.....	191
9-1. タイマの操作方法.....	192
10. メッセージ・ボックス機能.....	193
10-1. メッセージ・ボックスの操作方法.....	193
11. 汎用入出力ポート.....	194
11-1. 使用例.....	194
11-1-1. 同一機能のポート識別.....	194
12. シリアル EEPROM インタフェース.....	195
12-1. シリアル EEPROM 機能の概要.....	195
12-1-1. シリアル EEPROM 種類の選択.....	195
12-1-2. 初期インシャライズ.....	195
12-1-3. シリアル EEPROM のクロック制御.....	196
12-1-4. シリアル EEPROM のアドレスとデータ・サイズ.....	196
12-1-5. シリアル EEPROM のアクセス制御.....	197
12-1-5-1. 初期インシャライズのアクセス.....	197
12-1-5-2. ソフトウェアによるアクセス.....	197
12-1-5-3. VPD 機能によるアクセス.....	197
12-1-5-4. アクセス制御に関する補足事項.....	198
12-2. シリアル EEPROM レジスタ・フォーマット.....	199
12-2-1. Adapter Control/Serial EEPROM Status.....	199
12-2-2. PCI Configuration Register Space.....	200
12-2-3. Initialize/MISC Control.....	202
12-2-4. New Capabilities Space.....	203
12-2-5. Adapter Configuration Register Lower Space.....	204
12-2-6. Adapter Configuration Register Upper Space.....	205
12-2-7. Reserved Space.....	205
12-2-8. VPD Space.....	205
12-3. シリアル EEPROM タイミング.....	206
12-3-1. 3-Wire シリアル EEPROM.....	206
12-3-2. 2-Wire シリアル EEPROM.....	207
13. PCI Spec2.2 新機能.....	208
13-1. 新機能の識別方法.....	208
14. パワー・マネジメント機能.....	210
14-1. パワー・マネジメント概要.....	210

1 4-1-1. PM ステート.....	210
1 4-1-2. Bus Power State(B0~B3).....	211
1 4-1-3. Function Power State(D0~D3).....	212
1 4-2. PM システム・タイミング.....	215
1 4-2-1. PM タイミング例.....	215
1 4-2-2. PM タイミングの信号説明.....	216
1 4-3. APIC22A 機能のコンテキスト.....	217
1 4-3-1. バス・リセット(PCI RST#).....	217
1 4-3-2. ローカル・リセット(LRESET#).....	217
1 4-3-3. ローカル割り込み(LINT#).....	219
1 4-3-4. PM 制御に関する補足事項.....	219
1 5. CompactPCI Hot Swap 機能.....	220
1 5-1. Hot Swap 機能概要.....	220
1 5-1-1. Hot Swap プロセス.....	220
1 5-1-2. Hot Swap ステート遷移図.....	221
1 5-1-3. Hot Swap システム・モデル.....	222
1 5-2. Hot Swap システム・タイミング.....	224
1 5-2-1. Board Insertion タイミング.....	224
1 5-2-2. Board Extraction タイミング.....	225
1 5-2-3. Hot Swap タイミングの信号説明.....	226
1 5-3. Hot Swap ボード・デザイン.....	227
1 5-3-1. ボード・サンプル回路.....	227
1 5-3-2. 電氣的信号モデル.....	227
1 6. レジスタの構成.....	228
1 6-1. PCI コンフィギュレーション・レジスタ.....	229
1 6-1-1. レジスタ・マップ.....	229
1 6-1-2. レジスタの説明.....	230
1 6-1-2-1. Vendor ID/Device ID : Offset = PCI CFG 00h/Local 00h.....	230
1 6-1-2-2. Command Register : Offset = PCI CFG 04h/Local 04h.....	230
1 6-1-2-3. Status Register : Offset = PCI CFG 06h/Local 06h.....	231
1 6-1-2-4. Revision ID/Class Code : Offset = PCI CFG 08h/Local 08h.....	231
1 6-1-2-5. Cache Line Size : Offset = PCI CFG 0Ch/Local 0Ch.....	231
1 6-1-2-6. Master Latency Timer : Offset = PCI CFG 0Dh/Local 0Dh.....	232
1 6-1-2-7. Header Type : Offset = PCI CFG 0Eh/Local 0Eh.....	232
1 6-1-2-8. BIST : Offset = PCI CFG 0Fh/Local 0Fh.....	232
1 6-1-2-9. Base Address Register0(BAR0) : Offset = PCI CFG 10h/Local 10h.....	232
1 6-1-2-10. Base Address Register1(BAR1) : Offset = PCI CFG 14h/Local 14h.....	232
1 6-1-2-11. Base Address Register2(BAR2) : Offset = PCI CFG 18h/Local 18h.....	233
1 6-1-2-12. Base Address Register3(BAR3) : Offset = PCI CFG 1Ch/Local 1Ch.....	233
1 6-1-2-13. Base Address Register4(BAR4) : Offset = PCI CFG 20h/Local 20h.....	233
1 6-1-2-14. Base Address Register5(BAR5) : Offset = PCI CFG 24h/Local 24h.....	233
1 6-1-2-15. CardBus CIS Pointer : Offset = PCI CFG 28h/Local 28h.....	234
1 6-1-2-16. Subsystem Vendor ID/Subsystem ID : Offset = PCI CFG 2Ch/Local 2Ch.....	234
1 6-1-2-17. Expansion ROM Base Address : Offset = PCI CFG 30h/Local 30h.....	234
1 6-1-2-18. Cap_Ptr : Offset = PCI CFG 34h/Local 34h.....	234
1 6-1-2-19. Interrupt Line/Interrupt Pin : Offset = PCI CFG 3Ch/Local 3Ch.....	235
1 6-1-2-20. Min_Gnt/Max_Lat : Offset = PCI CFG 3Eh/Local 3Eh.....	235
1 6-1-2-21. Hot Swap Cap_ID : Offset = PCI CFG 40h/Local 40h.....	236
1 6-1-2-22. Hot Swap Next Item : Offset = PCI CFG 41h/Local 41h.....	236
1 6-1-2-23. Hot Swap HS_CSR : Offset = PCI CFG 42h/Local 42h.....	236
1 6-1-2-24. Power Management Cap_ID : Offset = PCI CFG 48h/Local 48h.....	237
1 6-1-2-25. Power Management Next Item : Offset = PCI CFG 49h/Local 49h.....	237
1 6-1-2-26. Power Management Capabilities(PMC) : Offset = PCI CFG 4Ah/Local 4Ah.....	237

1 6-1-2-2 7.	Power Management Control/Status(PMCSR) : Offset = PCI CFG 4Ch/Local 4Ch....	238
1 6-1-2-2 8.	Power Management Data : Offset = PCI CFG 4Fh/Local 4Fh.....	238
1 6-1-2-2 9.	VPD Cap_ID : Offset = PCI CFG 50h/Local 50h.....	239
1 6-1-2-3 0.	VPD Next Item : Offset PCI CFG 51h/Local 51h.....	239
1 6-1-2-3 1.	VPD Address : Offset = PCI CFG 52h/Local 52h.....	239
1 6-1-2-3 2.	VPD Data : Offset = PCI CFG 54h/Local 54h.....	239
1 6-1-2-3 3.	MSI Cap_ID : Offset = PCI CFG 60h/Local 60h.....	240
1 6-1-2-3 4.	MSI Next Item : Offset = PCI CFG 61h/Local 61h .....	240
1 6-1-2-3 5.	MSI Control : Offset = PCI CFG 62h/Local 62h .....	240
1 6-1-2-3 6.	MSI Address : Offset = PCI CFG 64h/Local 64h .....	240
1 6-1-2-3 7.	MSI Data : Offset = PCI CFG 68h/Local 68h.....	240
1 6-2.	アダプタ・コンフィギュレーション・レジスタ .....	241
1 6-2-1.	レジスタ・マップ .....	241
1 6-2-2.	レジスタの説明.....	242
1 6-2-2-1.	PCI INTA#/SERR# Status : Offset = PCI BAR0 00h/Local 80h .....	242
1 6-2-2-2.	Local LINT# Status : Offset = PCI BAR0 02h/Local 82h.....	243
1 6-2-2-3.	Adapter Revision : Offset = PCI BAR0 03h/Local 83h .....	243
1 6-2-2-4.	Adapter Control : Offset = PCI BAR0 04h/Local 84h .....	244
1 6-2-2-5.	Local Power Management Control : Offset = PCI BAR0 06h/Local 86h.....	245
1 6-2-2-6.	PCI SERR# Control : Offset = PCI BAR0 07h/Local 87h.....	245
1 6-2-2-7.	Internal Interrupt Control for PCI(INTA#/MSI) : Offset = PCI BAR0 08h/Local 88h.....	246
1 6-2-2-8.	Internal Interrupt Control for Local(LINT#) : Offset = PCI BAR0 09h/Local 89h.....	246
1 6-2-2-9.	External Interrupt Control : Offset = PCI BAR0 0Ah/Local 8Ah .....	247
1 6-2-2-1 0.	Serial EEPROM Control : Offset = PCI BAR0 0Ch/Local 8Ch .....	248
1 6-2-2-1 1.	Parallel Input/Output(PIO) : Offset = PCI BAR0 0Dh/Local 8Dh .....	249
1 6-2-2-1 2.	Pin Function Control : Offset = PCI BAR0 0Eh/Local 8Eh.....	249
1 6-2-2-1 3.	Local Bus Control : Offset = PCI BAR0 10h/Local 90h .....	250
1 6-2-2-1 4.	PCI Target I/O Remap Address : Offset = PCI BAR0 14h/Local 94h .....	253
1 6-2-2-1 5.	PCI Target Memory Remap Address : Offset = PCI BAR0 18h/Local 98h .....	253
1 6-2-2-1 6.	PCI Target ExpROM Remap Address : Offset = PCI BAR0 1Ch/Local 9Ch.....	253
1 6-2-2-1 7.	PCI State Control : Offset = PCI BAR0 20h/Local A0h.....	254
1 6-2-2-1 8.	Local Master I/O Remap Address : Offset = PCI BAR0 24h/Local A4h .....	257
1 6-2-2-1 9.	Local Master Memory Remap Address : Offset = PCI BAR0 28h/Local A8h .....	257
1 6-2-2-2 0.	Local State Control : Offset = PCI BAR0 2Ch/Local ACh.....	258
1 6-2-2-2 1.	DMA PCI Address : Offset = PCI BAR0 30h/Local B0h.....	260
1 6-2-2-2 2.	DMA Local Address : Offset = PCI BAR0 34h/Local B4h .....	260
1 6-2-2-2 3.	DMA Transfer Count/Control : Offset = PCI BAR0 38h/Local B8h.....	260
1 6-2-2-2 4.	DMA Indirect Control-word Address : Offset = PCI BAR0 3Ch/Local BCh .....	261
1 6-2-2-2 5.	DMA Control : Offset = PCI BAR0 40h/Local C0h.....	262
1 6-2-2-2 6.	Timer Count : Offset = PCI BAR0 44h/Local C4h.....	263
1 6-2-2-2 7.	Timer Control : Offset = PCI BAR0 47h/Local C7h .....	263
1 6-2-2-2 8.	Message Box Data Port : Offset = PCI BAR0 48h/Local C8h.....	264
1 6-2-2-2 9.	Message Box Command Port : Offset = PCI BAR0 4Ch/Local CCh.....	264
1 6-2-2-3 0.	I/O Chip Select Address Decode : Offset = PCI BAR0 50h~6Eh/Local D0h~EEh .....	265
1 6-2-2-3 1.	I/O Chip Select Timing Control : Offset = PCI BAR0 70h/Local F0h .....	266
1 7.	端子配置と特性.....	267
1 7-1.	PCI インタフェース.....	268
1 7-2.	ローカル・インタフェース.....	269
1 7-3.	端子配置図 .....	272
1 8.	電気的特性.....	273
1 8-1.	絶対最大定格.....	273
1 8-2.	推奨動作条件.....	273
1 8-3.	消費電流.....	274



18-4. DC 特性.....	275
18-5. AC 特性.....	276
18-5-1. タイミング図.....	276
18-5-2. クロック/周辺信号タイミング.....	278
18-5-3. LRESET#とアービトレーション・タイミング.....	278
18-5-4. バス・タイミング (8/16Bit NonMux Mode).....	279
18-5-4-1. PCI ターゲット/DMA アクセス.....	279
18-5-4-2. ローカル・マスタ・アクセス.....	280
18-5-5. バス・タイミング (32Bit Mux Mode).....	281
18-5-5-1. PCI ターゲット/DMA アクセス.....	281
18-5-5-2. ローカル・マスタ・アクセス.....	282
19. パッケージ寸法.....	283
20. 設計上の注意事項.....	284
20-1. 電気的特性.....	284
20-1-1. LVTTTL 出力バッファの取り扱い.....	284
20-1-2. デバイス内部のプルアップ/プルダウン抵抗について.....	284
20-1-3. 消費電流と高温動作環境での取り扱いについて.....	284
20-2. バス・オペレーション.....	285
20-2-1. データ転送中の内部レジスタ操作.....	285
20-2-2. バスの競合状態によるデッド・ロックの問題.....	285
20-2-3. LRDY#信号の取り扱い.....	286
20-2-4. ローカル・バス・コントロール・レジスタの設定.....	287
20-2-5. 8/16Bit NonMux モード時のローカル・マスタ・アクセス.....	287
20-3. (PME#)信号について.....	288
製品取扱い上のご注意.....	289

# 1. 概要

APIC22A は、バス・マスタ機能を有する PCI 規格 2.2 準拠の「PCI Master/Target Adapter LSI」です。

PCI バスは、様々な分野で採用されており、簡単な入出力を目的とするものから大容量／高速転送などの高機能なものまで要求されています。

APIC22A を用いることにより、これら要求を幅広くサポートし、システム構築を容易に実現します。

## 1-1. 特長

- ① パッケージに、プラスチック QFP216 ピン(26mm×26mm/0.4mmPin ピッチ)採用アダプタ・ボードの省スペース化を実現します。
- ② 2 電源方式の動作電源電圧
  - ・ユニバーサル PCI 対応  
PCI バスの I/O バッファ電源に、5V または 3.3V を入力可能です。  
APIC22A 内部には、I/O バッファの電源電圧検出回路が内蔵されており、5V PCI または 3.3V PCI 用に I/O バッファを構成します。
  - ・3.3V のコア電源  
CMOS プロセスの 3.3V コア電源により低消費電力を実現しています。
  - ・5V トレラントのローカル・バス  
ローカル・バスは、5V/3.3V 信号の入力が可能です。
- ③ 2つのローカル・バス・モード  
アプリケーションの用途に合わせてローカル・バス・モードを選択できます。
  - ・8/16Bit NonMux Mode (NonMultiplex)  
アドレスとデータがそれぞれ独立したバスで構成され、簡単な外部回路で制御が可能です。
  - ・32Bit Mux Mode (Multiplex)  
アドレスとデータが同一のバスで構成され、32Bit 幅のデータ・バスでバースト転送が可能です。  
高速のデータ転送が必要なアプリケーションに最適です。
- ④ 2つのローカル・クロック・モード  
ローカル・バスの動作クロックは、PCI バスとの同期/非同期を選択できます。
  - ・同期モード  
PCI クロックがローカル・バスの動作クロックとして供給されます。  
同期モードは、APIC22A 内部のデータ・バスが単純化されるため転送速度が向上します。
  - ・非同期モード  
外部入力クロックでローカル・バスが動作します。  
非同期モードは、PCI クロックとは非同期のアプリケーション回路とのインタフェースを可能とします。
- ⑤ PCI バス・マスタ転送のサポート  
PCI バス・マスタ転送は、APIC22A 内蔵 DMA 機能とローカル・マスタ(CPU)機能による2つの方法をサポートします。
- ⑥ DMA 機能  
APIC22A には、1チャンネルの DMA 機能が内蔵されています。  
DMA 機能は、PCI to Local/Local to PCI 転送が可能で、メモリ空間または I/O 空間をそれぞれ選択できます。また、I/O デバイスを対象とする転送では、2本のハンドシェイク信号による制御が可能です。
- ⑦ 間接 DMA コントロール機能 (Indirect DMA Control)  
DMA 制御のためのコントロール・ワードを PCI またはローカルのリソース空間に配置可能で、転送開始時にコントロール・ワードが読み出され転送制御が行われます。  
間接 DMA 機能により、転送アドレスや転送カウンタの制限を受けず様々な転送シーケンスの作成が可能となります。

- ⑧ ローカル・マスタ(CPU)による PCI アクセスのサポート  
APIC22A のローカル・バスには、2本のバス・アービトレーション信号が装備されています。  
ローカル・マスタは、アービトレーションによりローカル・バスの使用权を得ることができます。  
使用权を得た状態で、ローカル・マスタから PCI バスへのアクセスが可能となります。また、APIC22A 内部レジスタへのアクセスも行うことができます。
- ⑨ 64Byte のデータ・バッファ内蔵  
マスタ/ターゲット転送および DMA 転送用に、64Byte(16Dword)のデータ・バッファ(FIFO)を内蔵しています。これにより、PCI とローカルの転送速度の差を吸収しシステム・パフォーマンスの向上を実現しています。
- ⑩ システム・リソースの割り当て
- PCI ターゲット動作(PCI to Local)  
8/16Bit NonMux Mode 時、最大 256Byte の I/O 空間および最大 128Kbyte のメモリ/ExpROM 空間をサポートします。  
32Bit Mux Mode 時、最大 2Gbyte の I/O およびメモリ/ExpROM 空間をサポートします。
  - ローカル・マスタ動作(Local to PCI)  
I/O 空間およびメモリ空間をそれぞれ指定可能で、最大 4Gbyte の PCI リソース空間へのアクセスが可能です。
  - DMA 動作(Local to PCI/PCI to Local)  
I/O 空間およびメモリ空間をそれぞれ指定可能で、最大 4Gbyte の PCI/ローカル・リソース空間への転送が可能です。
- ⑪ 16本の I/O チップ・セレクト機能サポート  
ローカル・バスが 8/16Bit NonMux Mode のとき、1~256Byte(2 の乗数単位)の範囲で設定可能な I/O チップ・セレクト信号を生成できます。  
各 I/O チップ・セレクトは、アドレスやリード/ライトのタイミングで出力することが可能です。  
これにより、外部デコード回路などの簡略化ができます。
- ⑫ ローカル・バスのタイミング制御  
APIC22A 内部レジスタの設定により、アドレスやデータのウェイト指定、アドレス・ホールド指定などが可能です。
- ⑬ 4要因の外部イベント(割り込み)入力サポート  
ローカル・バスには、4本の割り込み入力端子があります。  
それぞれの割り込みには、ポラリティ/トリガ/タイプ/プライオリティの指定が可能です。  
外部イベントは、割り込み以外に PCI SERR#要因/DMA 起動要因およびパワー・マネージメントのウェイク・イベント要因に使用することができます。
- ⑭ シリアル EEPROM インタフェース  
シリアル EEPROM により、アプリケーションの目的に合わせた内容に APIC22A を構成します。  
(システム・リセット後、シリアル EEPROM から初期イニシャライズ・データとしてロードされます。)  
外部端子の設定により、3-Wire タイプまたは 2-Wire タイプのシリアル EEPROM を選択できます。
- ⑮ メッセージ・ボックス機能  
PCI 側とローカル側とのメッセージ送受信のための汎用レジスタが内蔵されています。  
コマンド用とデータ用にそれぞれ 32Bit 幅のレジスタが用意されています。
- ⑯ 汎用タイマ機能  
ローカル・クロックでカウントされる 24Bit のタイマが内蔵されています。  
タイマ出力による任意周期のクロックをアプリケーション回路で利用できます。  
また、インターバル・タイマとして割り込み要因にも利用できます。

## 1-2. PCI Spec 2.2 新機能サポート

「PCI Local Bus Specification Revision2.2」では、パワー・マネジメントや VPD など新機能を検出して制御するための標準的な方法が定義されています。

APIC22A では、これら新機能検出のための方法に対応し下記の新機能をサポートします。

### ① パワー・マネジメント機能

APIC22A は、「PCI Bus Power Management Interface Spec R1.0」に対応しています。

シリアル EEPROM による初期インシャライズで PM(Power Management) Capabilities レポートを設定できるため、アプリケーション固有の PM ポリシーを定義することが可能です。

また、各 PM ステートに対するローカル・リセットやローカル割り込みの制御が可能です。なお、特定の PM ステートからのウェイク・イベント生成も可能ですが、この機能を使用する場合は、「20-3. (PME#)信号について」をご参照ください。

### ② VPD(Vital Product Data)機能

新機能のメカニズムを利用した VPD アクセスを行うためのインタフェースを内蔵しています。

PCI コンフィギュレーション空間ヘッダでは対応できなかったアプリケーション固有の情報を格納できます。

VPD の格納媒体は、APIC22A 初期インシャライズ用のシリアル EEPROM と併用されるため特別に VPD 専用のメモリを設ける必要はありません。

### ③ MSI(Message Signaled Interrupt)機能

APIC22A は、新機能で追加となったメッセージ送出割り込みをサポートします。

### ④ CompactPCI Hot Swap 機能

APIC22A は、「CompactPCI Hot Swap Spec R1.0/R2.0」に対応しています。

### 1-3. CompactPCI サポート

CompactPCI は、PCI バス・プロトコルの高機能性を持ち、かつ機構的特長から高い信頼性があるため、多くの産業用、工業用に採用されています。

APIC22A は、PCI を基本とする機能に CompactPCI サポートのための機能拡張が行われています。

#### ① Hot Swap 機能

APIC22A は、「CompactPCI Hot Swap Spec R1.0/R2.0」に対応しています。

Hot Swap サポートのための「ENUM#/HEALTHY#/Ejector Status/Blue LED Control」信号ピンを外部端子に持っています。

また、Software Connection Control のための Hot Swap Control and Status Register (HS\_CSR) をインプリメントしています。

なお、Hot Swap Spec R1.0 における位置定義は「Friendly Device」です。

また、Hot Swap Spec R2.0 における「Programming Interface "0" (PI=0)」に対応します。

#### ・ HS\_CSR レジスタ

システム・ソフトウェアが、Blue LED の ON/OFF や Insertion/Extraction サービスの識別を本レジスタにより行います。

#### ・ ENUM#信号

Insertion/Extraction サービスの要求をホストに通知します。

Hot Swap 処理可能なホスト・システムは、本信号を割り込みイベントとして扱います。

#### ・ HEALTHY#信号

アダプタ・ボード内の電源電圧の状態を APIC22A およびホスト(PCI Bus)へ通知します。

HEALTHY#信号は、電源監視 IC(リセット IC)などの外部回路で生成する必要があります。

APIC22A 内部では、出力バッファのトライステート、システム・リセット、シリアル EEPROM による初期イニシャライズなどの制御に使用されます。

#### ・ Ejector Status(EJECTST)信号

フロントパネルのハンドル・スイッチの状態を示します。

“ON”状態になると、HS\_CSR レジスタの INS Bit をセットし、ENUM#信号をアサートして Hardware Connection の完了をホストに通知します。

“OFF”状態になると、HS\_CSR レジスタの EXT Bit をセットし、ENUM#信号をアサートして Extraction 要求をホストに通知します。

本端子に入力される信号は、APIC22A 内部で“de-bouncing”処理が施され使用されます。

#### ・ Blue LED Control(STLED#)信号

フロントパネルの Blue LED の ON/OFF を行います。

Blue LED は、Hardware Connection の実行中および取り外し可能な状態を示します。

#### ・ Gated I/O セル対応の PCI I/O バッファ

Gated I/O セルとは、入力端子が“HiZ”状態でもデバイス内部は安定な状態を保持できる I/O バッファです。

Insertion/Extraction サービスで必要とされるバス信号の Precharge 電圧に対応します。

#### ② 汎用入出力ポート

4Bit の汎用入出力端子を設けてあります。

同一機能のボードを識別するためのボード・セレクト・ナンバー(BSN)などのスイッチ入力が可能です。

なお、用途は特に限定はされず、出力信号としても使用することができます。

## 1-4. アダプタ・ボード・ブロック図

APIC22A を使用したアダプタ・ボードの基本的な構成を Figure1-1 に示します。

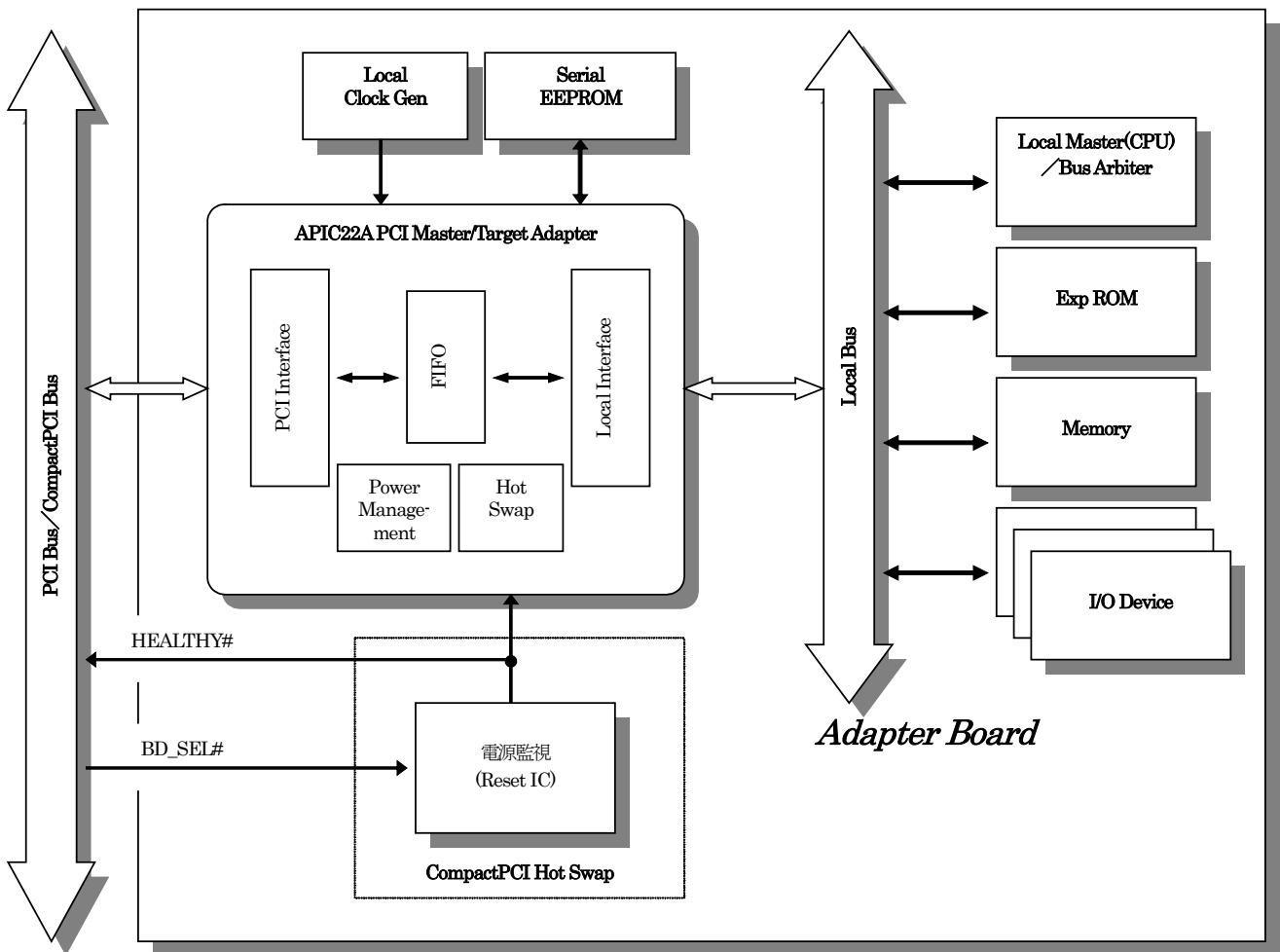


Figure1-1 : アダプタ・ボード・ブロック図

## 2. 構成

### 2-1. 内部構成図

APIC22A 内部のブロック構成を Figure2-1 に示します。

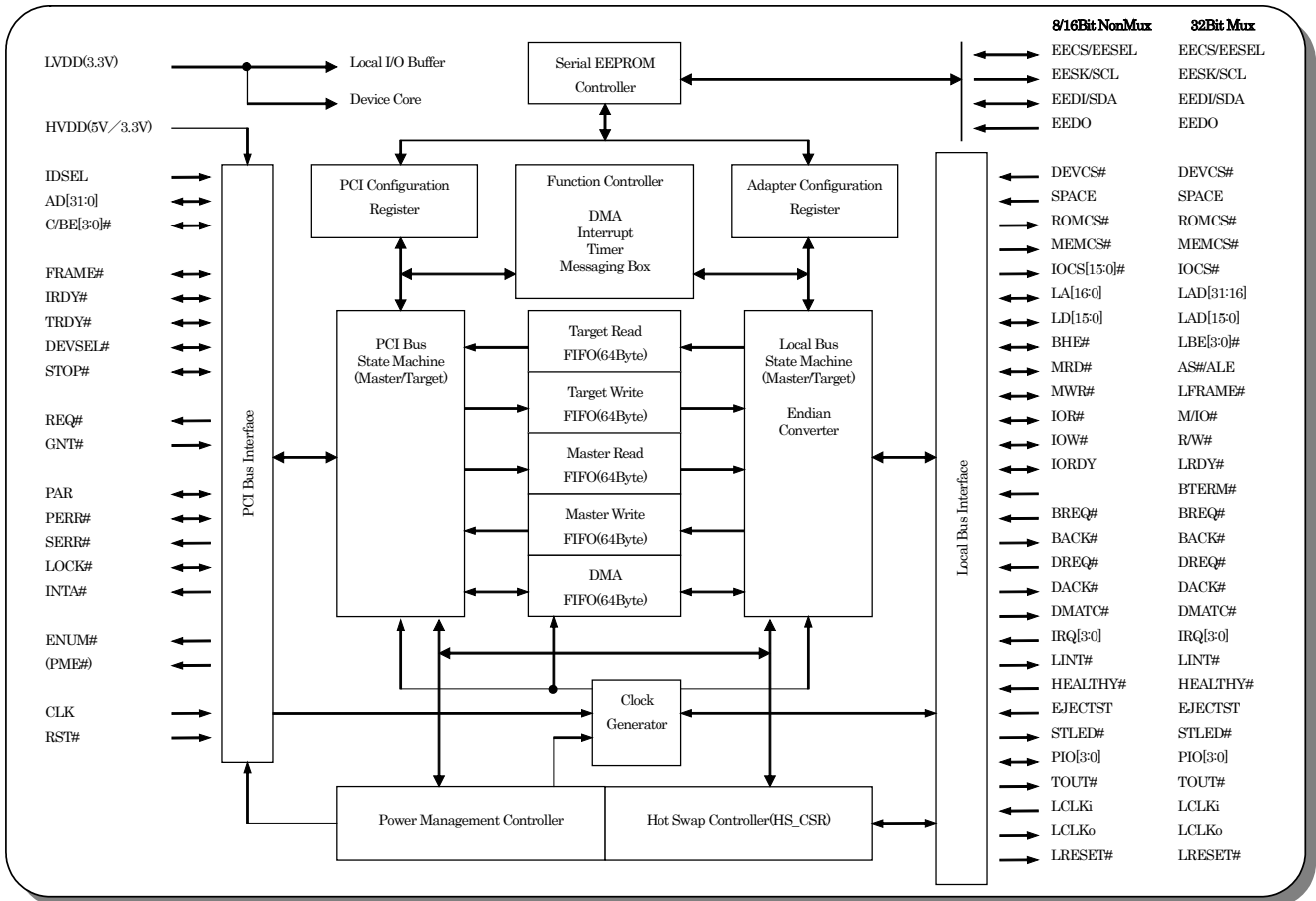


Figure2-1 : APIC22A ブロック図

## 2-2. 構成内容

各ブロックの構成内容を以下に示します。

ブロック名	内容
PCI Bus Interface PCI Bus State Machine	PCI バス制御ブロック <ul style="list-style-type: none"> <li>● 共通項目               <ol style="list-style-type: none"> <li>1. PCI Local Bus Specification Revision 2.2 準拠</li> <li>2. ユニバーサル PCI に対応 (5V/3.3V 系の PCI)</li> <li>3. 最大バス周波数 33MHz</li> <li>4. マスタ/ターゲット機能</li> </ol> </li> <li>● ターゲット機能 (PCI to Local)               <ol style="list-style-type: none"> <li>1. サポート・コマンド :                   <ul style="list-style-type: none"> <li>・ I/O Read/Write</li> <li>・ Memory Read/Write</li> <li>・ Configuration Read/Write</li> <li>・ Memory Read Multiple (MRM) *1</li> <li>・ Memory Read Line (MRL) *1</li> <li>・ Memory Write and Invalidate (MWI) *1</li> </ul> </li> <li>2. データ・バス制御 :                   <ul style="list-style-type: none"> <li>・ Memory、I/O 共に Direct RD および Delayed RD サポート</li> <li>・ 最大 64Byte (16Dword) の Memory Prefetch サポート</li> <li>・ Memory、I/O 共に Direct WR および Posted WR サポート</li> <li>・ 最大 64Byte (16Dword) の Posted バッファおよび 4 種類のフレーム管理</li> </ul> </li> <li>3. サポート空間 :                   <ul style="list-style-type: none"> <li>・ 8/16Bit NonMux Mode</li> <li>最大 256Byte の I/O 空間、最大 128Kbyte の Memory/ExpROM 空間</li> <li>・ 32Bit Mux Mode</li> <li>最大 2Gbyte の I/O、Memory/ExpROM 空間</li> </ul> </li> </ol> </li> <li>● マスタ機能 (Local to PCI/DMA)               <ol style="list-style-type: none"> <li>1. サポート・コマンド :                   <ul style="list-style-type: none"> <li>・ I/O Read/Write</li> <li>・ Memory Read/Write</li> <li>・ Configuration Read/Write *2</li> </ul> </li> <li>2. サポート空間 :                   <ul style="list-style-type: none"> <li>最大 4Gbyte の PCI リソース空間のアクセスをサポート</li> </ul> </li> <li>3. リトライ制限機能</li> </ol> </li> </ul>
Local Bus Interface Local Bus State Machine Endian Converter	ローカル・バス制御ブロック <ul style="list-style-type: none"> <li>● 共通項目               <ol style="list-style-type: none"> <li>1. 5V トレラントのバス・インタフェース (5V 系の信号入力対応)</li> <li>2. 最大バス周波数 33MHz</li> <li>3. 8/16Bit NonMux および 32Bit Mux の 2 つのバス・モード対応</li> <li>4. 2 線式のバス・アービトレーション機能</li> <li>5. 各種バス・タイミング/ウェイト指定サポート</li> <li>6. 空間識別のためのチップ・セレクト信号出力 *3</li> <li>7. Memory、I/O アドレスの Remap 機能</li> <li>8. Little Endian/Big Endian の変換機能 *4</li> </ol> </li> <li>● ローカル・マスタ機能 (Local to PCI)               <ol style="list-style-type: none"> <li>1. サポート・コマンド :                   <ul style="list-style-type: none"> <li>・ I/O Read/Write</li> <li>・ Memory Read/Write</li> </ul> </li> <li>2. データ・バス制御 :                   <ul style="list-style-type: none"> <li>・ Memory、I/O 共に Direct RD のサポート</li> <li>・ 最大 64Byte (16Dword) の Memory Prefetch サポート</li> <li>・ Memory、I/O 共に Posted WR のサポート</li> <li>・ 最大 64Byte (16Dword) の Posted バッファおよび 4 種類のフレーム管理</li> </ul> </li> <li>3. サポート空間 :                   <ul style="list-style-type: none"> <li>PCI リソース空間および APIC22A 内部レジスタのアクセスをサポート</li> </ul> </li> </ol> </li> </ul>



ブロック名	内容
DMA Controller	DMA 制御ブロック
	<ul style="list-style-type: none"> <li>● 共通項目</li> <li>1. PCI/ローカル共に 32Bit のアドレス指定</li> <li>2. 最大 16Mbyte のデータ転送</li> <li>3. 転送モード : <ul style="list-style-type: none"> <li>・ Local Memory/I/O to PCI Memory/I/O</li> <li>・ PCI Memory/I/O to Local Memory/I/O</li> </ul> </li> <li>4. PCI/ローカル共に固定/インクリメント指定可能なアドレッシング・モード</li> <li>5. Byte/Word/Dword のデータ・サイズ指定</li> <li>6. 2 線式のデータ転送制御機能</li> <li>7. 外部イベントによる動作開始制御</li> <li>8. DMA 転送終了割り込み機能</li> <li>9. 間接 DMA 制御機能</li> </ul> <hr/> <ul style="list-style-type: none"> <li>● 間接 DMA 制御 (Indirect DMA Control)</li> <li>1. PCI およびローカルに配置可能なコントロール・ワード</li> <li>2. 外部イベントによる間接 DMA の開始制御</li> <li>3. 単位ごとの DMA 終了の割り込み選択</li> </ul>
Interrupt Controller	割り込み制御ブロック
	<ul style="list-style-type: none"> <li>1. PCI (INTA#) およびローカル (LINT#) の割り込み生成機能</li> <li>2. 4本の外部イベント (IRQ) による INTA#出力</li> <li>3. 7本の内部イベントによる INTA#出力</li> <li>4. 8本の内部イベントによる LINT#出力</li> <li>5. 外部イベント制御 : <ul style="list-style-type: none"> <li>・ レベル/エッジ入力指定可能な割り込みタイプ</li> <li>・ アクティブ"Low"/"High"の指定可能な入力極性</li> <li>・ 各外部イベントに対する優先順位制御</li> </ul> </li> </ul>
Timer Controller	汎用タイマ制御ブロック
	<ul style="list-style-type: none"> <li>1. ローカル・クロックでカウントされる 24Bit のタイマ・カウンタ</li> <li>2. カウンタ・ボロー検出による割り込み出力</li> <li>3. 0~128 分周 (2 の乗数単位) 可能なプリスケアラ</li> <li>4. ワンショット/オルタネート指定可能な外部出力</li> </ul>
Messaging Box	メッセージ・ボックス制御ブロック
	<ul style="list-style-type: none"> <li>1. 独立した PCI およびローカル用の 32Bit データ・レジスタ</li> <li>2. 独立した PCI およびローカル用の 32Bit コマンド・レジスタ</li> <li>3. コマンド・フラグによる双方向の割り込み出力</li> </ul>
Serial EEPROM Controller	シリアル EEPROM 制御ブロック
	<ul style="list-style-type: none"> <li>1. 3-Wire および 2-Wire タイプのシリアル EEPROM のサポート</li> <li>2. 1Kbit~16Kbit のシリアル EEPROM のサポート</li> <li>3. シリアル EEPROM サイズの自動認識機能</li> <li>4. 内部レジスタの初期イニシャライズ制御</li> </ul>
Power Management Controller	パワー・マネージメント制御ブロック
	<ul style="list-style-type: none"> <li>1. PCI Bus Power Management Interface Specification Revision 1.0 準拠</li> <li>2. PM Capabilities レポートの設定</li> <li>3. D0~D3hot までのパワー・ステートに対応</li> <li>4. 特定のパワー・ステートによるローカル・リセット出力機能</li> <li>5. 外部端子入力 (IRQ) によるウェイク・イベント機能</li> </ul>
Hot Swap Controller	ホット・スワップ制御ブロック
	<ul style="list-style-type: none"> <li>1. CompactPCI Hot Swap Specification R1.0/R2.0, Friendly Device 準拠</li> <li>2. Programming Interface "0" の HS_CSR レジスタ</li> <li>3. フロントパネルのハンドル・スイッチ/Blue LED の信号インタフェース</li> <li>4. ENUM#信号の生成</li> </ul>

**Notes :**

- \*1 MRM/MRL および MWI は、通常の Memory Read/Write コマンドで処理されます。
- \*2 Configuration サイクルは Type0 のみ可能です。
- \*3 8/16Bit NonMux 動作時、IOCS[15:8]#は LA[16:9]のアドレスとの共有ピンです。
- \*4 バイト単位のエンディアン変換です。

## 2-3. 端子構成

APIC22A の端子構成と各信号ピンの内容について機能別に説明します。

端子構成は、PCI インタフェース、ローカル・インタフェースおよびシリアル EEPROM インタフェースに分けられます。また、ローカル・インタフェースは、ローカル・バス・モードにより 8/16Bit NonMux バスまたは 32Bit Mux バス用に構成内容が変わります。

### 2-3-1. PCI インタフェース

Symbol	Pins	Active	In/Out	Description
IDSEL	1	High	In	<b>PCI Initialization Device Select :</b> コンフィギュレーション・サイクルで使用されるデバイス・セレクト信号です。 Type0 のコンフィギュレーション・サイクルのとき、IDSEL のアサートを検出すると APIC22A へのアクセスであると識別します。
AD[31:0]	32	—	I/O	<b>PCI Address/Data Bus :</b> アドレスとデータのマルチプレクス・バス信号です。 アドレスとデータは同一のバス・ラインで構成され、アドレス・フェーズとデータ・フェーズで時分割に切り替わります。単位ごとのトランザクションでアドレス・フェーズは1サイクルです。データ・フェーズは、複数のサイクルが許されていてバースト転送が可能です。 アドレス・フェーズでの AD[1:0] ラインは、メモリ・アクセスと I/O アクセスで取り扱いが異なります。メモリ・アクセスでは、アドレッシング・モードの指定に使用され、I/O アクセスでは、要求する最下位バイトのアドレスを示します。
			In(Addr) I/O(Data)	<b>Target Transaction</b> アドレス・フェーズでは、マスタからのアドレスを入力します。 データ・フェーズでは、リードのときデータを出力します。ライトのときは、マスタからのデータを入力します。
			Out(Addr) I/O(Data)	<b>Master Transaction</b> アドレス・フェーズでは、APIC22A からアドレスを出力します。 データ・フェーズでは、ライトのときデータを出力します。リードのときは、ターゲットからのデータを入力します。
C/BE[3:0]#	4	Low	I/O	<b>PCI Command/Byte Enable :</b> コマンドと有効バイト・レーンを示すマルチプレクス信号です。 コマンドとバイト・イネーブルは同一の信号ラインで構成され、アドレス・フェーズとデータ・フェーズで時分割に切り替わります。コマンドは、アドレス・フェーズで有効です。バイト・イネーブルは、各データ・サイクルで有効です。 ● 有効バイト・レーン ・ BE0# : AD[7:0] ・ BE1# : AD[15:8] ・ BE2# : AD[23:16] ・ BE3# : AD[31:24]
			In	<b>Target Transaction</b> マスタからのコマンド/バイト・イネーブルを入力します。
			Out	<b>Master Transaction</b> APIC22A からコマンド/バイト・イネーブルを出力します。
FRAME#	1	Low	I/O	<b>PCI Bus Cycle Frame :</b> バス・サイクルの実行を示すフレーム信号です。 フレームがアサートされた最初のサイクルがアドレス・フェーズで、バス・サイクルの開始を示します。 データ・フェーズでフレームがアサートされている場合はバースト・サイクルです。フレームがデアサートされたときは、次のデータ・サイクルが最後の転送であることを示します。
			In	<b>Target Transaction</b> マスタからの FRAME# 信号を入力します。
			Out	<b>Master Transaction</b> APIC22A から FRAME# 信号を出力します。 プリフェッチや DMA 転送などでバースト・サイクルが起動します。

Symbol	Pins	Active	In/Out	Description
IRDY#	1	Low	I/O	<b>PCI Initiator Ready :</b> マスタがデータ転送可能であることを示すイニシエータ・レディ信号です。 IRDY#と TRDY#が共にアサートされたときにデータ転送が成立します。また、FRAME#と IRDY#が共にディアサートのとき、PCI バスはアイドル状態です。
			In	<b>Target Transaction</b> マスタからの IRDY#信号を入力します。
			Out	<b>Master Transaction</b> APIC22A は、データ転送の準備ができたとき IRDY#をアサートします。
TRDY#	1	Low	I/O	<b>PCI Target Ready :</b> ターゲットがデータ転送可能であることを示すターゲット・レディ信号です。 TRDY#と IRDY#が共にアサートされたときにデータ転送が成立します。
			Out	<b>Target Transaction</b> APIC22A は、データ転送の準備ができたとき TRDY#をアサートします。
			In	<b>Master Transaction</b> ターゲットからの TRDY#信号を入力します。
DEVSEL#	1	Low	I/O	<b>PCI Device Select :</b> ターゲットがバス・サイクルに回答したことを示すデバイス・セレクト信号です。 ターゲットは、アドレス・フェーズでアクセスを受けたと識別した場合に DEVSEL#をアサートします。
			Out	<b>Target Transaction</b> APIC22A に対するアクセスのときに DEVSEL#をアサートします。 アサート・タイミングは、ミディウム・タイミングです。
			In	<b>Master Transaction</b> ターゲットからの DEVSEL#信号を入力します。 応答するターゲットが無かった場合、マスタ・アボートで終了します。
STOP#	1	Low	I/O	<b>PCI Bus Cycle Stop :</b> ターゲットによるバス・サイクルの終了を要求するストップ信号です。 アサート・タイミングにより、リトライ、ディスコネクト、ターゲット・アボートがあります。
			Out	<b>Target Transaction</b> APIC22A は、データの準備ができていないときやバス・サイクルに回答できないときに STOP#をアサートします。
			In	<b>Master Transaction</b> ターゲットからの STOP#信号を入力します。 STOP#のアサートを検出すると FRAME#をディアサートしバス・サイクルを終了します。
PAR	1	High	I/O	<b>PCI Parity :</b> AD[31:0]と C/BE[3:0]#に対する偶数の値をとるパリティ信号です。 バス・ラインをドライブするデバイスが PAR 信号を出力します。
PERR#	1	Low	I/O	<b>PCI Data Parity Error :</b> データ・パリティ・エラーが検出された場合のシステムへの通知信号です。 データを受け取るデバイスがパリティ・チェックを行い、エラーがあると PERR#をアサートします。
SERR#	1	Low	Out	<b>PCI System Error :</b> デバイスがアドレス・パリティ・エラーなどの致命的なエラーを検出した場合のシステムへの通知信号です。
LOCK#	1	Low	I/O	<b>PCI Resource Lock :</b> ターゲット・リソースの排他アクセスを行う場合のロック信号です。 リード・サイクルで LOCK#がアサートされた場合、排他アクセスが確立します。排他アクセスが確立したターゲットは、ロック・マスタ以外のアクセスに対しリトライ応答します。
INTA#	1	Low	Out	<b>PCI Interrupt A :</b> 割り込み要求を行うための信号です。 PCI バスの INTA#ラインに接続します。

Symbol	Pins	Active	In/Out	Description
REQ#	1	Low	Out	<b>PCI Bus Request :</b> PCI バス・アービタへのマスタ・デバイスによるバス解放要求信号です。 マスタ・デバイスは、REQ#と GNT#のアービトレーションによりバスの使用権を得ます。
GNT#	1	Low	I/O	<b>PCI Bus Grant :</b> PCI バス・アービタからのバス使用の許可信号です。 GNT#がアサートされるとマスタ転送が可能となります。
ENUM#	1	Low	Out	<b>Hot Swap Enumeration :</b> ホット・スワップ・システムにおけるインサージョン/エクストラクションを要求する信号です。
(PME#)	1	Low	Out	<b>PCI Power Management Event :</b> ・ウェイクイベントを使用しない場合 この信号はNC となります。 PCI バスの PME#には接続しないでください。  ・ウェイクイベントを使用する場合 パワー・マネージメント・システムにおける省電力状態からの復帰を要求するウェイク・イベント信号です。この信号は、D3cold 時 (電源OFF 状態) に Hi-Z とならないため、PCI-BUS の PME#信号に直接接続することは避けてください。 (「20-3. (PME#)信号について」参照)。
CLK	1	High (Edge)	In	<b>PCI Bus Clock :</b> PCI バスのクロック信号です。 PCI バス・オペレーションは全て PCI クロックで制御されます。 0~33MHz までのクロックを入力できます。
RST#	1	Low	In	<b>PCI Bus Reset :</b> PCI バスのリセット信号です。 RST#がアサートされると、APIC22A 機能は全てクリアされ PCI バス信号は "HiZ" 状態となります。

## 2-3-2. ローカル・インタフェース

Symbol	Pins	Active	In/Out	Description
BREQ#	1	Low	In	<b>Local Bus Request :</b> APIC22A に対するローカル・バスの解放要求信号です。 通常 APIC22A にローカル・バスの使用权があります。 ローカル・マスタ (CPU) は、BREQ# と BACK# のアービトレーションによりバスの使用权を得ます。
BACK#	1	Low	Out	<b>Local Bus Acknowledge :</b> ローカル・マスタ/バス・アービタへのローカル・バス使用の許可信号です。 APIC22A は、BREQ# のアサートを検出すると BACK# をアサートしローカル・バスを解放します。バス・サイクル実行中に解放要求がある場合、転送処理の終了後バスを解放します。また、バスの解放中に PCI または DMA による転送要求がある場合、BACK# をディアサートしバスの解放をローカル・マスタへ要求します。
DEVCS#	1	Low	In	<b>Device Chip Select :</b> ローカル・マスタから APIC22A へアクセスする場合のチップ・セレクト信号です。 DEVCS# がアサートされたローカル・マスタのアクセスは、APIC22A 内部レジスタまたは PCI バスへのアクセスとなります。 ローカル・マスタ機能を使用する場合、内部レジスタでローカル・マスタ・アクセスを許可する必要があります。
SPACE	1	—	In	<b>Local Master Space Select :</b> ローカル・マスタのアクセス空間を選択する信号です。 SPACE 信号の状態により PCI アクセスまたは APIC22A 内部レジスタ・アクセスを選択します。 ・SPACE="Low" : PCI アクセス ・SPACE="High" : APIC22A 内部レジスタ・アクセス
ROMCS#	1	Low	Out	<b>Local ExpROM Chip Select :</b> ExpROM のチップ・セレクト信号です。 PCI から ExpROM 空間へのアクセスがあると ROMCS# をアサートします。
MEMCS#	1	Low	Out	<b>Local Memory Chip Select :</b> メモリのチップ・セレクト信号です。 PCI ターゲット/DMA 機能によるメモリ空間へのアクセスがあると MEMCS# をアサートします。
DREQ#	1	Low	In	<b>DMA Request :</b> DMA 転送を行う場合のデータ転送の要求信号です。 DREQ# と DACK# によるハンドシェイクで転送制御を行います。 ハンドシェイク転送を行う場合、内部レジスタで DREQ# 制御を許可する必要があります。
DACK#	1	Low	Out	<b>DMA Acknowledge :</b> 実行しているバス・サイクルが DMA 転送であることを示す信号です。 DMA 機能によるデータ転送時、DACK# をアサートします。 なお、間接 DMA のコントロール・ワードのリード・サイクルではアサートされません。
DMATC#	1	Low	Out	<b>DMA Terminal Count :</b> ブロック単位の DMA 転送の終了を示す信号です。 DMA 転送カウンタがカウントアップすると、最終データ・フェーズのタイミングで DMATC# をアサートします。
LINT#	1	Low	Out	<b>Local Interrupt :</b> ローカル・バスへの割り込み出力信号です。 内部レジスタで出力要因を選択できます。 出力要因が発生すると、LINT# をアサートします。

Symbol	Pins	Active	In/Out	Description
IRQ[3:0]	4	—	In	<b>External Interrupt Request :</b> 外部イベントを PCI へ要求するための入力信号です。 IRQ[3:0]は、多機能ピンで構成され、内部レジスタで機能を選択します。 ● 機能 ・ PCI 割り込み : PCI への割り込み (INTA#/MSI) を生成します。 ローカル・クロックによるエッジ検出で内部制御が行われます。 ・ SERR#要因 PCI バスの SERR#信号を生成します。 ローカル・クロックによるアクティブ・ローのエッジ検出で内部制御が行われます。 ・ PM ウェイク・イベント アクティブ・ローの非同期エッジ検出で、(PME#)信号に“L”を出力します。 ・ DMA 開始制御 DMA 転送の開始制御に使用できます。 ローカル・クロックによるアクティブ・ローのエッジ検出で内部制御が行われます。
PIO[3:0]	4	—	I/O	<b>Parallel Input/Output :</b> 汎用の入出力端子です。 端子ごとの入出力指定が可能です。
TOUT#	1	Low	Out	<b>Timer Output :</b> APIC22A 内蔵タイマの出力信号です。 カウンタ・ポローの検出により TOUT#をアサートします。 出力は、デューティー 1 : 1 のオルタネート出力または周期ごとのワンショット出力を選択可能です。
EJECTST	1	—	In	<b>Hot Swap Ejector Switch Status :</b> ホット・スワップ・システムにおけるイジェクタ・スイッチの入力端子です。 EJECTST 信号の状態によりインサクション/エクストラクションをシステムに要求します。 ・ EJECTST="Low" : Insertion (Close) ・ EJECTST="High" : Extraction (Open)
STLED#	1	Low	Out	<b>Hot Swap Blue LED Control :</b> ホット・スワップ・システムにおける Blue LED の ON/OFF を制御する出力信号です。 Blue LED を点灯する場合に STLED#をアサートします。 ・ STLED#="Low" : Blue LED "ON" (点灯) ・ STLED#="High"(Pullup) : Blue LED "OFF" (消灯)
HEALTHY#	1	Low	In	<b>Hot Swap Board Healthy :</b> アダプタ・ボードの電源電圧の状態を示す信号です。 動作可能な電源電圧になると HEALTHY#をアサートします。 HEALTHY#信号は、APIC22A への入力と CompactPCI バスの HEALTHY#ラインへ出力します。 ホット・スワップを必要としないボードでは、HEALTHY#信号を“Low”固定とします。 APIC22A では、HEALTHY#="High"のとき、PCIRST#信号と同様にリセット状態となります。
LCLKi	1	High (Edge)	In	<b>Local Bus Clock Input :</b> ローカル・クロック・モードが非同期に構成された場合のクロック入力端子です。 ローカル・バス・オペレーションは、LCLKi クロックで制御されます。 0~33MHz までのクロックを入力できます。
LCLKo	1	High (Edge)	Out	<b>Local Bus Clock Output :</b> ローカル・クロック・モードが同期に構成された場合のクロック出力端子です。 ローカル・バス・オペレーションは、PCI クロックで制御されます。 なお、非同期に構成された場合、LCLKo 信号は“Low”固定となります。
LRESET#	1	Low	Out	<b>Local Bus Reset :</b> ローカル・バスのリセット信号です。 システム・リセットや内部レジスタによるソフトウェア・リセットで LRESET#をアサートします。

## 2-3-2-1. 8/16Bit NonMux モード

8/16Bit NonMux モード固有の端子構成を以下に示します。

Symbol	Pins	Active	In/Out	Description																				
IOCS[15:0]#	16	Low	Out	<p><b>Local I/O Chip Select :</b> I/O デバイスのチップ・セレクト信号です。 PCI ターゲット/DMA 機能による I/O 空間へのアクセスがあると IOCSx# をアサートします。各チップ・セレクトは、内部レジスタの設定によりデコード範囲を指定できます。 なお、IOCS[15:8]# は LA[16:9] とマルチプレクス・ピンで構成されています。</p>																				
LA[16:0]	17	—	I/O	<p><b>Local Address Bus :</b> ローカルのアドレス・バス信号です。 PCI ターゲット/DMA 機能とローカル・マスタ機能で使用する共通のアドレス・バスです。 なお、LA[16:9] は IOCS[15:8]# とマルチプレクス・ピンで構成されています。</p>																				
			Out	<p><b>PCI Target/DMA Function</b> APIC22A からアドレスを出力します。 PCI ターゲット動作では、PCI アドレスと内部レジスタ設定のリマップ・アドレスで生成します。 DMA 動作では、内部レジスタ設定の DMA ローカル・アドレスで生成します。</p>																				
			In	<p><b>Local Master Function</b> ローカル・マスタからのアドレスを入力します。 PCI へのアクセスの場合、ローカル・アドレスと内部レジスタ設定のリマップ・アドレスとの加算値が PCI アドレスとなります。</p>																				
LD[15:0]	16	—	I/O	<p><b>Local Data Bus :</b> ローカル・データのバス信号です。 PCI ターゲット/DMA 機能とローカル・マスタ機能で使用する共通のデータ・バスです。 8Bit バスに構成される場合、LD[7:0] でデータ転送を行います。LD[15:8] は使用されません。</p>																				
BHE#	1	Low	I/O	<p><b>Local Byte High Enable :</b> データ・バスの上位バイト・レーンが有効であることを示す信号です。 上位バイト (LD[15:8]) を使用してデータ転送を行う場合に BHE# をアサートします。 BHE# と LA0 の状態でアクセス・サイズを識別します。 ● アクセス・サイズと有効バイト・レーン (Little Endian)</p> <table border="1"> <thead> <tr> <th>BHE#</th> <th>LA0</th> <th>Access Size</th> <th>Byte Lane</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Word</td> <td>LD[15:0]</td> </tr> <tr> <td>1</td> <td>0</td> <td>Byte</td> <td>LD[7:0]</td> </tr> <tr> <td>0</td> <td>1</td> <td>Byte</td> <td>LD[15:8]</td> </tr> <tr> <td>1</td> <td>1</td> <td>Byte(8Bit Bus)</td> <td>LD[7:0]</td> </tr> </tbody> </table>	BHE#	LA0	Access Size	Byte Lane	0	0	Word	LD[15:0]	1	0	Byte	LD[7:0]	0	1	Byte	LD[15:8]	1	1	Byte(8Bit Bus)	LD[7:0]
				BHE#	LA0	Access Size	Byte Lane																	
				0	0	Word	LD[15:0]																	
				1	0	Byte	LD[7:0]																	
				0	1	Byte	LD[15:8]																	
				1	1	Byte(8Bit Bus)	LD[7:0]																	
Out	<p><b>PCI Target/DMA Function</b> APIC22A から BHE# 信号を出力します。 8Bit バスに構成される場合、BHE#="High" を保持します。</p>																							
In	<p><b>Local Master Function</b> ローカル・マスタからの BHE# 信号を入力します。 8Bit バスに構成される場合、BHE# 端子への入力は無効です。</p>																							
MRD#	1	Low	I/O	<p><b>Local Memory Read :</b> ローカル・バスのメモリ・リード信号です。</p>																				
			Out	<p><b>PCI Target/DMA Function</b> APIC22A から MRD# 信号を出力します。 メモリまたは ExpROM へのアクセス時、MRD# をアサートします。</p>																				
			In	<p><b>Local Master Function</b> ローカル・マスタからの MRD# 信号を入力します。 PCI へのアクセスでは、メモリ・リード・サイクルを実行します。 SPACE 端子が "High" のときは、内部レジスタ・アクセスとなります。</p>																				
MWR#	1	Low	I/O	<p><b>Local Memory Write :</b> ローカル・バスのメモリ・ライト信号です。</p>																				
			Out	<p><b>PCI Target/DMA Function</b> APIC22A から MWR# 信号を出力します。 メモリまたは ExpROM へのアクセス時、MWR# をアサートします。</p>																				
			In	<p><b>Local Master Function</b> ローカル・マスタからの MWR# 信号を入力します。 PCI へのアクセスでは、メモリ・ライト・サイクルを実行します。 SPACE 端子が "High" のときは、内部レジスタ・アクセスとなります。</p>																				

Symbol	Pins	Active	In/Out	Description
IOR#	1	Low	I/O	<b>Local I/O Read :</b> ローカル・バスの I/O リード信号です。
			Out	<b>PCI Target/DMA Function</b> APIC22A から IOR#信号を出力します。 I/O デバイスへのリード・アクセス時、IOR#をアサートします。
				<b>Local Master Function</b> ローカル・マスタからの IOR#信号を入力します。 PCI へのアクセスでは、I/O リード・サイクルを実行します。 SPACE 端子が"High"のときは、内部レジスタ・アクセスとなります。
IOW#	1	Low	I/O	<b>Local I/O Write :</b> ローカル・バスの I/O ライト信号です。
			Out	<b>PCI Target/DMA Function</b> APIC22A から IOW#信号を出力します。 I/O デバイスへのライト・アクセス時、IOW#をアサートします。
				<b>Local Master Function</b> ローカル・マスタからの IOW#信号を入力します。 PCI へのアクセスでは、I/O ライト・サイクルを実行します。 SPACE 端子が"High"のときは、内部レジスタ・アクセスとなります。
IORDY	1	High	I/O	<b>Local Input/Output Ready :</b> ローカル・バス上でデータ転送が可能であることを示すレディ信号です。 I/O およびメモリ・アクセス共に有効で、データ転送の準備ができたときに IORDY をアサートします。 リード/ライト実行中、IORDY="Low"の場合はウェイトを挿入します。
			In	<b>PCI Target/DMA Function</b> メモリや I/O デバイスからの IORDY 信号を入力します。 なお、内部レジスタでデータ・ウェイトが値"0"に設定されている場合、IORDY 端子入力は無効です。IORDY によるウェイトを挿入する場合は、データ・ウェイトを値"1"以上に設定してください。
			Out	<b>Local Master Function</b> ローカル・マスタへ IORDY 信号を出力します。 APIC22A へのアクセスを検出すると IORDY="Low"を出力します。データ転送の準備ができたときに IORDY をアサートします。



## 2-3-2-2. 32Bit Mux モード

32Bit Mux モード固有の端子構成を以下に示します。

Symbol	Pins	Active	In/Out	Description
IOCS#	1	Low	Out	<b>Local I/O Chip Select :</b> I/O デバイスのチップ・セレクト信号です。 PCI ターゲット/DMA 機能による I/O 空間へのアクセスがあると IOCS#をアサートします。
LAD[31:0]	32	—	I/O	<b>Local Address/Data Bus :</b> アドレスとデータのマルチプレクス・バス信号です。 アドレスとデータは同一のバス・ラインで構成され、アドレス・フェーズとデータ・フェーズで時分割に切り替わります。単位ごとのトランザクションでアドレス・フェーズは開始点の1または2サイクルです。データ・フェーズは、複数のサイクルが許されていてバースト転送が可能です。
			Out(Addr) I/O(Data)	<b>PCI Target/DMA Function</b> アドレス・フェーズでは、APIC22A からアドレスを出力します。 PCI ターゲット動作では、PCI アドレスと内部レジスタ設定のリマップ・アドレスで生成します。なお、LAD[1:0]は PCI からのアドレスをそのまま出力します。 DMA 動作では、内部レジスタ設定の DMA ローカル・アドレスで生成します。 データ・フェーズでは、ライトのときデータを出力します。リードのときは、メモリや I/O デバイスからのデータを入力します。
			In(Addr) I/O(Data)	<b>Local Master Function</b> アドレス・フェーズでは、ローカル・マスタからのアドレスを入力します。PCI へのアクセスの場合、ローカル・アドレスと内部レジスタ設定のリマップ・アドレスとの加算値が PCI アドレスとなります。 データ・フェーズでは、リードのときデータを出力します。ライトのときは、ローカル・マスタからのデータを入力します。
LBE[3:0]#	4	Low	I/O	<b>Local Byte Enable :</b> データ・フェーズの有効バイト・レーンを示す信号です。 バイト・イネーブルは、各データ・サイクルで有効です。 ● 有効バイト・レーン ・ LBE0# : LAD[7:0] ・ LBE1# : LAD[15:8] ・ LBE2# : LAD[23:16] ・ LBE3# : LAD[31:24]
			Out	<b>PCI Target/DMA Function</b> APIC22A から LBE[3:0]#信号を出力します。
			In	<b>Local Master Function</b> ローカル・マスタからの LBE[3:0]#信号を入力します。
AS#/ALE	1	—	Out	<b>Local Address Strobe/Latch Enable :</b> バス・サイクルのアドレス・フェーズまたはアドレス・ラッチができる状態を示す出力信号です。 内部レジスタの設定で機能を選択できます。 アドレス・ストロブは、アドレス・フェーズの期間中アサートします。 アドレス・ラッチ・イネーブルは、アドレスが有効となった最初の1クロック分アサートします。 端子出力は、PCI ターゲット/DMA 機能で有効です。 ・ AS#=Active Low : Address Strobe ・ ALE=Active High : Address Latch Enable
LFRAME#	1	Low	I/O	<b>Local Bus Cycle Frame :</b> バス・サイクルの実行を示すフレーム信号です。 フレームがアサートされた最初のサイクルがアドレス・フェーズで、バス・サイクルの開始を示します。 データ・フェーズでフレームがアサートされている場合はバースト・サイクルです。フレームがデアサートされたときは、次のデータ・サイクルが最後の転送であることを示します。
				<b>PCI Target/DMA Function</b> APIC22A から FRAME#信号を出力します。 内部レジスタの設定でバースト転送を実行できます。
				<b>Local Master Function</b> ローカル・マスタからの FRAME#信号を入力します。

Symbol	Pins	Active	In/Out	Description
M/IO#	1	—	I/O	<b>Local Memory/I/O Select :</b> ローカル・バスのアクセス空間を選択する信号です。 ・ M/IO#="High" : Memory Space ・ M/IO#="Low" : I/O Space
			Out	<b>PCI Target/DMA Function</b> APIC22A から M/IO#信号を出力します。 メモリまたは ExpROM へのアクセス時、メモリ・スペースを示します。 I/O デバイスへのアクセス時、I/O スペースを示します。
			In	<b>Local Master Function</b> ローカル・マスタからの M/IO#信号を入力します。 PCI へのアクセスでは、メモリ・スペースのとき、メモリ・サイクルを実行します。I/O スペースのときは、I/O サイクルを実行します。 SPACE 端子が"High"のときは、M/IO#信号の状態に関わらず内部レジスタ・アクセスとなります。
R/W#	1	—	I/O	<b>Local Read/Write Select :</b> ローカル・バスのリード/ライト・オペレーションを選択する信号です。 ・ R/W#="High" : Read Operation ・ R/W#="Low" : Write Operation
			Out	<b>PCI Target/DMA Function</b> APIC22A から R/W#信号を出力します。 ターゲット・リソースから読み出しを行う場合、リード・オペレーションを示します。 ターゲット・リソースへ書き込みを行う場合、ライト・オペレーションを示します。
			In	<b>Local Master Function</b> ローカル・マスタからの R/W#信号を入力します。 PCI へのアクセスでは、リード・オペレーションのとき、リード・サイクルを実行します。ライト・オペレーションのときは、ライト・サイクルを実行します。 APIC22A 内部レジスタへのアクセスも PCI アクセスと同様にリード/ライト・オペレーションを選択します。
LRDY#	1	Low	I/O	<b>Local Data Ready :</b> ローカル・バス上でデータ転送が可能であることを示すレディ信号です。 I/O およびメモリ・アクセス共に有効で、データ転送の準備ができたときに LRDY#をアサートします。 リード/ライト実行中、LRDY#="High"の場合はウェイトを挿入します。 内部レジスタの設定で LRDY#とデータ入出力のタイミングを選択できます。
			In	<b>PCI Target/DMA Function</b> メモリや I/O デバイスからの LRDY#信号を入力します。
			Out	<b>Local Master Function</b> ローカル・マスタへ LRDY#信号を出力します。 APIC22A へのアクセスを検出すると LRDY#="High"を出力します。データ転送の準備ができたときに LRDY#をアサートします。
BTERM#	1	Low	In	<b>Local Burst Termination :</b> バースト転送の終了を要求する入力信号です。 端子入力、PCI ターゲット/DMA 機能で有効です。 APIC22A は、LRDY#と BTERM#のアサートを検出するとバースト・サイクルを終了します。転送データが残っている場合は、再びバス・サイクルを起動します。

### 2-3-3. シリアル EEPROM インタフェース

Symbol	Pins	Active	In/Out	Description
EECS/EESEL	1	—	I/O	<b>Serial EEPROM Select/Chip Select :</b> シリアル EEPROM の種類の選択、および 3-Wire シリアル EEPROM のチップ・セレクト信号です。 EESEL 端子は、システム・リセット時、シリアル EEPROM の種類を選択する入力端子として機能します。EESEL 端子の状態は、システム・リセット解除 (PCI RST#="High" and HEALTHY#="Low") のとき、内部でサンプリングされ、接続されているシリアル EEPROM の種類を決定します。 ● サンプリングの結果 ・ EESEL="Low" : 3-Wire Serial EEPROM ・ EESEL="High" : 2-Wire Serial EEPROM 3-Wire シリアル EEPROM に構成された場合、チップ・セレクト出力端子として機能します。
			Out	<b>3-Wire Serial EEPROM</b> シリアル EEPROM のチップ・セレクト (CS) 端子に接続します。
			N/A	<b>2-Wire Serial EEPROM</b> 未使用。
			Out	<b>3-Wire Serial EEPROM</b> シリアル EEPROM のクロック (SK) 端子に接続します。
EESK/SCL	1	—	Out	<b>Serial Clock/Data Clock :</b> シリアル EEPROM のクロック信号です。
			Out	<b>3-Wire Serial EEPROM</b> シリアル EEPROM のクロック (SK) 端子に接続します。
			Out	<b>2-Wire Serial EEPROM</b> シリアル EEPROM のデータ・クロック (SCL) 端子に接続します。
EEDI/SDA	1	—	I/O	<b>Serial Input/Output Data :</b> シリアル EEPROM の入出力データ信号です。
			Out	<b>3-Wire Serial EEPROM</b> シリアル EEPROM のデータ入力 (DI) 端子に接続します。
			I/O	<b>2-Wire Serial EEPROM</b> シリアル EEPROM のデータ入出力 (SDA) 端子に接続します。
EEDO	1	—	In	<b>Serial Output Data :</b> シリアル EEPROM の出力データ信号です。
			In	<b>3-Wire Serial EEPROM</b> シリアル EEPROM のデータ出力 (DO) 端子に接続します。
			N/A	<b>2-Wire Serial EEPROM</b> 未使用。

### 2-3-4. テスト端子

Symbol	Pins	In/Out	Description
TSTEN	1	In	<b>Device Test Enable :</b> 工場出荷時のテスト端子です。 通常使用時、端子レベルを”Low”固定としてください。
INP[2:0]	3	In	<b>Device Test Input :</b> 工場出荷時のテスト端子です。 通常使用時、何も接続しないでください。
FTEST	1	In	<b>Function Test :</b> 工場出荷時のテスト端子です。 通常使用時、何も接続しないでください。
HVDCT	1	Out	<b>Voltage Detector Output :</b> HVDD 電源電圧の検出結果の出力端子です。 通常使用時、何も接続しないでください。 ・ HVDCT=”Low” : 5V ・ HVDCT=”High” : 3.3V
NC	1	N/A	<b>Non Connect :</b> 未使用端子。 通常使用時、何も接続しないでください。

### 2-3-5. 電源端子

Symbol	Pins	In/Out	Description
LVDD	13	In	<b>Device Core and Local Interface Power :</b> デバイス内部とローカル・インタフェース用の電源端子です。 3.3V 電源電圧を入力します。 0.01uF~0.1uF のコンデンサでデカップリング処理を行ってください。
HVDD	9	In	<b>PCI Interface Power :</b> PCI インタフェース用の電源端子です。 3.3V または 5V 電源電圧を入力します。 PCI バス・インタフェースは、ユニバーサル PCI に対応しています。 ・ 3.3V 入力 : 3.3V 系 PCI バス ・ 5V 入力 : 5V 系 PCI バス 通常、PCI バスの “+V <sub>IO</sub> ” 電源ラインから供給します。 0.01uF~0.1uF のコンデンサでデカップリング処理を行ってください。
VSS	26	In	<b>Ground :</b> デバイス共通のグラント端子です。

### 2-3-6. 未接続端子

Symbol	Pins	In/Out	Description
NC	32	—	<b>Non Connection :</b> 内部のダイに接続されていません。 基板上においても未接続としてください。

### 3. アダプタの初期化

APIC22A は、システムの電源投入時や再起動（リブート）時に行われるシステム・リセットの解除後、初期イニシャライズを開始します。

初期イニシャライズは、外部接続のシリアル EEPROM から内部レジスタを初期化するためのイニシャライズ・データがロードされます。イニシャライズ・データには、APIC22A の基本動作を決定するためのローカル・バス・モードやローカル・クロック・モードの構成情報が含まれます。また、使用するシステム・リソースの指定やその他機能の設定も初期イニシャライズで行われます。

#### 3-1. 初期化シーケンス

システム・リセットが解除されると、APIC22A は初期イニシャライズを開始します。

APIC22A のシステム・リセットは、PCI バスの RST#信号と CompactPCI Hot Swap で定義される HEALTHY#信号で行われます。

・ System Reset = 「PCI RST# = "L"」 or 「HEALTHY# = "H"」

リセット状態では、内部レジスタは初期のデフォルト値にクリアされ、PCI バス信号は "Hiz" 状態を保持します。ローカル・バスは、一部の信号を除くバス信号が "Hiz" (Pullup) 状態となります。

なお、Hot Swap 機能を必要としないアプリケーションでも HEALTHY#信号の入力端子は有効です。HEALTHY#信号が必要ない場合は、端子を "Low" レベル固定とします。

##### 3-1-1. 状態遷移図

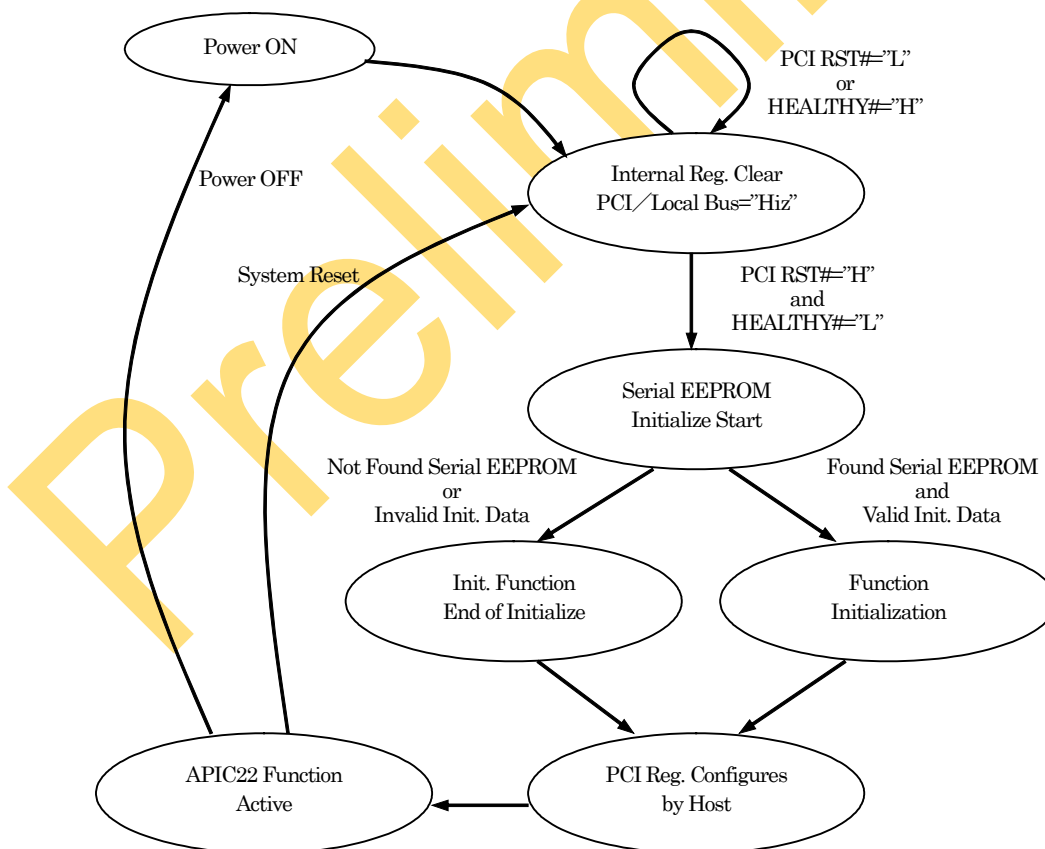


Figure3-1 : APIC22A 初期化シーケンス

### 3-2. アダプタ動作モード

ローカル・バス・モードやローカル・クロック・モードなど、アダプタの基本となる動作モードは初期イニシャライズで設定されます。

ローカル・バス・モードは、8/16Bit NonMux モードまたは 32Bit Mux モードから選択します。

ローカル・クロック・モードは、PCI バス・クロックとの同期／非同期動作を選択します。

システム・リセット時は、8/16Bit NonMux モード／非同期のローカル・クロック・モードに構成されます。また、初期イニシャライズ・シーケンスで、シリアル EEPROM の未検出または有効なイニシャライズ・データが検出できないときはリセット時の状態を保持します。

動作モードに関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Adapter Control	04h	84h	00h	00h	<ul style="list-style-type: none"> <li>• Bit[0] : Adapter Mode (Fix'0')</li> <li>• Bit[2:1] : Local Clock Mode</li> <li>• Bit[3] : Local Bus Mode</li> <li>• Bit[4] : Local Software Reset</li> </ul>

#### 3-2-1. ローカル・クロック・モード

APIC22A は、2つのローカル・クロック・モードをサポートしています。

ローカル・バスの制御を、PCI クロックとの同期動作、または非同期動作を選択できます。

ローカル・クロック・モードは、「Adapter Control Register : Local Clock Mode」で設定し、シリアル EEPROM による初期イニシャライズで決定します。

同期モードは、PCI クロックでローカル・バスが動作します。アプリケーション回路には、LCLKo 端子から動作クロックが供給されます。

APIC22A の内部制御は、全て PCI クロックで同期化されるためデータ・バスの段数が少なく PCI ターゲット動作におけるダイレクト・アクセスが可能となります。

非同期モードは、LCLKi 端子に入力されるクロックでローカル・バスが動作します。

PCI の動作周波数に影響されないため、アプリケーション回路固有の動作クロックを選択できます。

ローカル・クロック・モードの内部構成を Figure3-2 に示します。

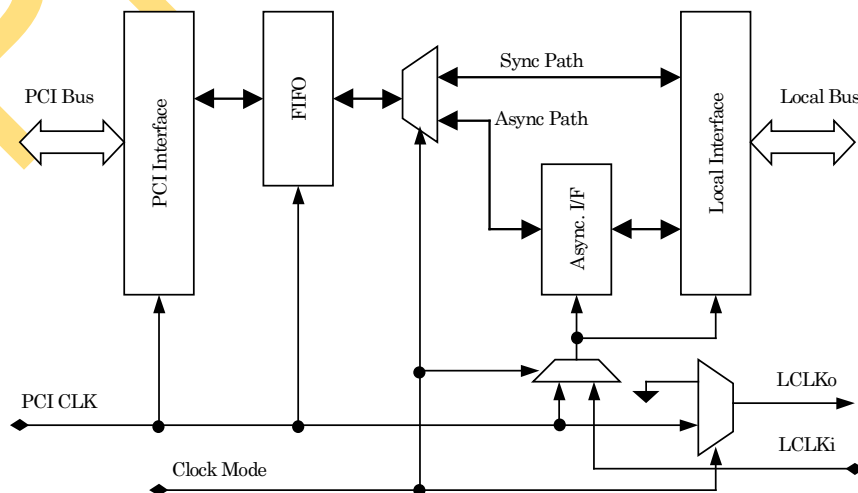


Figure3-2 : ローカル・クロック・モード内部構成

### 3-2-2. ローカル・バス・モード

APIC22A は、2つのローカル・バス・モードをサポートしています。

アプリケーションの用途に合わせ、8/16Bit NonMux モードまたは 32Bit Mux モードから選択します。

ローカル・バス・モードは、「Adapter Control Register : Local Bus Mode」で設定し、シリアル EEPROM による初期イニシャライズで決定します。

8/16Bit NonMux モードは、アドレス・バスとデータ・バスが独立したバス・ラインで構成され、リード/ライト などコントロール信号もそれぞれメモリ、I/O 用に設けられています。

アドレス・バスは、LA[16:0]の 17 本で最大 128Kbyte 空間を使用可能です。なお、LA[16:9]は内部レジスタの設定により IOCS[15:8]# (I/O チップ・セレクト) として使用できます。

データ・バスは、LD[15:0]の 16Bit のバス幅を持ちます。また、内部レジスタの設定で 8Bit バスとして使用することもできます。

32Bit Mux モードは、アドレス・バスとデータ・バスが同一のバス・ラインで構成され、コントロール信号はフレーム単位の制御となります。

アドレス/データ・バス共に 32Bit 幅固定で、Remap 機能と合わせて最大 4Gbyte 空間を使用可能です。

ローカル・バス・モードの端子構成を以下に示します。

8/16Bit NonMux Mode		32Bit Mux Mode	
Signal Name	Symbol	Signal Name	Symbol
Local Data	LD[15:0]	Local Addr/Data	LAD[15:0]
Local Address	LA[8:0]	Local Addr/Data	LAD[24:16]
Local Addr/I/O Chip Select	LA[15:9]/IOCS[14:8]#	Local Addr/Data	LAD[31:25]
Local Addr/I/O Chip Select	LA16/IOCS15#	—	—
Byte High Enable	BHE#	Local Byte Enable	LBE0#
I/O Chip Select	IOCS7#	Local Byte Enable	LBE1#
I/O Chip Select	IOCS6#	Local Byte Enable	LBE2#
I/O Chip Select	IOCS5#	Local Byte Enable	LBE3#
I/O Chip Select	IOCS4#	—	—
I/O Chip Select	IOCS3#	Burst Termination	BTERM#
I/O Chip Select	IOCS2#	—	—
I/O Chip Select	IOCS1#	—	—
I/O Chip Select	IOCS0#	I/O Chip Select	IOCS#
Memory Chip Select	MEMCS#	Memory Chip Select	MEMCS#
ExpROM Chip Select	ROMCS#	ExpROM Chip Select	ROMCS#
Memory Read	MRD#	Addr Strobe/Addr Latch Enable	AS#/ALE
Memory Write	MWR#	Local Frame	LFRAME#
I/O Read	IOR#	Memory/I/O Select	M/IO#
I/O Write	IOW#	Read/Write Select	R/W#
Input/Output Ready	IORDY	Local Ready	LRDY#

### 3-2-3. リセット動作

リセット動作には、システム・リセットによるアダプタ全機能の初期化とソフトウェアによるローカル・リセットがあります。

#### 3-2-3-1. システム・リセットと動作モードについて

システム・リセットでは、動作モードを含め全ての機能が初期化されます。

ローカル・クロック・モードが同期モードに構成されている場合、システム・リセットが発生すると非同期モードに初期化され LCLKo 端子からのクロック出力は停止します。

ローカル・バス・モードは、8/16Bit NonMux モードに初期化されますが、リセットと同時にローカル・バスは "Hiz" (Pullup) となるため影響はありません。ただし、バス・アクセス中にリセットが行われた場合、動作は保証されません。

システム・リセットとアダプタの動作について Figure3-3 に示します。

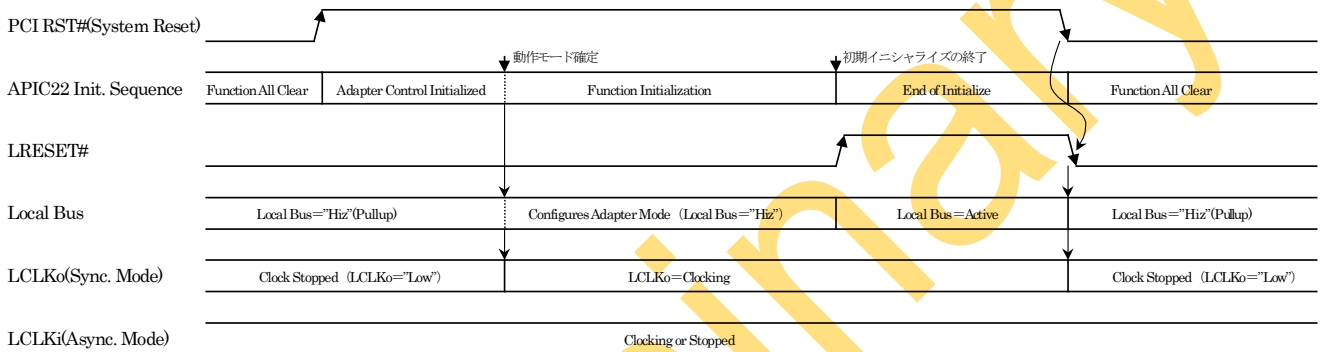


Figure3-3 : システム・リセットとアダプタ動作タイミング

#### 3-2-3-2. ローカル・リセット

アプリケーション回路を初期化するためのローカル・リセット (LRESET#) 出力があります。

ローカル・リセットは、システム・リセット、ソフトウェアによるリセットおよび PM (パワー・マネージメント) 機能によるリセットで生成します。

システム・リセット時は、いつでも LRESET#をアサートします。

ソフトウェアによる LRESET#制御は、「Adapter Control Register : Local Software Reset」で行います。シリアル EEPROM が未接続のときやソフトウェア・リセットが有効設定で初期インシャライズが終了した場合は、対象のビットがソフトウェアによりクリアされるまで LRESET#はアサート状態が続きます。ソフトウェア・リセットが無効設定で初期インシャライズが行われた場合は、終了時点で LRESET#はディアサートされます。

PM 機能による LRESET#制御については、「1 4. パワー・マネージメント機能」を参照ください。APIC22A 機能のコンテキストが定義されています。

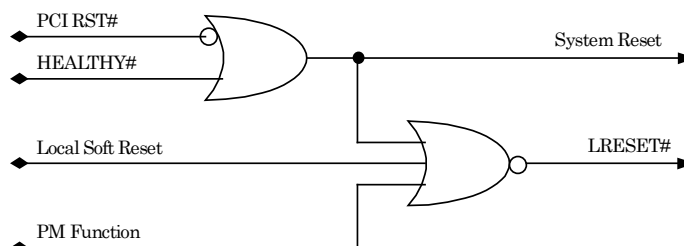


Figure3-4 : リセット回路の構成



## 4. バス・オペレーション

PCI バス・インタフェースとローカル・バス・インタフェースについて基本的な動作および機能について説明します。PCI バス・インタフェースでは、サポートしている PCI コマンド、PCI コンフィギュレーション・レジスタの取り扱い、基本的なマスタ/ターゲット動作などが含まれます。

ローカル・バス・インタフェースでは、ローカル・バス・コントロール、基本的なバス・タイミング仕様、バス・アービトレーション方法などが含まれます。

PCI バス・インタフェースとローカル・バス・インタフェースの双方に関わるバス動作や機能の詳細については下記の項目を参照ください。

### ● 「5. PCI ターゲット機能」

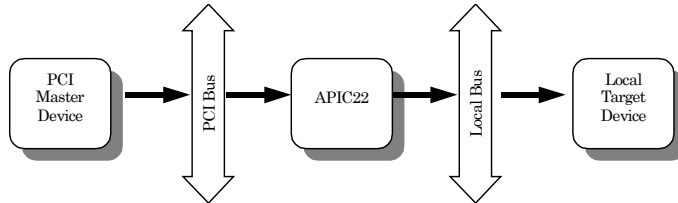


Figure4-1 : PCI ターゲット機能のアクセス方向

### ● 「6. ローカル・マスタ機能」

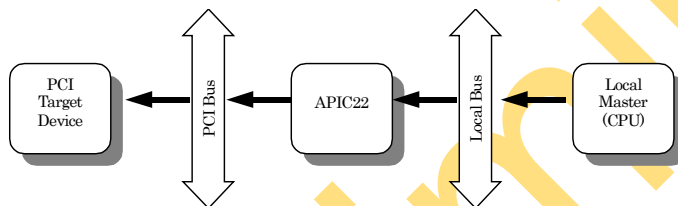


Figure4-2 : ローカル・マスタ機能のアクセス方向

### ● 「7. DMA 機能」

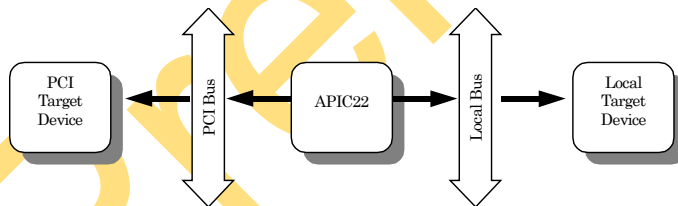


Figure4-3 : DMA 機能のアクセス方向

## 4-1. PCI バス・インタフェース

APIC22A は、PCI 規格 2.2 準拠の 32Bit PCI バス・インタフェースに対応し、ターゲット動作およびマスタ動作を行うことができます。

ターゲット動作では、PCI コンフィギュレーション・レジスタ/APIC22A 内部レジスタ、ローカル・バスに接続されるリソース空間へのアクセスが行われます。ローカル・バスのリソース空間指定には、I/O 空間、メモリ空間および ExpROM 空間用としてそれぞれ専用の Base Address Register (BAR) が割り当てられています。

マスタ動作では、ローカル・マスタ機能と APIC22A 内蔵の DMA 機能により PCI 空間へのアクセスが行われます。

PCI 空間は、I/O 空間、メモリ空間共に最大 4Gbyte までサポートします。また、ローカル・マスタ機能では、Type0 のコンフィギュレーション・サイクルを生成できるため同一バス上に接続される他のデバイスの PCI コンフィギュレーション・レジスタを参照および変更が可能です。ただし、Type1 のコンフィギュレーション・サイクルは未サポートのため、他のバス上の PCI デバイスを操作することはできません。

### 4-1-1. PCI ターゲット

#### 4-1-1-1. サポート・コマンド

PCI コマンドの一覧と APIC22A がサポートするターゲット・コマンドについて以下に示します。

なお、サポート外のコマンドに対し、APIC22A は応答しません。

PCI Command Type		Code(C/BE[3:0]#)	Support	
I/O Cycle	I/O Read	0010(2h)	Yes	
	I/O Write	0011(3h)	Yes	
Memory Cycle	Read	Memory Read	0110(6h)	Yes
		Memory Read Multiple(MRM) *1	1100(Ch)	Yes
		Memory Read Line(MRL) *1	1110(Eh)	Yes
	Write	Memory Write	0111(7h)	Yes
		Memory Write and Invalidate(MWI) *2	1111(Fh)	Yes
Configuration Cycle	Configuration Read *3	1010(Ah)	Yes	
	Configuration Write *3	1011(Bh)	Yes	
Interrupt Acknowledge Cycle		0000(0h)	No	
Special Cycle		0001(1h)	No	
Dual Address Cycle		1101(Dh)	No	
Reserved		0100(4h)	No	
		0101(5h)	No	
		1000(8h)	No	
		1001(9h)	No	

#### Notes :

\*1 MRM/MRL コマンドは、通常の Memory Read として処理されます。

\*2 MWI コマンドは、通常の Memory Write として処理されます。

\*3 Type0 の Configuration Cycle のみに応答します。

#### 4-1-1-2. ターゲット・ターミネーション

ターゲット・ターミネーションには、データ転送が成立した場合のバス・サイクルの完了 (Completion) とデータの準備が整っていないときやバス・サイクルにエラーが発生した場合など中断処理のためのターゲット・イニシエーティット・ターミネーションがあります。

ターゲット・イニシエーティット・ターミネーションは、転送方法により以下に示す内容に分けられます。

Transaction	Target Termination	
Single Access	Retry Termination	
	Target Abort Termination	
Burst Access	Retry Termination	
	Disconnect Termination	Disconnect With Data
		Disconnect Without Data
	Target Abort Termination	

- **リトライ・ターミネーション (Retry)**

シングル・アクセスやバースト・アクセスの 1<sup>st</sup> データ・フェーズで転送すべきデータの準備が整っていない場合にリトライでバス・サイクルを一端終了します。リトライで終了したバス・サイクルは、その後、再アクセスが行われ、APIC22A はデータ転送の準備が整うと Delayed RD/Delayed WR で応答します。

- **ディスコネクト・ターミネーション (Disconnect)**

バースト・アクセスの 2<sup>nd</sup> データ・フェーズ以降で転送すべきデータの準備が整っていない場合にディスコネクトでバス・サイクルを終了します。ディスコネクトには、データ転送を伴う場合の Disconnect With Data 終了とデータ転送を伴わない場合の Disconnect Without Data 終了があり、APIC22A では内部データ・バッファの状態により使い分けています。

なお、ディスコネクト・ターミネーションの場合、後に再アクセスが行われるとは限りません。

- **ターゲット・アボート・ターミネーション (Target Abort)**

ターゲットがアクセスを受けたバス・サイクルに 응답できない致命的なエラーがある場合にターゲット・アボートで応答します。

APIC22A では、アドレス・パリティ・エラーの検出時、および I/O アクセス時のアドレスとバイト・レーンの不一致 (I/O Illegal Access) が検出された場合にターゲット・アボートでバス・サイクルを終了します。

#### 4-1-1-3. アドレッシング・モード

PCI ではバースト転送時のアドレス更新方法にいくつかのルールが定義されています。

APIC22A がサポートするアドレッシング・モードについて以下に示します。

Transaction	Addressing Mode	Support
Memory Access	Linear Increment Mode	Yes
	Cache Line Wrap Mode	No
I/O Access	Linear Increment Mode	Yes
	Fix Addressing Mode	Yes

- **メモリ・バースト転送**

APIC22A は、リニア・インクリメント・モードをサポートします。リニア・インクリメント・モードでバースト・アクセスを受けたとき、1つのデータ・フェーズごとに 4Byte 単位のアドレス加算処理が内部的に施されます。なお、キャッシュ・ライン・ラップ・モードでアクセスを受けたときは、2<sup>nd</sup> データ・フェーズで Disconnect Without Data によりバス・サイクルを終了します。

## ● I/O バースト転送

PCI 規格上、I/O バースト転送について特別にルールが規定されているわけではありません。このため、I/O バーストを行うマスタ側とターゲット側で事前の取り決め（ローカル・ルール）が必要となります。また、ことなる PCI バス間では、PCI-PCI ブリッジなどが I/O バーストに対応できない場合があるため注意が必要です。

APIC22A は、内部レジスタの設定で、リニア・インクリメント・モードと固定アドレッシング・モードを選択可能です。リニア・インクリメント・モードでは、メモリ・バースト転送と同様に 4Byte 単位のアドレス加算で処理されます。固定アドレッシング・モードでは、データ・フェーズごとのアドレス更新は行われず固定アドレスへの転送として処理されます。なお、I/O バーストは、全てのバイト・レーンが有効（Dword アクセス）のときのみ受け付けられ、それ以外のアクセスでは 1<sup>st</sup> データ・フェーズで Disconnect With Data によりバス・サイクルを終了します。ただし、ライト動作が Posted WR のとき、バースト転送の途中で Dword 以外（BE#≠0000）の指定があってもライト・データはそのまま受け付けられローカル側に書き込まれます。

### 4-1-1-4. エラー検出

エラー検出は、パリティ・エラーや I/O Illegal アクセスが発生した case に行われます。

パリティ・エラーには、アドレス・パリティ・エラーとデータ・パリティ・エラーがあり、システムへの通知方法が異なります。なお、エラー通知は APIC22A に対するアクセスのみに応答します。

アドレス・パリティ・エラーを検出した場合、ターゲット・アボートが実行され、PCI コンフィギュレーション空間の「Status Register : Signaled Target Abort/Detected Parity Error」が反映されます。このとき、「Command Register : Parity Error Response/SERR# Enable」が共に許可されている場合は、SERR# をアサートします。また、アドレス・パリティ・エラーが発生したデータは、全て無効化処理が行われローカル・バス・サイクルは起動しません。

データ・パリティ・エラーの検出は、ライト・アクセスが対象となります。

データ・パリティ・エラーを検出した場合、PCI コンフィギュレーション空間の「Status Register : Detected Parity Error」が反映されます。このとき、「Command Register : Parity Error Response」が許可されている場合は、PERR# をアサートします。

データ・パリティ・エラーが発生した場合の内部処理には 2 つの方法をサポートしています。

1 つは、パリティ・エラーを検出してもライト・データを有効として取り扱い、ローカル・バス・サイクルが起動します。もう 1 つは、パリティ・エラーを検出したデータを無効として取り扱い、ローカル・バス・サイクルは起動しません。これら動作は、アダプタ・コンフィギュレーション空間の「PCI State Control Register : PCI Data Parity Mode」の設定により選択できます。

I/O Illegal アクセスを検出した場合は、アドレス・パリティ・エラー検出時と同様の動作となります。

エラー内容	PCI Status Reg.	Signaled	データ処理
Address Parity	• Signaled Target Abort(Bit11) • Signaled System Error(Bit14) • Detected Parity Error(Bit15)	SERR#	無効
Data Parity	• Detected Parity Error(Bit15)	PERR#	有効/無効
I/O Illegal Access	• Signaled Target Abort(Bit11) • Signaled System Error(Bit14) • Detected Parity Error(Bit15)	SERR#	無効

#### 4-1-1-5. ターゲット・リソースの割り当て

内部レジスタが配置されるアダプタ・コンフィギュレーション空間やローカル・リソースのための I/O 空間、メモリ空間、ExpROM 空間は、それぞれ専用の Base Address Register (BAR) が割り当てられています。

Base Address Register と割り当てられる空間について以下に示します。

Base Address Register (PCI Configuration Space)	Offset				Space
	PCI (CFG)	Local	EEPROM		
			3W	2W	
Base Address Register0 (BAR0)	10h	10h	—	—	Adapter Configuration Space
Base Address Register1 (BAR1)	14h	14h	—	—	Local I/O Space
Base Address Register2 (BAR2)	18h	18h	—	—	Local Memory Space
Expansion ROM Base Address Register	30h	30h	—	—	Local ExpROM Space

- **Base Address Register0 (BAR0)**  
APIC22A 内部レジスタが配置されるアダプタ・コンフィギュレーション空間専用のベース・アドレスです。PCI からのアクセスは、全て内部レジスタに対するアクセスとなります。BAR0 空間は、I/O マップまたはメモリ・マップを選択可能です。
- **Base Address Register1 (BAR1)**  
ローカル I/O 空間専用のベース・アドレスです。PCI からの I/O アクセスは、全てローカル I/O 空間へのアクセスとなります。
- **Base Address Register2 (BAR2)**  
ローカル・メモリ空間専用のベース・アドレスです。PCI からのメモリ・アクセスは、全てローカル・メモリ空間へのアクセスとなります。
- **ExpROM Base Address Register**  
ローカル ExpROM 空間専用のベース・アドレスです。PCI からのメモリ・アクセスは、全てローカル ExpROM 空間へのアクセスとなります。

アプリケーションの目的とする空間の割り当てや、その空間のアドレス範囲を設定しなければなりません。実際のアドレス・マッピングは、プラグ・アンド・プレイのシステム・ソフトウェアによって行われるため、その前に必要な構成を決定する必要があります。これら、構成を行うのがシリアル EEPROM による初期インシヤライズです。シリアル EEPROM には、各 BAR 機能の ON/OFF やデコード範囲の設定が可能です。

Base Address Register の取り扱いに関連するレジスタを以下に示します。

Register (Serial EEPROM Space)	Offset				Function Bit
	PCI	Local	EEPROM		
			3W	2W	
MISC Control	—	—	13h (H)	27h	・ Bit[0] : BAR0 Space Select
Base Address Register1 (Lower/Upper)	—	—	06h	0C/0Dh	・ Bit[0] : BAR1 Function Control ・ Bit[15:2] : BAR1 Low Address Decode Range
			07h	0E/0Fh	・ Bit[15:0] : BAR1 High Address Decode Range
Base Address Register2 (Lower/Upper)	—	—	08h	10/11h	・ Bit[0] : BAR2 Function Control ・ Bit[15:4] : BAR2 Low Address Decode Range
			09h	12/13h	・ Bit[15:0] : BAR2 High Address Decode Range
Expansion ROM Base Address Register (Lower/Upper)	—	—	0Fh	1E/1Fh	・ Bit[0] : ExpROM Function Control ・ Bit[15:11] : ExpROM Low Address Decode Range
			10h	20/21h	・ Bit[15:0] : ExpROM High Address Decode Range

- **BAR0 Space Select**

BAR0 の配置空間を I/O またはメモリから選択します。

- **BARx/ExpROM Function Control**

各ベース・アドレス・レジスタの機能の ON/OFF を設定します。

機能"ON"に構成される場合、PCI コンフィギュレーション空間の対応するベース・アドレス・レジスタが有効となり、Address Decode Range の設定内容が反映されます。

機能"OFF"に構成される場合、対応するベース・アドレス・レジスタは無効で、システム・ソフトウェアからの読み出しに対し常に値"0"を返します。

- **BARx/ExpROM Address Decode Range**

各ベース・アドレス・レジスタのデコード範囲を設定します。

Address Decode Range で値"1"に設定されたビットの対応するベース・アドレス・ビットがリード/ライト可能となります。システム・ソフトウェアは、ベース・アドレスの各ビットに値"1"をライトし、その後リードします。リードの結果、値"1"が返されたビットの範囲で必要とされるアドレス範囲を識別します。

なお、Address Decode Range は、上位ビットから値"1"を設定します。途中で値"0"が挿入される設定は無効です。

- **ベース・アドレス・レジスタの設定例**

BAR2 (メモリ空間) を例に Figure4-4 に示します。

Figure4-4 では、機能が"ON"に設定されているので BAR2 機能は有効です。

Decode Range は、"FFFF000h"が設定されています。このため、BAR2 の Base Address は、上位 16Bit がリード/ライト可能で、下位 12Bit は値"0"固定のリード・オンリー・ビットとなります。

結果、64Kbyte のメモリ空間を確保したことになります。

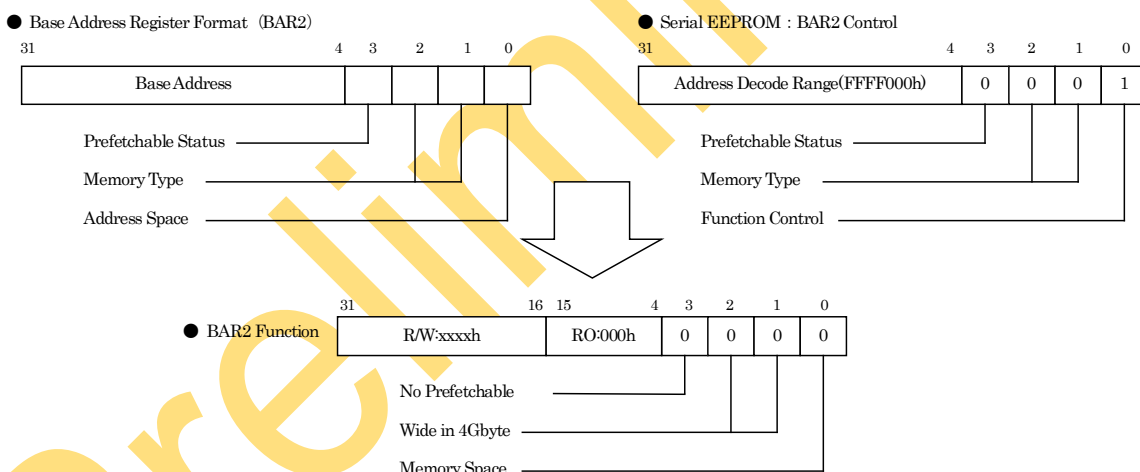


Figure4-4 : BAR2 構成例

#### 4-1-1-6. ターゲット・ロック機能

各 BAR で示される I/O 空間、メモリ空間および ExpROM 空間のそれぞれ独立した排他アクセスをサポートします。

PCI における排他アクセスは、LOCK#信号を使用したリソース・ロックで行われます。リソース・ロックが行われた場合、ロック・マスタ以外からのアクセスは全てリトライで処理されます。

APIC22A では、各 BAR 単位でロック空間の管理が行われるため、ロックされていない空間へのアクセスは可能です。なお、ロックが確立した空間は、その空間が占める全てのアドレス範囲が対象となります。

- **リソース・ロックの確立**

リソース・ロックの確立は、ロック・シーケンスの最初のアクセスが、I/O またはメモリのリード・サイクルで実行された場合のみ行われます。

最初のアクセスがライト・サイクルの場合やリトライで終了した場合、リソース・ロックは確立しません。

また、ターゲット・アボートで終了した場合は、ロック・マスタがロックを解除するため確立しないこととなります。

#### 4-1-1-7. ターゲット・レイテンシ・ルール

PCI では、長い時間バスを占有しないようにするためのレイテンシ・ルールによる制限が規定されています。

あるマスタ・デバイスとターゲット・デバイスとのアクセスが確立した場合、マスタ・デバイスはデータ転送が成立するまでバス・サイクルを終了することができません。このため、バスの占有時間はターゲット・デバイスに任されることとなります。ターゲット・デバイスは、レイテンシ・ルールによる制限時間までにデータの準備ができない場合、リトライやディスコネクでバス・サイクルを終了します。

ターゲット・レイテンシには、Initial Latency と Subsequent Latency があります。

- **Initial Latency**

1<sup>st</sup>データ・フェーズで規定される 16 クロック・ルールです。

バス・サイクルの開始点から 16 クロック以内でデータ転送が成立できない場合、リトライで終了します。

- **Subsequent Latency**

バス・サイクル時の 2<sup>nd</sup>データ・フェーズ以降で規定される 8 クロック・ルールです。

以前のデータ転送成立点から 8 クロック以内で次のデータ転送が成立できない場合、ディスコネクで終了します。

APIC22A では、アダプタ・コンフィギュレーション空間の「PCI State Control Register : PCI Target Latency Control」の設定により制限を無効とすることもできます。特別なアプリケーションによるデータ転送の速度を優先する用途に有効です。ただし、PCI 規格準拠を目的とするアプリケーションでは使用しないでください。

#### 4-1-1-8. データ転送

APIC22A は、リード/ライトそれぞれ独立したデータ・パスの制御構造を持ちます。

リード制御は、ダイレクト・リード (Direct RD) とプリフェッチ・リード (Prefetch RD) を選択可能です。

ライト制御は、ダイレクト・ライト (Direct WR) とポストッド・ライト (Posted WR) を選択可能です。

アクセス空間と対応するデータ・パス制御について以下に示します。

Transaction		Data Path Control
Local I/O	I/O Read	Direct RD/Delayed RD
	I/O Write	Direct WR/Delayed WR/Posted WR
Local Memory	Memory Read	Direct RD/Delayed RD/Prefetch RD
	Memory Write	Direct WR/Delayed WR/Posted WR
PCI Config. Reg.	Config. Read	Direct RD
	Config. Write	Direct WR/Delayed WR
Internal Reg.	InReg. Read	Direct RD
	InReg. Write	Direct WR/Delayed WR

- **Direct RD/Direct WR**

ダイレクト・アクセスは、PCI からの転送要求に対し、データ転送が成立するまでバス・アクセスが続くことをいいます。

ローカルへのアクセスでは、リード転送の場合、ローカル・リード・サイクルが起動し読み出されたデータの引き渡しができるまで待ちます。ライト転送の場合は、ローカル・ライト・サイクルが起動し実際にデータの書き込みが終了するまで待ちます。

Initial Latency または Subsequent Latency の要求範囲内でデータ転送が成立できない場合は、リトライまたはディスコネクトで終了しディレイド・アクセスへ移行します。

- **Delayed RD/Delayed WR**

リトライ/ディスコネクトでバス・サイクルを一端終了し、その後の再アクセスでデータ転送が完了することをいいます。

ローカルへのアクセスの場合、再アクセスを待つ間もローカル・バス・サイクルは続きます。

- **Prefetch RD**

プリフェッチ・リードは、最初の PCI リード要求のフレーム情報を基に、複数のデータ・リードを行う先読み動作です。

次の PCI リード要求を待たず、先読み動作によりデータの準備ができているため、レイテンシ要求範囲内での効率の良いバースト転送が可能です。

プリフェッチ用のデータ・バッファに 64Byte (16Dword) の FIFO を内蔵し、4Byte 単位のプリフェッチ・カウントを設定可能です。また、バッファの管理には、1つのフレーム単位でクリアする方法と複数のフレームに対応できる継続方法をサポートしています。

- **Posted WR**

ポストッド・ライトは、ローカル・バスの状態に依存することなく、PCI からのライト・データを内部バッファに順次格納する動作です。

ローカル・バス・サイクルの終了を待たず、データ転送が完了するため PCI バスの占有率を最小限に抑えます。また、内部バッファに空きがある場合、No Wait のバースト・ライトが可能です。

ポストッド・ライト用のデータ・バッファに 64Byte (16Dword) の FIFO を内蔵し、独立した4種類のフレーム情報を管理できます。また、連続する複数フレームのコンバイン処理をサポートしています。



## 4-1-2. PCI マスタ

### 4-1-2-1. サポート・コマンド

PCI コマンドの一覧と APIC22A がサポートするマスタ・コマンドについて以下に示します。

PCI Command Type			Code(C/BE[3:0]#)	Support
I/O Cycle	I/O Read		0010(2h)	Yes
	I/O Write		0011(3h)	Yes
Memory Cycle	Read	Memory Read	0110(6h)	Yes
		Memory Read Multiple(MRM)	1100(Ch)	No
		Memory Read Line(MRL)	1110(Eh)	No
	Write	Memory Write	0111(7h)	Yes
		Memory Write and Invalidate(MWI)	1111(Fh)	No
Configuration Cycle	Configuration Read *1		1010(Ah)	Yes
	Configuration Write *1		1011(Bh)	Yes
Interrupt Acknowledge Cycle			0000(0h)	No
Special Cycle			0001(1h)	No
Dual Address Cycle			1101(Dh)	No
Reserved			0100(4h)	No
			0101(5h)	No
			1000(8h)	No
			1001(9h)	No

Notes :

- \*1 Type0 の Configuration Cycle のみ生成可能です。  
PCI-PCI ブリッジを経由したことなる PCI バスのコンフィギュレーション空間は参照できません。

### 4-1-2-2. マスタ・ターミネーション

マスタ・ターミネーションには、データ転送が終了した場合のバス・サイクルの完了 (Completion) とバス占有時間のタイム・アウトや応答するターゲット・デバイスが存在しなかった場合のマスタ・アボートがあります。

マスタ・イニシエーティッド・ターミネーションは、転送方法により以下に示す内容に分けられます。

Transaction	Master Termination	
Single Access	Completion	
	Master Abort Termination	
Burst Access	Completion	
	Timeout	PCI Bus Arbiter Preemption
		Master Latency Timer Timeout
	Master Abort Termination	

- **コンプリーション (Completion)**  
予定していた全てのデータ転送が終了した場合の完了処理です。  
転送すべき次のデータが発生するまでマスタ動作は行われません。
- **マスタ・アボート (Master Abort)**  
サブトラクティブ・デコードのタイミングまでに応答するターゲット・デバイスが無かった場合にマスタ・アボートでバス・サイクルを終了します。

### ● タイムアウト (Timeout)

PCI では、長い時間バスの占有状態が続くのを避けるため時間制限が規定されています。この時間制限は固定値ではなく、システムごとに割り当てられる値で行われます。マスタ・デバイスは、バスの占有状態が時間制限を超えた場合、直ちにバス・サイクルを終了しなければなりません。これら動作が、タイムアウトによるバス・サイクルの終了です。

タイムアウトには、PCI バス・アービタによるプリエンプション (GNT#信号のディアサート) と PCI コンフィギュレーション空間の「Master Latency Timer」による制御があります。

APIC22A では、Master Latency Timer によるタイムアウトでバス・サイクルを終了します。タイムアウトで終了した場合、再びバスの使用権を獲得し残っているデータの転送を開始します。

なお、DMA 転送のとき、アダプタ・コンフィギュレーション空間の「PCI State Control Register : Force DMA Mode」の設定によりタイムアウト制限を無効とすることもできます。ただし、PCI 規格準拠を目的とするアプリケーションでは使用しないでください。

### 4-1-2-3. アドレッシング・モード

APIC22A がサポートするマスタ動作のアドレッシング・モードについて以下に示します。

Transaction	Addressing Mode	Support
Memory Access	Linear Increment Mode	Yes
	Cache Line Wrap Mode	No
I/O Access	Linear Increment Mode	Yes
	Fix Addressing Mode	Yes

### ● メモリ・バースト転送

APIC22A は、リニア・インクリメント・モードをサポートします。マスタ転送のアドレス更新は、1つのデータ・フェーズごとに 4Byte 単位のアドレス加算で行われます。

リトライや Disconnect Without Data で終了した場合は、終了時点と同じアドレスでマスタ動作が再開します。Disconnect With Data で終了した場合は、次の 4Byte 境界のアドレスから再開します。

なお、メモリ・バーストは、Dword のメモリ転送時のみ可能です。

### ● I/O バースト転送

APIC22A は、DMA 機能による I/O バースト転送が可能です。

アドレス更新は、内部レジスタの設定で、リニア・インクリメント・モードと固定アドレッシング・モードを選択可能です。リニア・インクリメント・モードでは、メモリ・バースト転送と同様に 4Byte 単位のアドレス加算で処理されます。固定アドレッシング・モードでは、データ・フェーズごとのアドレス更新は行われず固定アドレスへの転送として処理されます。

なお、I/O バーストは、Dword のデータ転送時のみ可能です。また、アドレス更新方法など、転送対象となるターゲット・デバイスとの事前の取り決めが必要です。

### 4-1-2-4. エラー検出

エラー検出は、パリティ・エラーやマスタ・アボートおよびターゲット・アボートを受信した場合に行われます。また、リトライが続いた場合の制限でエラーを検出することもできます。

なお、システムへのエラー通知は、APIC22A によるマスタ動作時のみ行われます。

パリティ・エラーの検出は、リード・アクセス時のデータ・パリティとライト・アクセス時の PERR#信号の状態で行われます。

リード・アクセスでパリティ・エラーを検出した場合、PCI コンフィギュレーション空間の「Status Register : Detected Parity Error」が反映されます。このとき、「Command Register : Parity Error Response」が許可されている場合は、PERR#をアサートし、「Status Register : Master Data Parity Error」が反映されます。ライト・アクセスでターゲット・デバイスによる PERR#アサートを検出した場合、「Command Register : Parity Error Response」が許可されていると「Status Register : Master Data Parity Error」が反映されます。

APIC22A では、パリティ・エラー検出による SERR#通知が可能です。これは APIC22A 固有機能で、アダプタ・コンフィギュレーション空間の「PCI SERR# Control Register : Data Parity Error SERR# Enable」で選択できます。ただし、PCI コンフィギュレーション空間の「Command Register : SERR# Enable」が許可されている必要があります。

なお、パリティ・エラーが検出されても引き続きデータ転送は行われます。

マスタ・アボートを検出した場合、PCI コンフィギュレーション空間の「Status Register : Received Master Abort」が反映されます。ただし、コンフィギュレーション・サイクルにおけるマスタ・アボートでは反映されません。

APIC22A では、マスタ・アボート検出による SERR#通知が可能です。アダプタ・コンフィギュレーション空間の「PCI SERR# Control Register : Master Abort SERR# Enable」で選択できます。ただし、PCI コンフィギュレーション空間の「Command Register : SERR# Enable」が許可されている必要があります。

SERR#による通知は、コンフィギュレーション・サイクルにおけるマスタ・アボートでも有効です。

マスタ・アボートが検出されると、DMA などのデータ転送は終了します。再び DMA 転送が許可されるか、またはローカル・マスタ・アクセスがあるまでマスタ動作は行われません。

ターゲット・アボートを受信した場合、PCI コンフィギュレーション空間の「Status Register : Received Target Abort」が反映されます。

APIC22A では、ターゲット・アボート受信による SERR#通知が可能です。アダプタ・コンフィギュレーション空間の「PCI SERR# Control Register : Target Abort SERR# Enable」で選択できます。ただし、PCI コンフィギュレーション空間の「Command Register : SERR# Enable」が許可されている必要があります。

ターゲット・アボートを受信すると、DMA などのデータ転送は終了します。再び DMA 転送が許可されるか、またはローカル・マスタ・アクセスがあるまでマスタ動作は行われません。

APIC22A には、リトライ制限によるエラー検出機能があります。

リトライ制限は、アダプタ・コンフィギュレーション空間の「PCI State Control Register : PCI Retry Limit Control/PCI Retry Limit Count」で選択でき、リトライが続くデッド・ロック状態を回避します。

リトライ制限による SERR#通知が可能です。アダプタ・コンフィギュレーション空間の「PCI SERR# Control Register : Retry Limit SERR# Enable」で選択できます。ただし、PCI コンフィギュレーション空間の「Command Register : SERR# Enable」が許可されている必要があります。

リトライ制限が行われると、DMA などのデータ転送は終了します。再び DMA 転送が許可されるか、またはローカル・マスタ・アクセスがあるまでマスタ動作は行われません。

エラー内容		PCI Status Reg.	Signaled	データ転送
Parity	Read	<ul style="list-style-type: none"> <li>Master Data Parity Error(Bit8)</li> <li>Signaled System Error(Bit14)</li> <li>Detected Parity Error(Bit15)</li> </ul>	PERR# SERR#	継続
	Write	<ul style="list-style-type: none"> <li>Master Data Parity Error(Bit8)</li> <li>Signaled System Error(Bit14)</li> </ul>	SERR#	継続
Master Abort		<ul style="list-style-type: none"> <li>Received Master Abort(Bit13)</li> <li>Signaled System Error(Bit14)</li> </ul>	SERR#	終了
Target Abort		<ul style="list-style-type: none"> <li>Received Target Abort(Bit12)</li> <li>Signaled System Error(Bit14)</li> </ul>	SERR#	終了
Retry Limit *1		<ul style="list-style-type: none"> <li>Signaled System Error(Bit14)</li> </ul>	SERR#	終了

**Notes :**

- \*1 Retry Limit は、アダプタ・コンフィギュレーション空間の「PCI INTA#/SERR# Status Register」で確認できます。

#### 4-1-2-5. アクセス可能な PCI リソース

I/O 空間、メモリ空間共に最大 4Gbyte 空間のアクセスが可能です。

マスタ動作は、ローカル・マスタ機能および DMA 機能により行われます。

##### ■ ローカル・マスタ機能によるアクセス

PCI アドレスは、ローカル・マスタからのアドレス入力と内部レジスタのリマップ・アドレスとの加算で生成します。アクセス空間は、端子入力の制御信号により I/O 空間またはメモリ空間を選択します。

I/O 空間アクセスは、内部レジスタの設定で PCI コンフィギュレーション空間へのアクセスに変換することも可能です。ただし、コンフィギュレーション・サイクルはタイプ 0 のみが可能なため同一バス上のアクセスに限定されます。なお、コンフィギュレーション・サイクルにおける IDSEL 信号は、通常特定のアドレス・ビット (AD[31:11]) で代用されます。アクセス対象のロットに対応したアドレス・ビットが値"1"となるように内部レジスタで設定が必要です。

Access Space	Address Space
I/O Access	・ AD[31:0] : Max 4Gbyte
Memory Access	・ AD[31:0] : Max 4Gbyte
Configuration Access(Type0)	<ul style="list-style-type: none"> <li>・ AD[1:0] : Fix"0"</li> <li>・ AD[7:2] : Register Number</li> <li>・ AD[10:8] : Function Number</li> <li>・ AD[31:11] : IDSEL[20:0]</li> </ul>

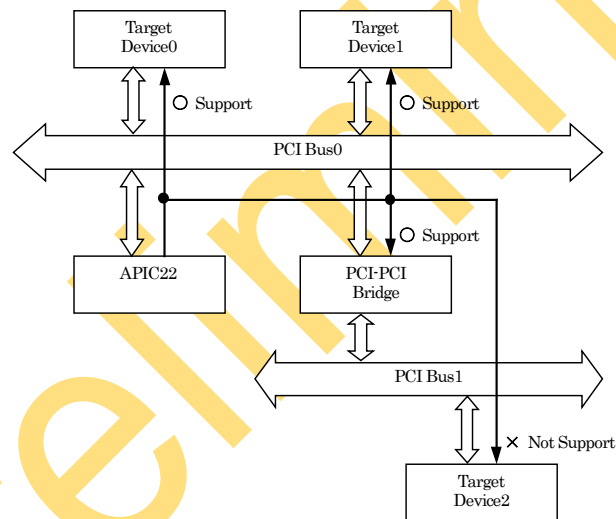


Figure4-5 : コンフィギュレーション・アクセス

##### ■ DMA 機能によるアクセス

PCI アドレスは、内部レジスタの DMA PCI アドレスの設定値で生成します。アクセス空間は、DMA の転送モードで I/O 空間またはメモリ空間を選択します。

Access Space	Address Space
I/O Access	・ AD[31:0] : Max 4Gbyte
Memory Access	・ AD[31:0] : Max 4Gbyte

#### 4-1-2-6. マスタ・ロック機能

APIC22A は、I/O 空間、メモリ空間の任意のアドレスに対する排他アクセスを実行できます。排他アクセスは、LOCK#信号を使用したリソース・ロックで、ローカル・マスタからのアクセスで行います。

##### ● ロック・シーケンスの実行

各リマップ・アドレス・レジスタのロック・リクエスト・ビットにより選択します。ロック・リクエストが有効のときに、対象空間へローカル・マスタからのリード・アクセスがあると PCI バスではロック・シーケンスを実行します。ロック・シーケンスの実行は、リード・アクセスで行われ、ライト・アクセスでは行われません。また、リード・アクセスの結果、マスタ・アポートやターゲット・アポートが発生した場合は、ロックは解除されます。なお、リトライの場合もロックは確立しませんが、再アクセスではロック・シーケンスを実行します。

#### 4-1-2-7. データ転送

APIC22A は、ローカル・マスタ機能と DMA 機能でそれぞれ独立したデータ・パスの制御構造を持ちます。ローカル・マスタ機能では、リード制御は、ダイレクト・リード (Direct RD) とプリフェッチ・リード (Prefetch RD) を選択可能です。ライト制御は、ポストッド・ライト (Posted WR) でデータ転送を行います。DMA 機能では、Local to PCI 転送および PCI to Local 転送で共通のバッファを使用し、プリフェッチド・ライト (Prefetched WR) でデータ転送を行います。

機能と対応するデータ・パス制御について以下に示します。

Function		Data Path Control
Local Master	I/O Read	Direct RD
	I/O Write	Posted WR
	Memory Read	Direct RD/Prefetch RD
	Memory Write	Posted WR
DMA	Local to PCI	Prefetched WR
	PCI to Local	Prefetched WR

##### ● Direct RD

ダイレクト・リードは、ローカル・マスタからのリード要求に対し、PCI バスでは要求されたデータ数分のリード・サイクルが起動します。

##### ● Prefetch RD

プリフェッチ・リードは、ローカル・マスタからのリード要求のフレーム情報を基に、PCI バスではプリフェッチ・カウント分のバースト・リード・サイクルが起動します。

プリフェッチ用のデータ・バッファに 64Byte (16Dword) の FIFO を内蔵し、4Byte 単位のプリフェッチ・カウントを設定可能です。バッファの管理には、1つのフレーム単位でクリアする方法と複数のフレームに対応できる継続方法をサポートしています。

##### ● Posted WR

ポストッド・ライトは、ローカル・マスタからのライト・データを内部バッファに順次格納し、PCI バスでは格納された順にライト・サイクルが起動します。このとき、メモリ空間への連続アドレスの場合、バースト・ライトで処理されます。

ポストッド・ライト用のデータ・バッファに 64Byte (16Dword) の FIFO を内蔵し、独立した4種類のフレーム情報を管理できます。また、同一フレームに対するバイト・データのマーキング処理をサポートしています。

##### ● Prefetched WR

プリフェッチド・ライトは、DMA 機能におけるデータ転送方法で、転送元から Prefetch RD し、同時に転送先へ書き込む動作をいいます。

DMA 転送用のデータ・バッファは、64Byte (16Dword) の双方向 FIFO で構成されています。

PCI バスでは、リード方向のときバッファに空きがある場合やライト方向のときバッファに複数データがある場合、バースト・アクセスで処理されます。

### 4-1-3. PCI コンフィギュレーション空間

PCI コンフィギュレーション空間は、PCI 規格で定義されるフォーマットのレジスタを配置し、通常のメモリ空間や I/O 空間とは独立した領域に割り当てられています。

プラグ・アンド・プレイのシステム・ソフトウェアにより、デバイスの検出、機能の識別、システム・リソースの割り当てなどが行われます。

APIC22A のレジスタ・フォーマットは、PCI ヘッダ・タイプ 00H に対応します。また、デバイス固有領域では、いくつかの PCI Spec2.2 新機能をサポートしています。

APIC22A は、汎用のアダプタ・デバイスのため、シリアル EEPROM による初期イニシャライズでアプリケーションの目的とする内容に構成することができます。

#### 4-1-3-1. 共通定義の PCI ヘッダ領域 (Offset : 00h~0Fh)

デバイスの種類に依存しない共通の定義済みヘッダ領域です。

##### ■ Vendor ID/Device ID : Offset=00h(4Byte) ; Reset=0002136Ch

デバイスのメーカーやデバイス ID を識別します。

##### ● Serial EEPROM Initialize

シリアル EEPROM による初期設定が可能です。

- Vendor ID
- Device ID

##### ■ Command/Status Register : Offset=04h(4Byte) ;

デバイスの制御やエラー内容の通知を行います

##### ● Command Register

Bit	Description	Support	R/W	Reset
0	I/O Space	Yes	R/W	0
1	Memory Space	Yes	R/W	0
2	Bus Master	Yes	R/W	0
3	Special Cycle	No	RO	Fix'0'
4	Memory Write and Invalidate Enable	No	RO	Fix'0'
5	VGA Palette Snoop	No	RO	Fix'0'
6	Parity Error Response	Yes	R/W	0
7	Wait Cycle Control	No	RO	Fix'0'
8	SERR# Enable	Yes	R/W	0
9	Fast Back to Back Enable	Yes	R/W	0
15:10	Reserved	No	RO	Fix'0'

##### ● Status Register

Bit	Description	Support	R/W	Reset
3:0	Reserved	No	RO	Fix'0'
4	New Capabilities	Yes	RO	0
5	66MHz Capable	No	RO	Fix'0'
6	UDF Supported	No	RO	Fix'0'
7	Fast Back to Back Capable	Yes	RO	0
8	Master Data Parity Error	Yes	R/WC	0
10:9	DEVSEL# Timing	Yes	RO	01
11	Signaled Target Abort	Yes	R/WC	0
12	Received Target Abort	Yes	R/WC	0
13	Received Master Abort	Yes	R/WC	0
14	Signaled System Error	Yes	R/WC	0
15	Detected Parity Error	Yes	R/WC	0

Notes : RO=Read Only/WC=Write Clear

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- Status Reg. : New Capabilities
- Status Reg. : Fast Back to Back Capable

■ **Revision ID/Class Code : Offset=08h(4Byte) ; Reset=06800000h**

デバイス固有のレビジョン・レベルと一般機能を識別します。

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- Revision ID
- Class Code (Base Class/Sub Class/Programming I/F Code)

■ **Cache Line Size : Offset=0Ch(1Byte) ; Read Only=00h**

システムのキャッシュ・ライン・サイズを示します

APIC22A では、未サポートです。

■ **Master Latency Timer : Offset=0Dh(1Byte) ; Reset=00h**

マスタ動作のレーテンシ・タイマ値を示します。

生成できるバースト長が決まります。

■ **Header Layout Code : Offset=0Eh(1Byte) ; Read Only=00h**

デバイスの PCI ヘッダ・タイプを示します。

APIC22A は、PCI ヘッダ・タイプ 00H です。

■ **BIST : Offset=0Fh(1Byte) ; Read Only=00h**

デバイス内部のセルフ・テストを制御します

APIC22A では、未サポートです。

#### 4-1-3-2. PCI ヘッダ・タイプ 00H 領域 (Offset : 10h~3Fh)

PCI ヘッダ・タイプ 00H の定義済みヘッダ領域です。

- **Base Address Register0 (BAR0) : Offset=10h(4Byte) ; Reset=0000001h**  
 ターゲット・リソースを識別するためのベース・アドレス・レジスタです。  
 APIC22A では、アダプタ・コンフィギュレーション空間に割り当てられます。  
 アドレス範囲は、128Byte 固定です。

- **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- ・ BAR0 Space Select : I/O or Memory

- **Base Address Register1 (BAR1) : Offset=14h(4Byte) ; Reset=0000001h / Function"On"**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、ローカル I/O 空間に割り当てられます。

設定できるアドレス範囲は、ローカル・バス・モードにより変わります。

- **8/16Bit NonMux Mode**

31	8	7	2	1	0
I/O Base Address			Decode Range (Max256Byte)		0
					1

- **32Bit Mux Mode**

31	30	2	1	0
Decode Range (Max2Gbyte)				0
				1

- **Serial EEPROM Initialize**

- ・ BAR1 Function ON/OFF
- ・ BAR1 Decode Range

- **Base Address Register2 (BAR2) : Offset=18h(4Byte) ; Reset=0000000h / Function"Off"**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、ローカル・メモリ空間に割り当てられます。

設定できるアドレス範囲は、ローカル・バス・モードにより変わります。

- **8/16Bit NonMux Mode**

31	17	16	4	3	2	1	0
Memory Base Address			Decode Range (Max128Kbyte)		x	0	x
					0	x	0

- **32Bit Mux Mode**

31	30	4	3	2	1	0
Decode Range (Max2Gbyte)						x
						0
						x
						0

- **Serial EEPROM Initialize**

- ・ BAR2 Function ON/OFF
- ・ BAR2 Decode Range

- **Base Address Register3 (BAR3) : Offset=1Ch(4Byte) ; Read Only=0000000h**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、未サポートです。

- **Base Address Register4 (BAR4) : Offset=20h(4Byte) ; Read Only=0000000h**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、未サポートです。

- **Base Address Register5 (BAR5) : Offset=24h(4Byte) ; Read Only=0000000h**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、未サポートです。



■ **CardBus CIS Pointer : Offset=28h(1Byte) ; Read Only=0000000h**

CardBus PC カードの CIS 空間を示します。  
APIC22A では、未サポートです。

■ **Subsystem Vendor ID/Subsystem ID : Offset=2Ch(4Byte) ; Reset=0002136Ch**

アダプタ・ボードのメーカーやボード ID を識別します。

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- Subsystem Vendor ID
- Subsystem ID

■ **Expansion ROM Base Address Register : Offset=30h(4Byte) ; Reset=0000000h/Function"Off"**

ターゲット・リソースを識別するためのベース・アドレス・レジスタです。

APIC22A では、ローカル ExpROM 空間に割り当てられます。

設定できるアドレス範囲は、ローカル・バス・モードにより変わります。

● **8/16Bit NonMux Mode**

31	17	16	11	10	1	0
ExpROM Base Address			Decode Range (Max128Kbyte)		Reserved	
						x

● **32Bit Mux Mode**

31	30	11	10	1	0
Decode Range (Max2Gbyte)				Reserved	
					x

● **Serial EEPROM Initialize**

- ExpROM Function ON/OFF
- ExpROM Decode Range

■ **Cap\_Ptr : Offset=34h(1Byte) ; Reset=00h**

PCI Spec2.2 新機能のデータ構造体リンク・リストの先頭ポインタを示します。

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- New Capabilities Pointer

■ **Interrupt Line/Interrupt Pin : Offset=3Ch(2Byte) ; Reset=0000h**

接続される割り込みラインの番号、および使用する割り込みピンを示します。

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- Interrupt Pin Value (INTA# Only)

■ **Min\_Gnt/Max\_Lat : Offset=3Eh(2Byte) ; Reset=0000h**

マスタ・デバイスが必要とするバースト・サイクルの長さや実行周期を示します。

● **Serial EEPROM Initialize**

シリアル EEPROM による初期設定が可能です。

- Min\_Gnt Value
- Max\_Lat Value

#### 4-1-3-3. デバイス固有領域 (Offset : 40h~FFh)

デバイス固有機能を定義できる領域です。

APIC22A は、PCI Spec2.2 新機能を配置します。

##### ■ Hot Swap Function : Offset=40h(4Byte) ; Reset=Function"Off"

ホット・スワップ機能のレジスタです。

###### ● Serial EEPROM Initialize

シリアル EEPROM による初期設定が可能です。

- Hot Swap Function ON/OFF
- Hot Swap Next Item Register

##### ■ Power Management Function : Offset=48h(8Byte) ; Reset=Function"Off"

パワー・マネージメント機能のレジスタです。

###### ● Serial EEPROM Initialize

シリアル EEPROM による初期設定が可能です。

- PM Function ON/OFF
- PM Next Item Register
- PM Capabilities Register
- PM Control/Status Register : Data Scale
- PM Data Register : Power Consumed/Power Dissipated

##### ■ VPD Function : Offset=50h(8Byte) ; Reset=Function"On"

VPD 機能のレジスタです。

###### ● Serial EEPROM Initialize

シリアル EEPROM による初期設定が可能です。

- VPD Function ON/OFF
- VPD Next Item Register

##### ■ MSI Function : Offset=60h(12Byte) ; Reset=Function"Off"

MSI 機能のレジスタです。

###### ● Serial EEPROM Initialize

シリアル EEPROM による初期設定が可能です。

- MSI Function ON/OFF
- MSI Next Item Register

##### ■ Reserved Register : Offset=80h~FFh(128Byte) ;

予約済みのレジスタです。

PCI からの読み出しに対し、値"0"を返します。

## 4-2. PCIバス・タイミング

PCIバスにおける基本的なタイミングについて示します。

### 4-2-1. PCIターゲット・アクセス

#### 4-2-1-1. 内部レジスタ・リード・タイミング

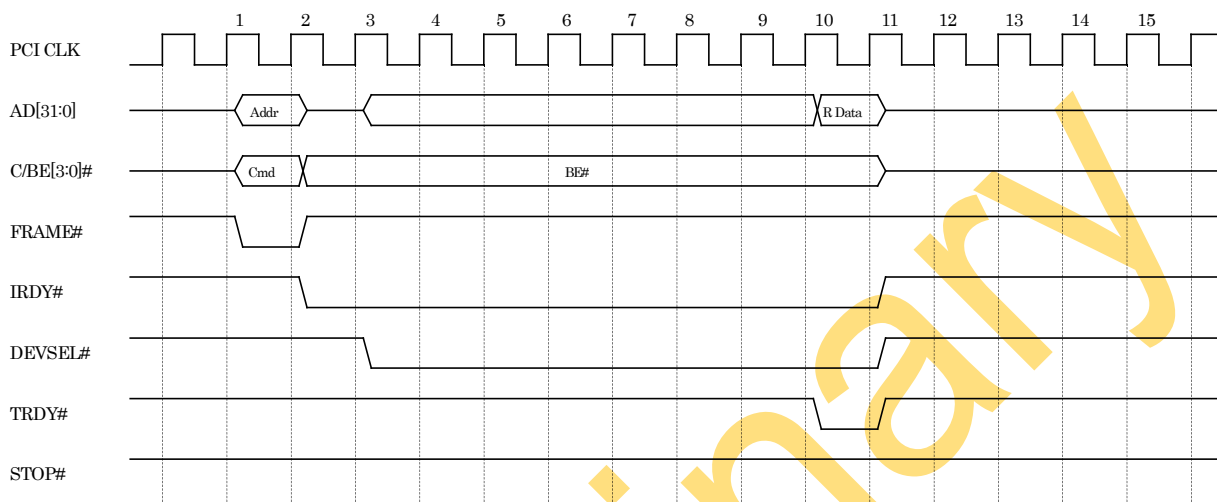


Figure4-6 : 内部レジスタ・リード・タイミング

#### 4-2-1-2. 内部レジスタ・ライト・タイミング

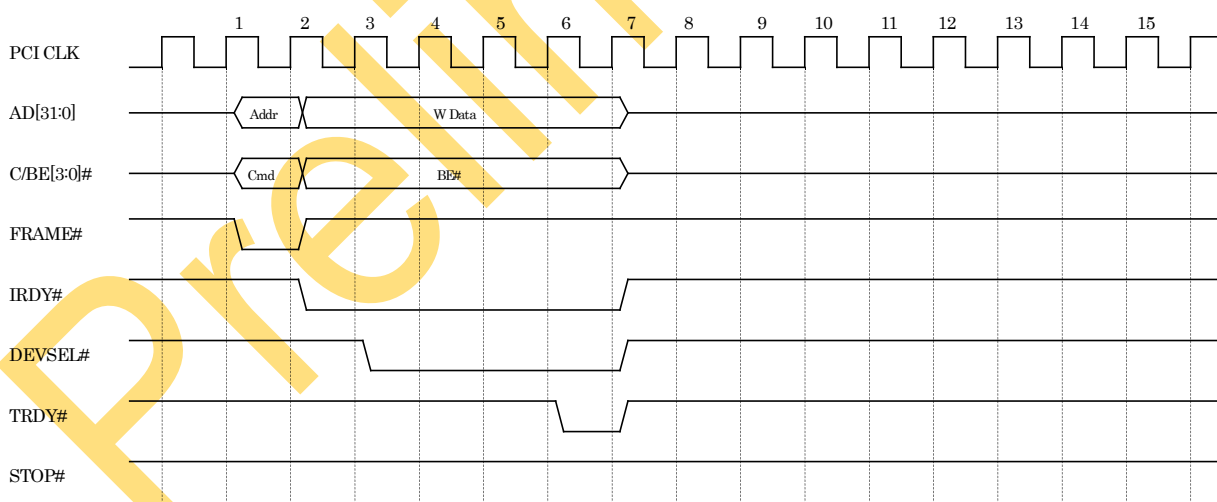


Figure4-7 : 内部レジスタ・ライト・タイミング

### 4-2-1-3. ターゲット・イニシエティット・ターミネーション

#### ■ Retry と Disconnect Without Data 終了

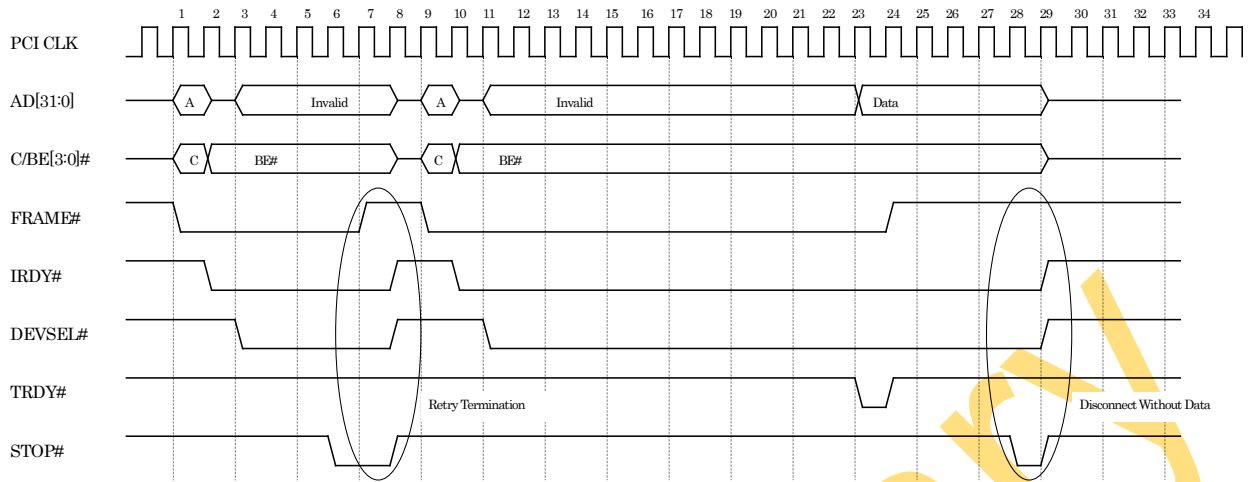


Figure4-8 : Retry/Disconnect Without Data タイミング

#### ■ Retry と Disconnect With Data 終了

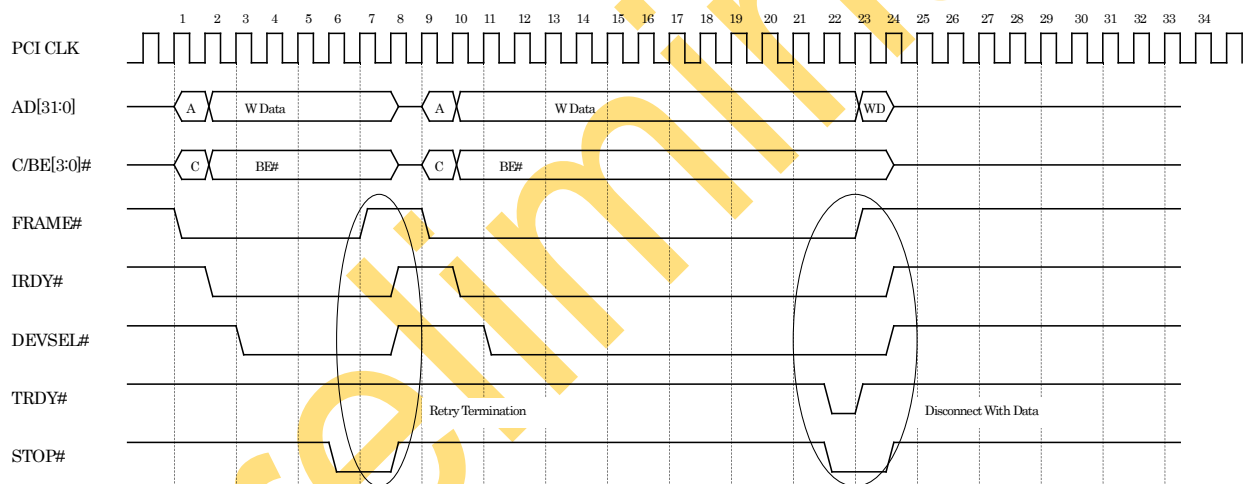


Figure4-9 : Retry/Disconnect With Data タイミング

#### ■ Target Abort 終了

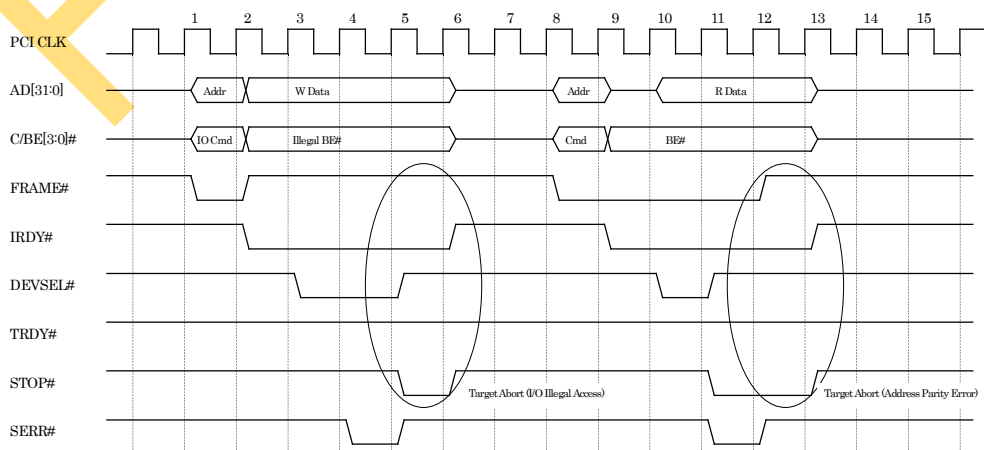


Figure4-10 : Target Abort タイミング

## 4-2-2. PCI マスタ・アクセス

### 4-2-2-1. PCI アービトレーション・タイミング

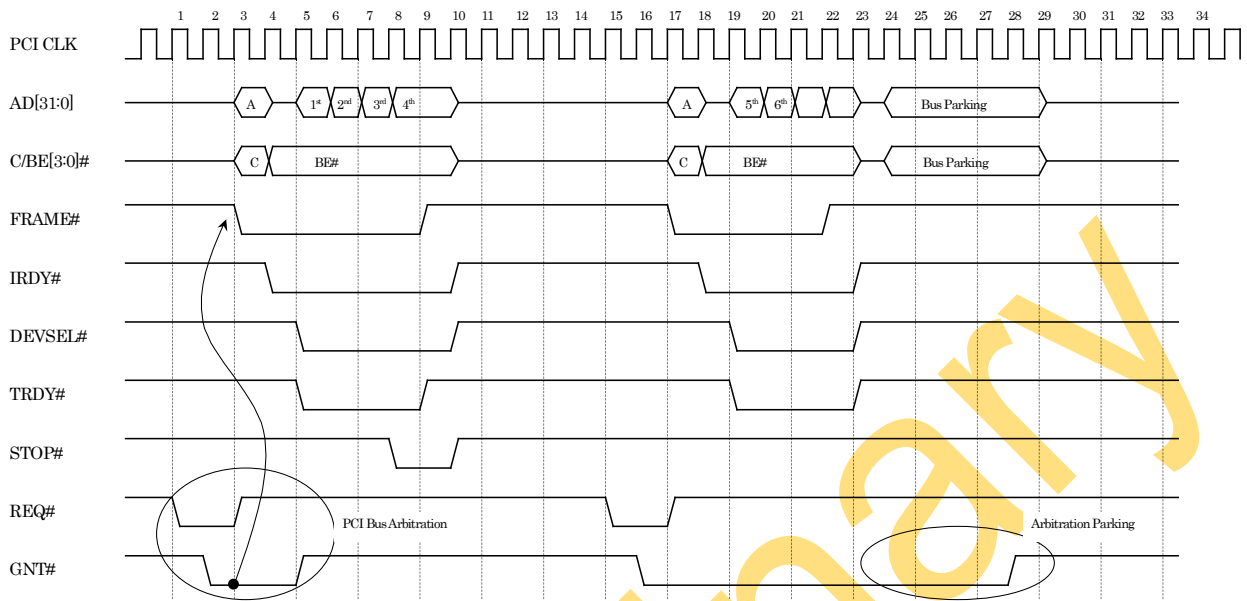


Figure4-11 : PCI アービトレーション・タイミング

### 4-2-2-2. マスタ・ロック・シーケンス

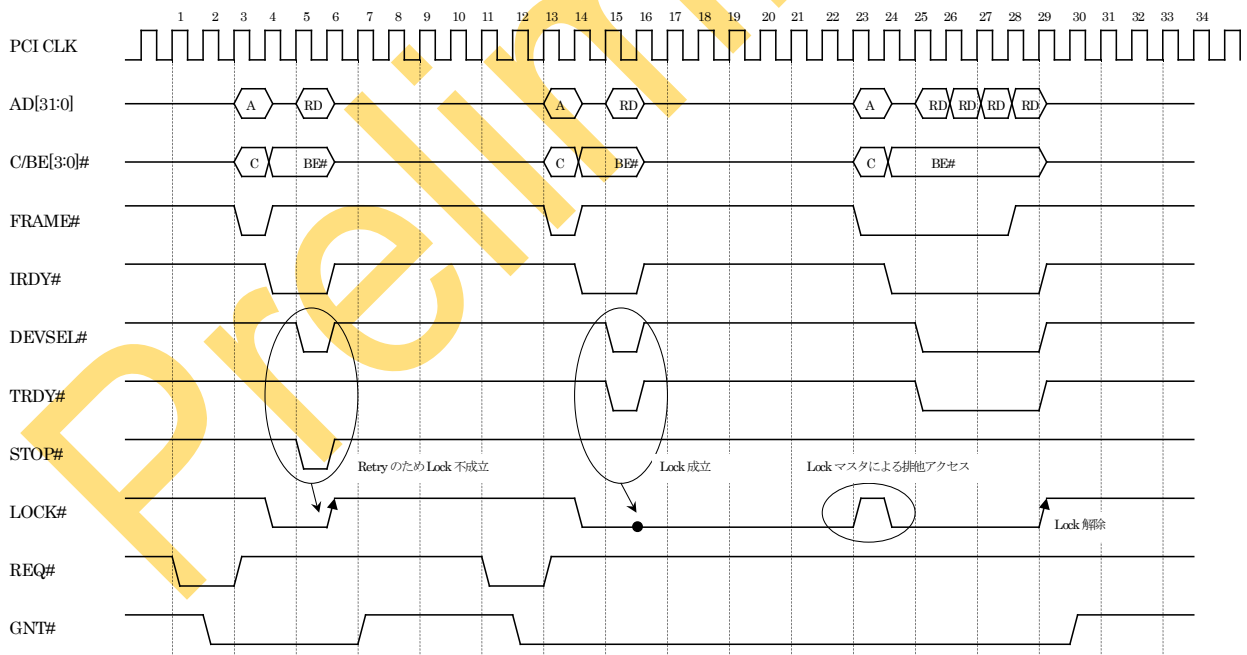


Figure4-12 : マスタ・ロック・シーケンス・タイミング

### 4-2-2-3. マスタ・イニシエティット・ターミネーション

#### ■ Timeout と Completion 終了

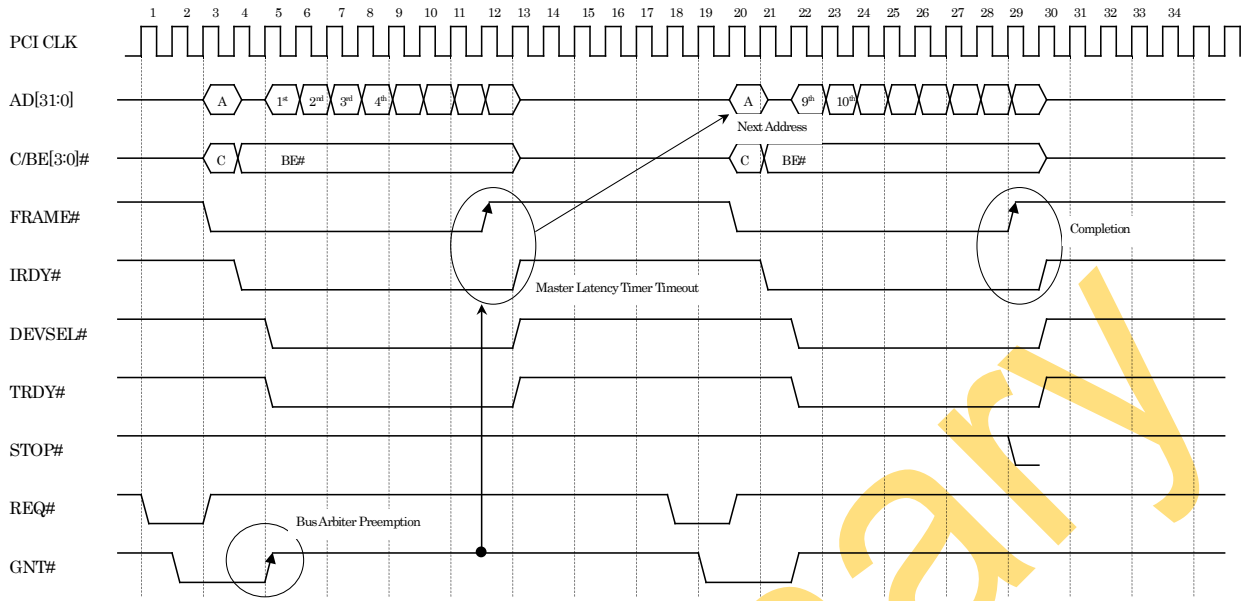


Figure4-13 : Timeout と Completion タイミング

#### ■ Master Abort 終了

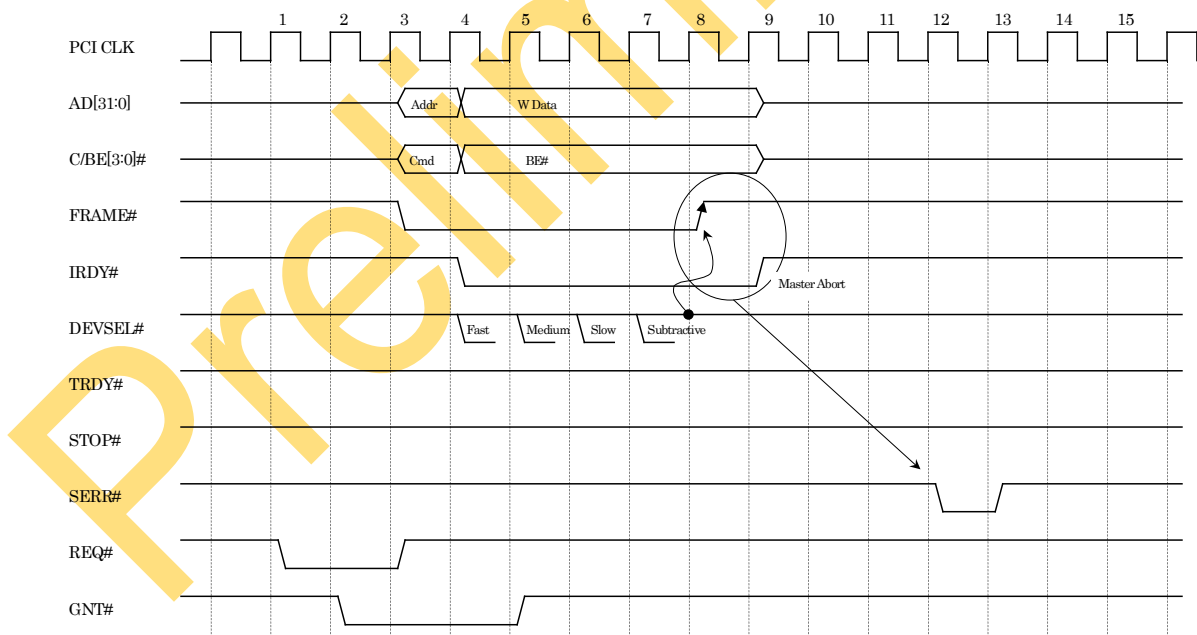


Figure4-14 : Master Abort タイミング

### 4-3. ローカル・バス・インタフェース

APIC22A は、最大 33MHz で動作可能なローカル・バス・インタフェースを持ちます。

動作クロックは、ローカル・クロック・モードにより、外部クロック入力で動作する非同期モードと PCI クロックで動作する同期モードを選択可能です。非同期モードの場合、省電力化を目的にローカル・リセットと合わせ外部クロックを停止することも可能です。

ローカル・バス・インタフェースは、ローカル・バス・モードにより、8/16Bit NonMux モードと 32Bit Mux モードに分けられます。ローカル・バス・モードは、シリアル EEPROM による初期インシヤライズで決定します。

8/16Bit NonMux モードは、アドレス・バスとデータ・バスが独立した構成で、リード/ライトのコントロール信号もメモリ、I/O 用に用意されており、SRAM や汎用の I/O デバイスとのインタフェースを簡単に行うことができます。

32Bit Mux モードは、アドレス・バスとデータ・バスが同一ラインで構成され、データ転送はフレーム単位で行われます。32Bit 幅のバースト転送が可能で、クロック同期で動作する SDRAM やその他メモリとの高速転送を目的とするアプリケーションに適しています。

#### ● 8/16Bit NonMux Mode のアプリケーション例

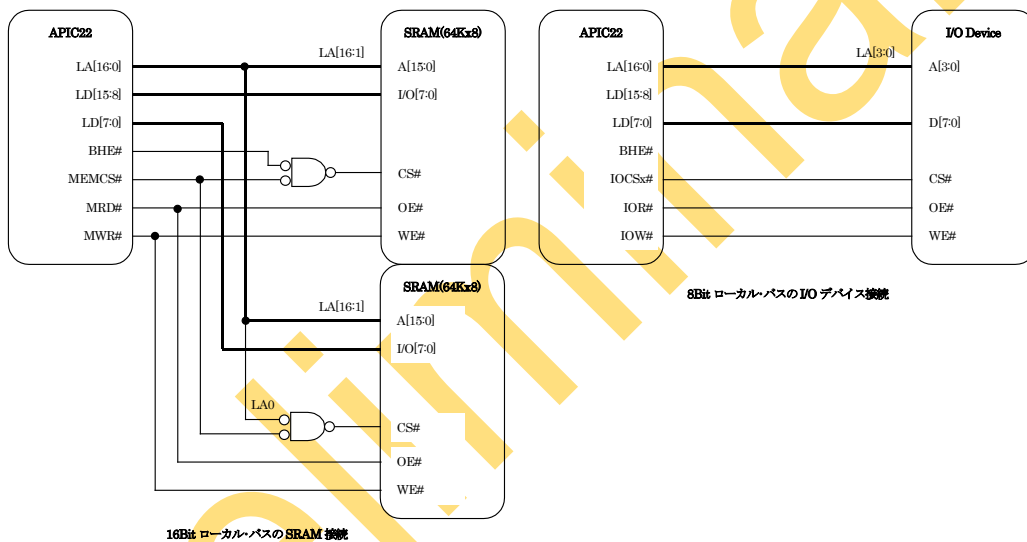


Figure4-15 : 8/16Bit NonMux Mode のアプリケーション例

#### ● 32Bit Mux Mode のアプリケーション例

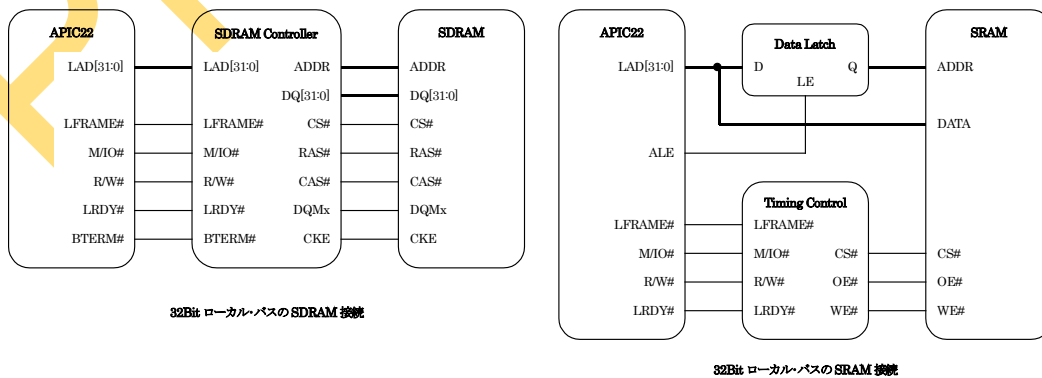


Figure4-16 : 32Bit Mux Mode のアプリケーション例

### 4-3-1. ローカル・バス・アービトレーション

APIC22A は、外部デバイスのローカル・マスタ（CPU）からバス使用の要求があると、ローカル・マスタにバス使用权を与えることができます。

バス使用权は、2本のアービトレーション信号（BREQ#/BACK#）により行われます。

#### 4-3-1-1. アービトレーション方法

基本的なアービトレーション方法について Figure4-17 に示します。

ローカル・バスのアービトレーションは、ローカル・マスタから入力される BREQ#信号と APIC22A から出力する BACK#信号によるハンドシェイク制御で行われます。

通常、バスの使用权は APIC22A に有ります。APIC22A は、起動中のバス・サイクルや転送データが無い場合、BREQ#のアサート状態を検出すると BACK#をアサートしてバス権を解放します。バス権を獲得したローカル・マスタは、ローカル・バス上でデータ転送や PCI バスへのアクセスが可能となります。

APIC22A 主導によるバス権要求を発生することができます。

APIC22A がバス権を解放しているとき、転送データが発生すると BACK#をディアサートしバス権の要求をローカル・マスタへ通知します。ローカル・マスタはバス権の解放が可能であるとき、BREQ#をディアサートします。BREQ#のディアサート状態を検出すると、APIC22A がバス権を獲得しデータ転送を行います。なお、ローカル・リセット時以外、APIC22A 主導によるバス権の解放は行われません。

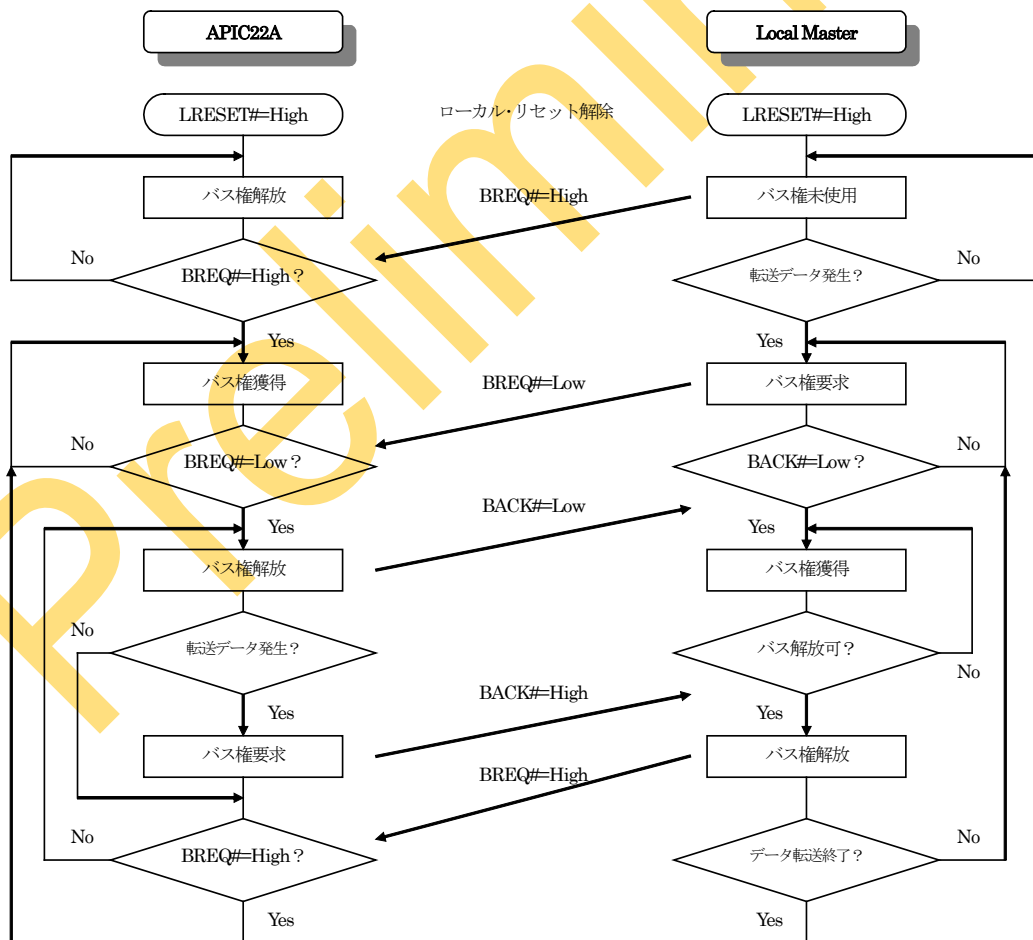


Figure4-17 : ローカル・バス・アービトレーション方法



アービトレーション時の主要なバス信号の状態について以下に示します。

### ■ ローカル・リセットとアービトレーションの関係

LRESET#がアサートされているとき、BACK#はアサート状態を保持します。

LRESET#が解除されたとき同時に BREQ#のディアサート状態を検出すると次のクロックで BACK#をディアサートします。BACK#ディアサートの次のクロックで APIC22A がバス権を獲得します。

LRESET#がアサートされると、BACK#をアサートし同時にバス信号を”Hiz”状態とします。

なお、LRESET#はローカル・クロックとは非同期で出力されます。

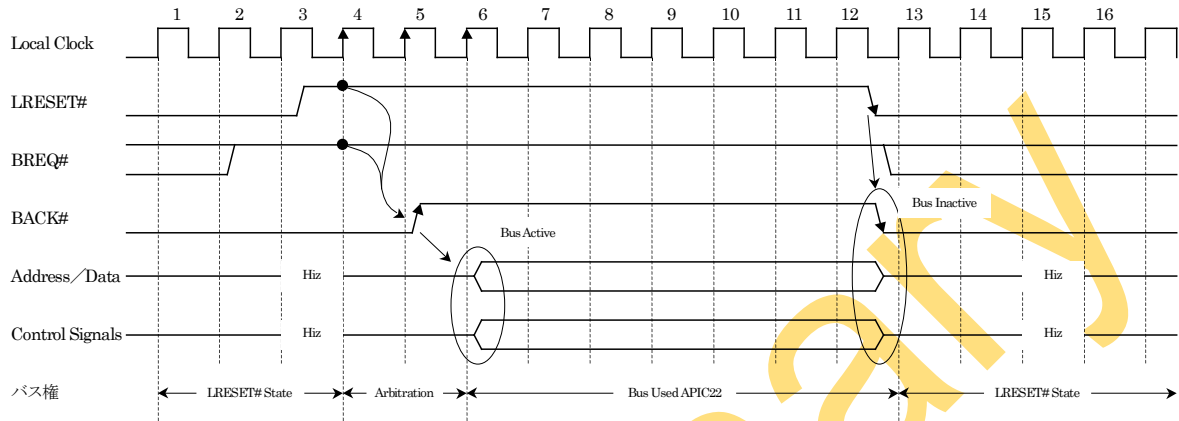


Figure4-18 : ローカル・リセットとアービトレーションの関係

### ■ ローカル・マスタ主導によるバス権の獲得

BREQ#のアサート状態を検出すると、内部に転送データが無いことを確認した後、BACK#をアサートしてバス権を解放します。BREQ#のディアサート状態を検出すると BACK#をディアサートし APIC22A がバス権を獲得します。

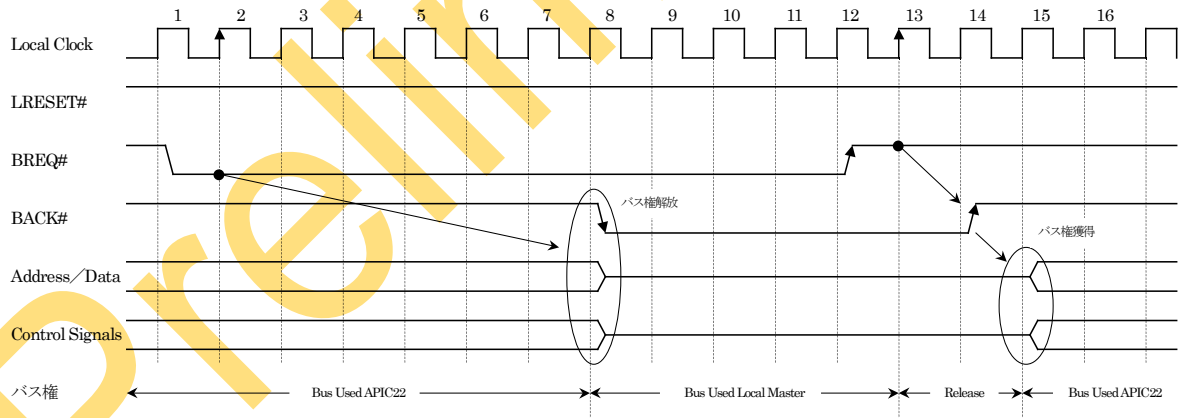


Figure4-19 : ローカル・マスタ主導によるバス権の獲得

### ■ APIC22A 主導によるバス権の獲得

APIC22A がバス権の解放中に、内部で転送データが発生すると BACK#をディアサートしバス権の要求をローカル・マスタへ通知します。この後、BREQ#のディアサート状態を検出すると APIC22A がバス権を獲得します。

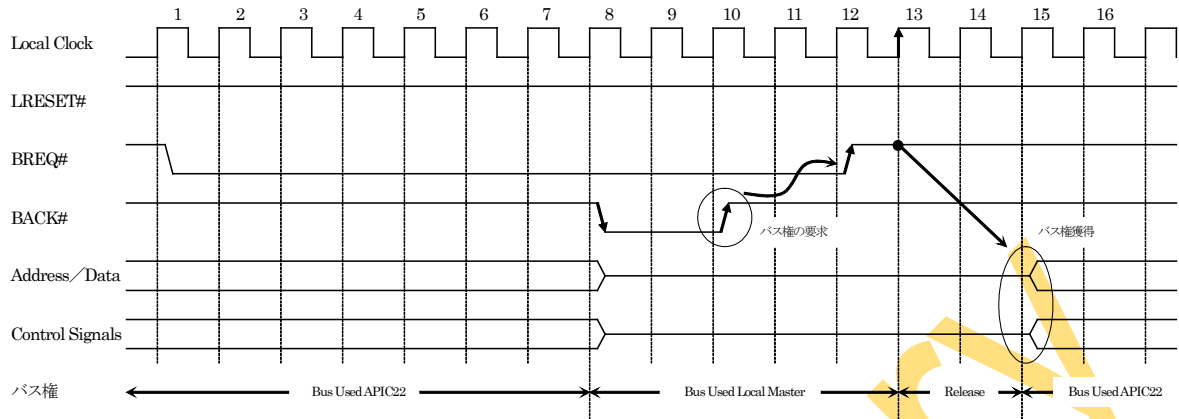


Figure4-20 : APIC22A 主導によるバス権の獲得

### 4-3-1-2. アービトレーションの優先制御

APIC22A は、PCI ターゲット・アクセスと DMA 転送でローカル・バスのバス使用权を必要とします。通常、APIC22A がバス権を解放すると次にバス権を得るためには、ローカル・マスタ主導によるバス権解放を待たなければなりません。もしも、ローカル・マスタがバス権を保有し続けると、PCI からのターゲット・アクセスや DMA 転送は保留状態となり非効率的な動作となってしまいます。これら内容を回避するために、Figure4-20 で示されるタイミングで APIC22A 主導によるバス権の要求を発生させることができます。ローカル・マスタ主導でバス権解放を待つか、または APIC22A 主導でバス権要求を行うかは内部レジスタの設定で選択できます。

アービトレーションの優先制御に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
PCI State Control	20h	A0h	2Eh	5Ch	• Bit[20] : Force DMA Mode
Local State Control	2Ch	ACh	34h	68h	• Bit[18] : PCI Target/DMA No Local Master Access

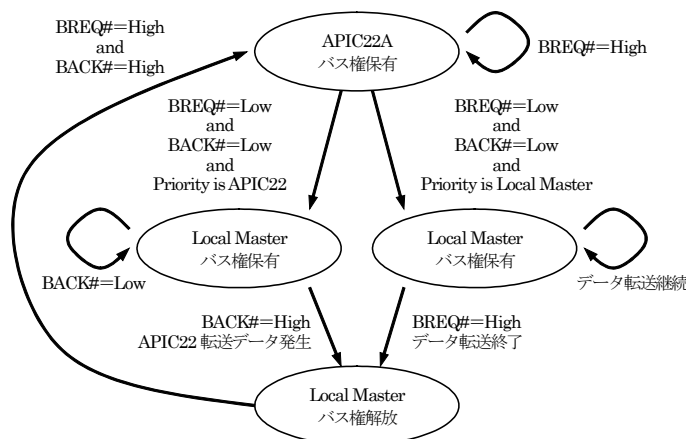


Figure4-21 : アービトレーション優先制御の状態遷移

### 4-3-2. 8/16Bit NonMux モードのバス動作

ローカル・バスが 8/16Bit NonMux モードに構成された場合のバス動作について説明します。

#### 4-3-2-1. ローカル・バス・コマンド

メモリ空間と I/O 空間用のそれぞれ専用のリード/ライト信号があります。

制御信号は、PCI ターゲット・アクセスや DMA 転送では、APIC22A が生成出力します。ローカル・マスタ・アクセスでは、外部デバイスが制御信号を生成出力し APIC22A に入力します。

PCI ターゲット・アクセスでは、I/O、メモリおよび ExpROM 空間を識別するためのそれぞれ専用のチップ・セレクト信号を生成します。DMA 転送では、I/O 空間とメモリ空間のチップ・セレクト信号を生成します。

ローカル・バスのコマンド一覧を以下に示します。

#### ● PCI ターゲット/DMA 転送

Command			Chip Select	DACK#	MRD#	MWR#	IOR#	IOW#
Access	Space	Operation						
PCI Target (PCI to Local)	I/O	Read	IOCSx#	H	H	H	L	H
		Write	IOCSx#	H	H	H	H	L
	Memory	Read	MEMCS#	H	L	H	H	H
		Write	MEMCS#	H	H	L	H	H
	ExpROM	Read	ROMCS#	H	L	H	H	H
		Write	ROMCS#	H	H	L	H	H
DMA *1	I/O	Read	IOCSx#	L	H	H	L	H
		Write	IOCSx#	L	H	H	H	L
	Memory	Read	MEMCS#	L	L	H	H	H
		Write	MEMCS#	L	H	L	H	H

Notes :

\*1 間接 DMA 動作時のコントロール・ワード・リード・サイクルでは DACK#="High"を保持します。

#### ● ローカル・マスタ・アクセス

Command			DEVCS#	SPACE	MRD#	MWR#	IOR#	IOW#
Access	Space	Operation						
PCI (Local to PCI)	I/O	Read	L	L	H	H	L	H
		Write	L	L	H	H	H	L
	Memory	Read	L	L	L	H	H	H
		Write	L	L	H	L	H	H
APIC22A In Reg. *1	I/O	Read	L	H	H	H	L	H
		Write	L	H	H	H	H	L
	Memory	Read	L	H	L	H	H	H
		Write	L	H	H	L	H	H
Local to Local	I/O	Read	H	—	H	H	L	H
		Write	H	—	H	H	H	L
	Memory	Read	H	—	L	H	H	H
		Write	H	—	H	L	H	H

Notes :

\*1 内部レジスタ・アクセスは、I/O およびメモリ・アクセス共に有効です。

#### 4-3-2-2. ローカル・バス幅とエンディアン変換機能

内部レジスタの設定で 8Bit ローカル・バスまたは 16Bit ローカル・バスを選択できます。

PCI バスは 32Bit 幅固定のため、ローカル・バスではバイト・レーンを合わせるためにデータ・スワップ制御が行われます。また、PCI からのアクセス・サイズがローカル・バス幅を超える場合、ローカル・バスでは複数のバス・サイクルに変換し実行します。

APIC22A は、ローカル・バスのエンディアン変換機能があります。

内部レジスタの設定で Little Endian または Big Endian を選択します。

エンディアン変換は、バイト単位で行われ、上位バイトが低い番地側になる並び方が Big Endian で、下位バイトが低い番地側になる並び方が Little Endian です。

なお、ビット単位のエンディアン変換は行われません。小さいビット番号が LSB で、大きいビット番号が MSB です。LSB と MSB の関係は常に守られます。

PCI バスは Little Endian 固定です。

ローカル・バス幅とエンディアン変換に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Local Bus Control	10h	90h	25h	4Ah	<ul style="list-style-type: none"> <li>Bit[0] : Local Bus Width</li> <li>Bit[1] : Local Bus Endian Select</li> </ul>

#### ■ 8Bit ローカル・バス制御

8Bit ローカル・バスに構成された場合のデータ・スワップとエンディアン変換について示します。

#### ● Little Endian/Big Endian 時のデータ・スワップ制御

8Bit ローカル・バスでは、下位のデータ・バイトのみを使用するためエンディアン変換によるバイトの並びは同じです。

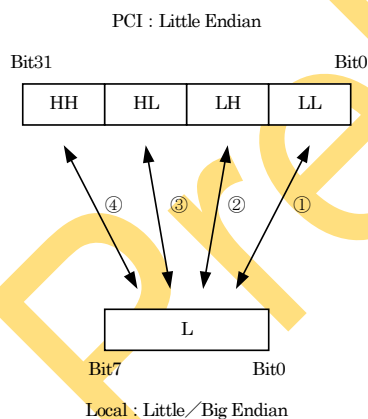


Figure4-22 : 8Bit Local Bus Byte Lane

#### ◆ PCI ターゲット・アクセス (PCI to Local)

PCI Bus BE[3:0]#	1st		2nd		3rd		4th	
	LA [1:0]	LD [7:0]	LA [1:0]	LD [7:0]	LA [1:0]	LD [7:0]	LA [1:0]	LD [7:0]
0000	00	LL	01	LH	10	HL	11	HH
0001	01	LH	10	HL	11	HH		
0010	00	LL	10	HL	11	HH		
0011	10	HL	11	HH				
0100	00	LL	01	LH	11	HH		
0101	01	LH	11	HH				
0110	00	LL	11	HH				
0111	11	HH						
1000	00	LL	01	LH	10	HL		
1001	01	LH	10	HL				
1010	00	LL	10	HL				
1011	10	HL						
1100	00	LL	01	LH				
1101	01	LH						
1110	00	LL						

#### ◆ ローカル・マスタ・アクセス (Local to PCI)

Local Bus LA[1:0]	PCI Bus				
	BE[3:0]#	AD[31:24]	AD[23:16]	AD[15:8]	AD[7:0]
00	1110	-	-	-	L
01	1101	-	-	L	-
10	1011	-	L	-	-
11	0111	L	-	-	-

■ 16Bit ローカル・バス制御

16Bit ローカル・バスに構成された場合のデータ・スワップとエンディアン変換について示します。

● Little Endian 時のデータ・スワップ制御

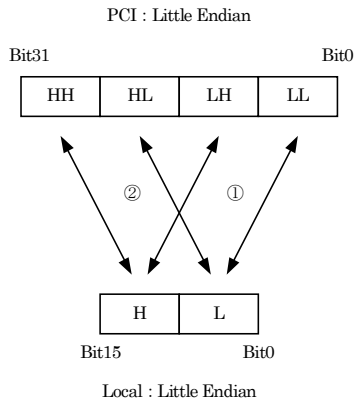


Figure4-23 : 16Bit Local Bus Little Endian

◆ PCI ターゲット・アクセス (PCI to Local)

PCI Bus BE[3:0]#	1st				2nd			
	LA [1:0]	BHE #	LD [15:8]	LD [7:0]	LA [1:0]	BHE #	LD [15:8]	LD [7:0]
0000	00	0	LH	LL	10	0	HH	HL
0001	01	0	LH	—	10	0	HH	HL
0010	00	1	—	LL	10	0	HH	HL
0011	10	0	HH	HL				
0100	00	0	LH	LL	11	0	HH	—
0101	01	0	LH	—	11	0	HH	—
0110	00	1	—	LL	11	0	HH	—
0111	11	0	HH	—				
1000	00	0	LH	LL	10	1	—	HL
1001	01	0	LH	—	10	1	—	HL
1010	00	1	—	LL	10	1	—	HL
1011	10	1	—	HL				
1100	00	0	LH	LL				
1101	01	0	LH	—				
1110	00	1	—	LL				

◆ ローカル・マスタ・アクセス (Local to PCI)

Local Bus		PCI Bus				
LA[1:0]	BHE#	BE[3:0]#	AD[31:24]	AD[23:16]	AD[15:8]	AD[7:0]
00	0	1100	—	—	H	L
00	1	1110	—	—	—	L
01	0	1101	—	—	H	—
10	0	0011	H	L	—	—
10	1	1011	—	L	—	—
11	0	0111	H	—	—	—

● Big Endian 時のデータ・スワップ制御

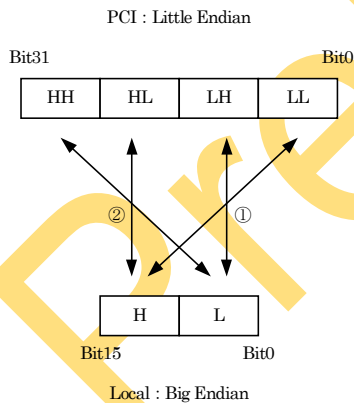


Figure4-24 : 16Bit Local Bus Big Endian

◆ PCI ターゲット・アクセス (PCI to Local)

PCI Bus BE[3:0]#	1st				2nd			
	LA [1:0]	BHE #	LD [15:8]	LD [7:0]	LA [1:0]	BHE #	LD [15:8]	LD [7:0]
0000	00	0	LL	LH	10	0	HL	HH
0001	01	0	—	LH	10	0	HL	HH
0010	00	1	LL	—	10	0	HL	HH
0011	10	0	HL	HH				
0100	00	0	LL	LH	11	0	—	HH
0101	01	0	—	LH	11	0	—	HH
0110	00	1	LL	—	11	0	—	HH
0111	11	0	—	HH				
1000	00	0	LL	LH	10	1	HL	—
1001	01	0	—	LH	10	1	HL	—
1010	00	1	LL	—	10	1	HL	—
1011	10	1	HL	—				
1100	00	0	LL	LH				
1101	01	0	—	LH				
1110	00	1	LL	—				

◆ ローカル・マスタ・アクセス (Local to PCI)

Local Bus		PCI Bus				
LA[1:0]	BHE#	BE[3:0]#	AD[31:24]	AD[23:16]	AD[15:8]	AD[7:0]
00	0	1100	—	—	L	H
00	1	1110	—	—	—	H
01	0	1101	—	—	L	—
10	0	0011	L	H	—	—
10	1	1011	—	H	—	—
11	0	0111	L	—	—	—

### 4-3-2-3. ローカル・バス・タイミング制御

内部レジスタの設定で、メモリ・コマンドや I/O コマンドのタイミング制御を行うことが可能です。タイミング制御は、APIC22A が起動するバス・サイクルに対し、アドレス・ウェイト、データ・ウェイト、アドレス・ホールドおよびアクセス間のアイドル・タイムを指定できます。ローカル・マスタからのアクセスに対しては、データ・タイミングを指定できます。

ローカル・バスのタイミング制御に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR)	Local	EEPROM		
			3W	2W	
Local Bus Control	10h	90h	25h 26h	4Ah ~ 4Dh	<ul style="list-style-type: none"> <li>• Bit[5:4] : Local Memory Read Address Wait</li> <li>• Bit[8:6] : Local Memory Read Data Wait</li> <li>• Bit[10:9] : Local Memory Write Address Wait</li> <li>• Bit[13:11] : Local Memory Write Data Wait</li> <li>• Bit[15:14] : Local Memory Address Hold Time</li> <li>• Bit[17:16] : Local I/O Read Address Wait</li> <li>• Bit[20:18] : Local I/O Read Data Wait</li> <li>• Bit[22:21] : Local I/O Write Address Wait</li> <li>• Bit[25:23] : Local I/O Write Data Wait</li> <li>• Bit[27:26] : Local I/O Address Hold Time</li> <li>• Bit[29:28] : Access to Access Idle Time</li> <li>• Bit[30] : Local Master Read Timing Control</li> <li>• Bit[31] : Local Master Write Timing Control</li> </ul>

#### 4-3-2-3-1. PCI ターゲット/DMA 転送時のタイミング制御

ローカル・バス・タイミング制御は、PCI からのターゲット・アクセスと DMA 転送で共通の制御構造を持ちます。

##### ● アドレス・ウェイト (AW)

アドレス・ウェイトは、有効なアドレスの出力からリード/ライトのコントロール信号がアサートされるまでの間に挿入するウェイト・ステートです。

メモリ、I/O およびリード、ライトそれぞれにウェイト・ステートの設定が可能です。

- Memory Read => 「Local Bus Control Register : Local Memory Read Address Wait」
- Memory Write => 「Local Bus Control Register : Local Memory Write Address Wait」
- I/O Read => 「Local Bus Control Register : Local I/O Read Address Wait」
- I/O Write => 「Local Bus Control Register : Local I/O Write Address Wait」

各アドレス・ウェイトには、値'0~3'までのウェイト・ステートを指定できます。

また、アドレス・タイミングで出力されるチップ・セレクト信号や BHE#信号およびライト方向にあるデータ・バスもウェイト制御の対象となります。

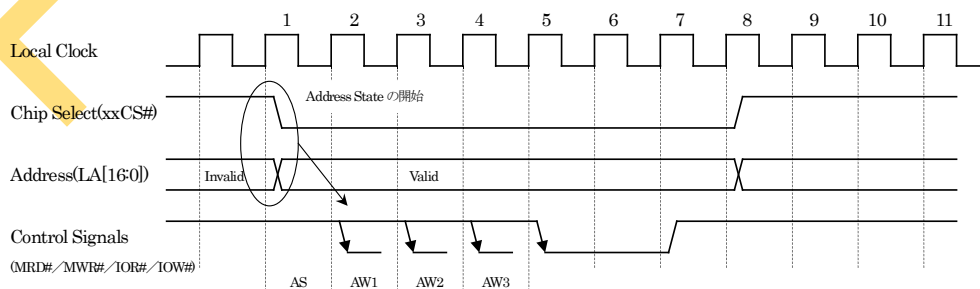


Figure4-25 : 8/16Bit NonMux モードのアドレス・ウェイト

### ● データ・ウェイト (DW)

データ・ウェイトは、リード/ライトのコントロール信号のアサート幅を延長するウェイト・ステートです。メモリ、I/O およびリード、ライトそれぞれにウェイト・ステートの設定が可能です。

- Memory Read => 「Local Bus Control Register : Local Memory Read Data Wait」
- Memory Write => 「Local Bus Control Register : Local Memory Write Data Wait」
- I/O Read => 「Local Bus Control Register : Local I/O Read Data Wait」
- I/O Write => 「Local Bus Control Register : Local I/O Write Data Wait」

各データ・ウェイトには、値"0~7"までのウェイト・ステートを指定できます。

データ・ウェイトは、内部レジスタによる指定の他に、外部指定の IORDY 信号によるウェイト挿入 (EW) が可能です。コントロール信号がアサート状態のときに、IORDY="Low"状態を検出するとウェイトを挿入します。ただし、内部レジスタでデータ・ウェイトが値"0"に設定されているとき IORDY 信号によるウェイト挿入はできません。IORDY 信号によるウェイト制御を行う場合は、内部レジスタのデータ・ウェイトを値"1"以上にしてください。

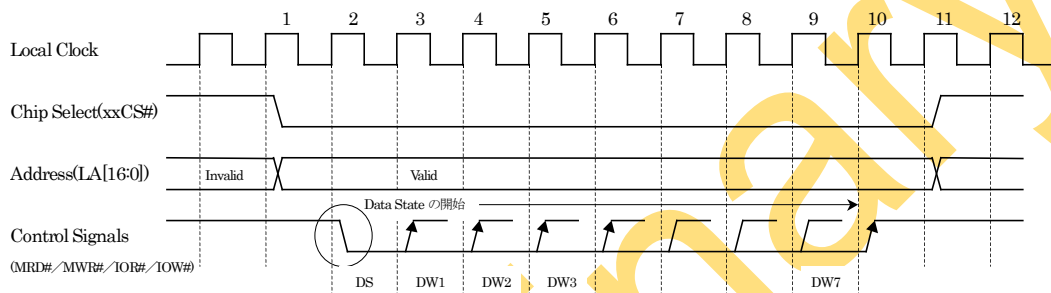


Figure4-26 : 8/16Bit NonMux モードのデータ・ウェイト

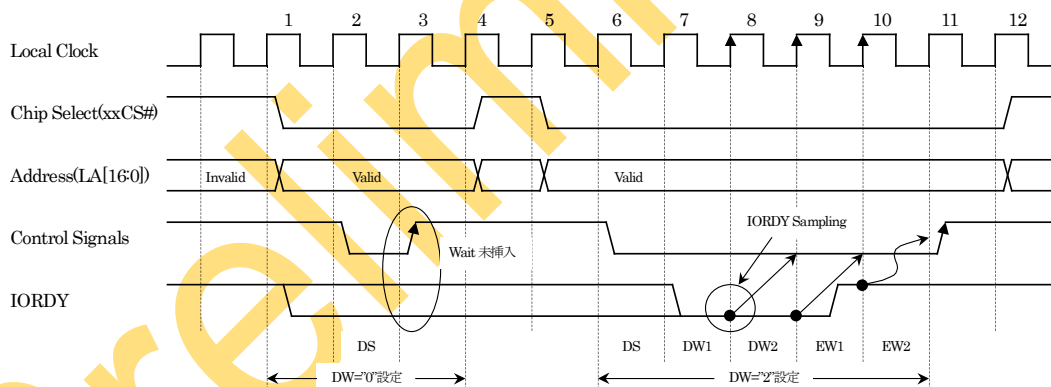


Figure4-27 : 8/16Bit NonMux モードの外部指定ウェイト

### ● アドレス・ホールド (AH)

アドレス・ホールドは、リード/ライトのコントロール信号のデアサートからどれ位まで有効なアドレスを保持するかを指定するホールド・ステートです。

メモリ、I/O それぞれにホールド・ステートの設定が可能です。ただし、リードおよびライト・サイクル共通の制御となります。

- Memory Access => 「Local Bus Control Register : Local Memory Address Hold Time」
- I/O Access => 「Local Bus Control Register : Local I/O Address Hold Time」

各アドレス・ホールドには、値"0~3"までのホールド・ステートを指定できます。

また、アドレス・タイミングで出力されるチップ・セレクト信号や BHE#信号およびライト方向にあるデータ・バスもホールド制御の対象となります。

APIC22A が出力するコントロール信号はローカル・クロック同期で、信号の遅延時間は全てクロックの立ち上がりエッジで規定されます。このため、リード/ライト信号の立ち上がりエッジで制御を行うアプリケーションはアドレス・ホールド設定が必要です。

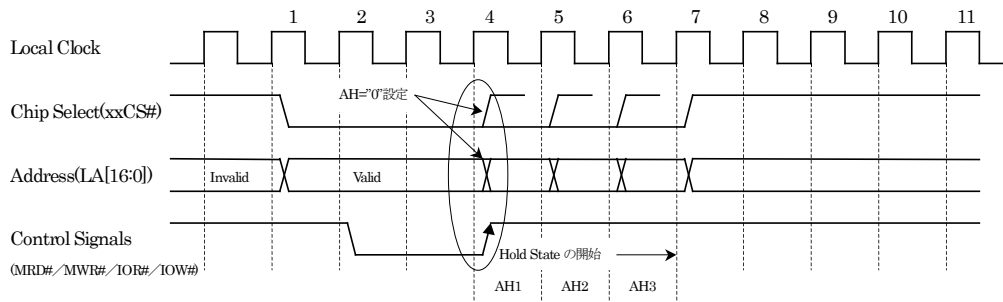


Figure4-28 : 8/16Bit NonMux モードのアドレス・ホールド

● アクセス間のアイドル・タイム (Idle)

アクセス間のアイドル・タイムは、1つのバス・サイクルが終了した後、次のバス・サイクルを起動するまでの最小時間を指定するアイドル・ステートです。

8/16Bit NonMux モードでは、リード・サイクルの後にライト・サイクルが続く場合に挿入され、メモリ、I/O アクセス共通の制御となります。

・ Read to Write Access ⇒ 「Local Bus Control Register : Access to Access Idle Time」

アイドル・タイムには、値「0~3」までのアイドル・ステートを指定できます。

リード・サイクルの終了時点で、1クロック以内にデータのドライブを止めることができない場合やある時間データを保持したい用途のアプリケーションに有効です。

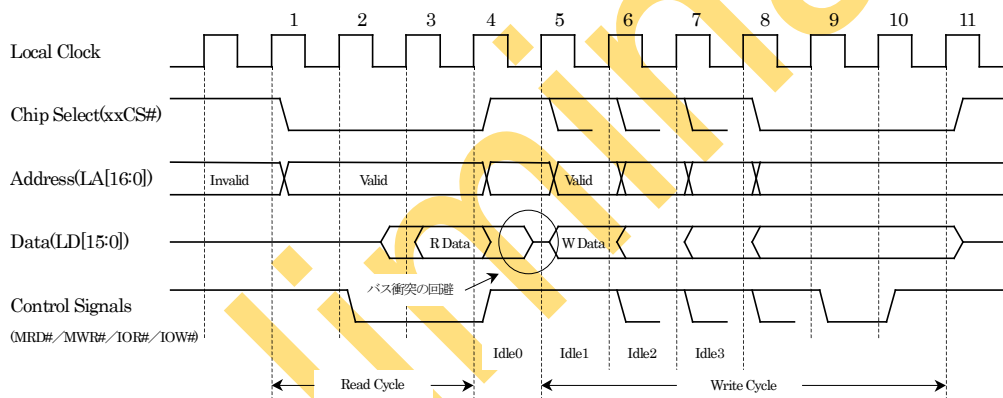


Figure4-29 : 8/16Bit NonMux モードのアイドル・タイム



#### 4-3-2-3-2. ローカル・マスタ・アクセス時のタイミング制御

ローカル・マスタからアクセスを受けたときのタイミング制御です。  
リード方向とライト方向でそれぞれタイミング指定が可能です。

APIC22A は、DEVCS# (Device Chip Select) 信号とリード/ライト信号のアサート状態を検出すると、**IORDY="Low"**を出力します。

リード方向のときは、有効なリード・データの準備ができると **IORDY** をアサートしローカル・マスタへ通知します。

ライト方向のときは、ローカル・マスタからのライト・データを内部バッファに取り込みができたとき **IORDY** をアサートします。

**IORDY** がアサートされた後、ローカル・マスタはバス・サイクルを終了することができます。

APIC22A に対するアクセス以外では、**IORDY** 信号は **"HiZ"** 状態を保持します。また、APIC22A に対するアクセスが成立した後は、バス・サイクルが完了するまでバス・コマンドの各信号の状態を保持しなければなりません。

基本的なローカル・マスタ・アクセスのタイミングを Figure4-30 に示します。

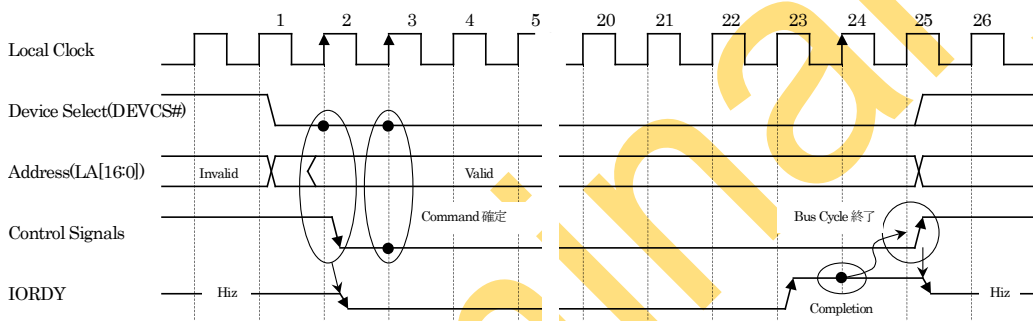


Figure4-30 : 8/16Bit NonMux モードのローカル・マスタ・アクセス

#### ● リード・タイミング・コントロール (DW)

リード・タイミング・コントロールは、有効なリード・データの出力点と **IORDY** のアサート点のタイミングを制御します。

メモリおよび I/O アクセス共通の制御です。

・ Read Access => 「Local Bus Control Register : Local Master Read Timing Control」

リード・タイミングは、値 **"0/1"** から選択し出力データ・タイミングを指定します。

値 **"0"** 指定時は、リード・データの確定点と同じタイミングで **IORDY** をアサートします。値 **"1"** 指定時は、リード・データの確定点から 1 クロック後に **IORDY** をアサートします。

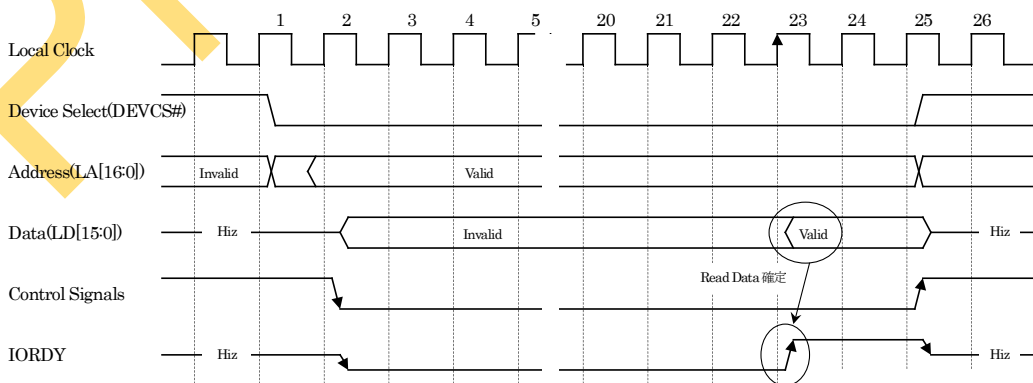


Figure4-31 : 8/16Bit NonMux モードのローカル・マスタ・リード (DW=0 指定)

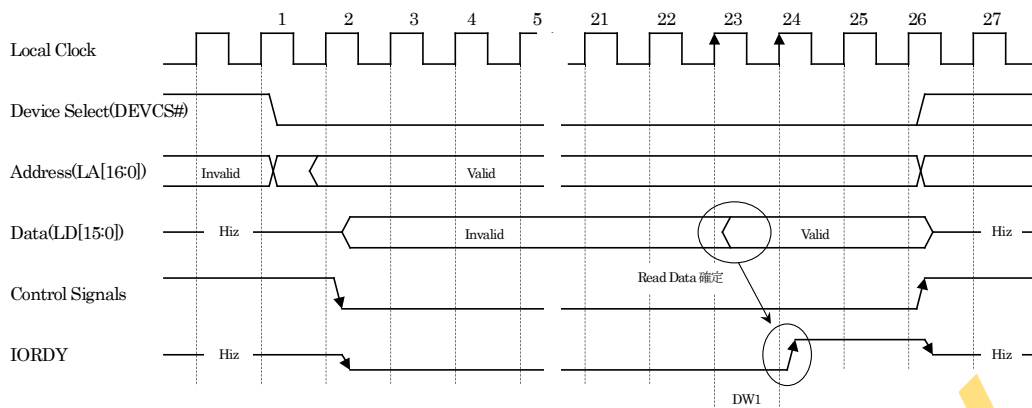


Figure4-32 : 8/16Bit NonMux モードのローカル・マスター・リード (DW=1 指定)

● ライト・タイミング・コントロール (DW)

ライト・タイミング・コントロールは、ライト信号のアサート点から有効なライト・データの確定点のタイミングを制御します。内部バッファにライト・データを取り込んだ後、IORDY をアサートします。メモリおよび I/O アクセス共通の制御です。

・ Write Access => 「Local Bus Control Register : Local Master Write Timing Control」

ライト・タイミングは、値"0/1"から選択しデータの確定タイミングを指定します。

値"0"指定時は、ライト信号アサート点の次のクロックでライト・データが確定していなければなりません。値"1"指定時は、ライト信号アサート点から2クロック以内にライト・データが確定していなければなりません。

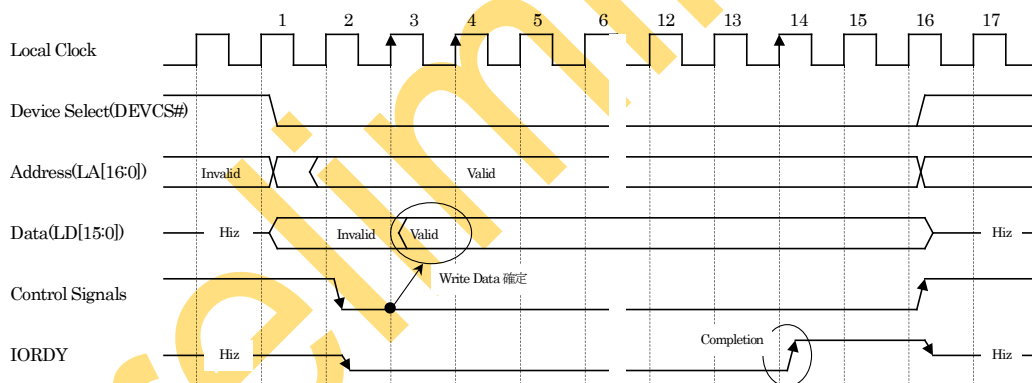


Figure4-33 : 8/16Bit NonMux モードのローカル・マスター・ライト (DW=0 指定)

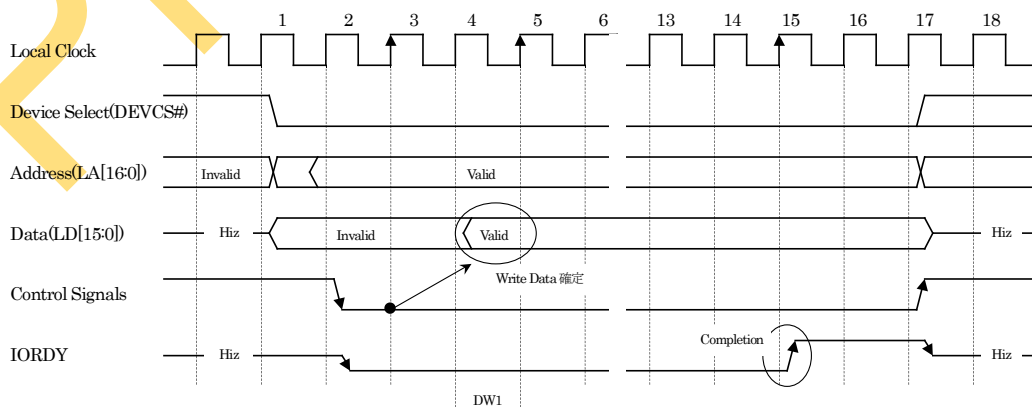


Figure4-34 : 8/16Bit NonMux モードのローカル・マスター・ライト (DW=1 指定)

### 4-3-3. 32Bit Mux モードのバス動作

ローカル・バスが 32Bit Mux モードに構成された場合のバス動作について説明します。

#### 4-3-3-1. ローカル・バス・コマンド

32Bit Mux モードのバス・オペレーションは、フレーム単位で行われます。1つのフレーム内では、シングル・アクセスまたはバースト・アクセスを実行できます。バス・コマンドは、メモリ空間や I/O 空間を識別する信号とリード/ライトを識別する信号で決定し、フレーム単位の制御となります。

制御信号は、PCI ターゲット・アクセスや DMA 転送では、APIC22A が生成出力します。ローカル・マスタ・アクセスでは、外部デバイスが制御信号を生成出力し APIC22A に入力します。

PCI ターゲット・アクセスでは、I/O、メモリおよび ExpROM 空間を識別するためのそれぞれ専用のチップ・セレクト信号を生成します。DMA 転送では、I/O 空間とメモリ空間のチップ・セレクト信号を生成します。

ローカル・バスのコマンド一覧を以下に示します。

#### ● PCI ターゲット/DMA 転送

Command			Chip Select	DACK#	M/IO#	R/W#
Access	Space	Operation				
PCI Target (PCI to Local)	I/O	Read	IOCS#	H	L	H
		Write	IOCS#	H	L	L
	Memory	Read	MEMCS#	H	H	H
		Write	MEMCS#	H	H	L
	ExpROM	Read	ROMCS#	H	H	H
		Write	ROMCS#	H	H	L
DMA *1	I/O	Read	IOCS#	L	L	H
		Write	IOCS#	L	L	L
	Memory	Read	MEMCS#	L	H	H
		Write	MEMCS#	L	H	L

Notes :

\*1 間接 DMA 動作時のコントロール・ワード・リード・サイクルでは DACK#="High"を保持します。

#### ● ローカル・マスタ・アクセス

Command			DEVCS#	SPACE	M/IO#	R/W#
Access	Space	Operation				
PCI (Local to PCI)	I/O	Read	L	L	L	H
		Write	L	L	L	L
	Memory	Read	L	L	H	H
		Write	L	L	H	L
APIC22A In Reg. *1	I/O	Read	L	H	L	H
		Write	L	H	L	L
	Memory	Read	L	H	H	H
		Write	L	H	H	L
Local to Local	I/O	Read	H	—	L	H
		Write	H	—	L	L
	Memory	Read	H	—	H	H
		Write	H	—	H	L

Notes :

\*1 内部レジスタ・アクセスは、I/O およびメモリ・アクセス共に有効です。

### 4-3-3-2. エンディアン変換機能

PCI バスとローカル・バスは共に 32Bit のデータ・バス幅で、各バイト・レーンは1対1の対応となります。

APIC22A は、ローカル・バスのエンディアン変換機能があります。

内部レジスタの設定で Little Endian または Big Endian を選択します。

エンディアン変換は、バイト単位で行われ、上位バイトが低い番地側になる並び方が Big Endian で、下位バイトが低い番地側になる並び方が Little Endian です。

なお、ビット単位のエンディアン変換は行われません。小さいビット番号が LSB で、大きいビット番号が MSB です。LSB と MSB の関係は常に守られます。

PCI バスは Little Endian 固定です。

エンディアン変換に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Local Bus Control	10h	90h	25h	4Ah	・ Bit[1] : Local Bus Endian Select

#### ■ Little Endian 時の有効バイト・レーン

リトル・エンディアンに構成された場合の有効バイト・レーンについて示します。

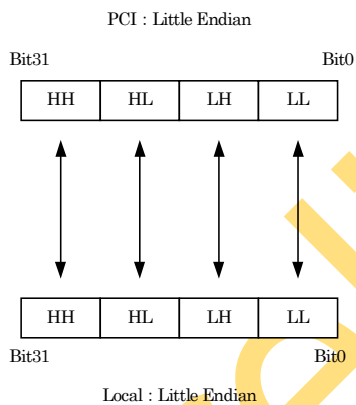


Figure4-35 : 32Bit Local Bus Little Endian

#### ◆ PCI ターゲット・アクセス (PCI to Local)

PCI Bus BE[3:0]#	Local Bus				
	LBE[3:0]#	LAD[31:24]	LAD[23:16]	LAD[15:8]	LAD[7:0]
0000	0000	HH	HL	LH	LL
0001	0001	HH	HL	LH	—
0010	0010	HH	HL	—	LL
0011	0011	HH	HL	—	—
0100	0100	HH	—	LH	LL
0101	0101	HH	—	LH	—
0110	0110	HH	—	—	LL
0111	0111	HH	—	—	—
1000	1000	—	HL	LH	LL
1001	1001	—	HL	LH	—
1010	1010	—	HL	—	LL
1011	1011	—	HL	—	—
1100	1100	—	—	LH	LL
1101	1101	—	—	LH	—
1110	1110	—	—	—	LL

#### ◆ ローカル・マスタ・アクセス (Local to PCI)

Local Bus LBE[3:0]#	PCI Bus				
	BE[3:0]#	AD[31:24]	AD[23:16]	AD[15:8]	AD[7:0]
0000	0000	HH	HL	LH	LL
0001	0001	HH	HL	LH	—
0010	0010	HH	HL	—	LL
0011	0011	HH	HL	—	—
0100	0100	HH	—	LH	LL
0101	0101	HH	—	LH	—
0110	0110	HH	—	—	LL
0111	0111	HH	—	—	—
1000	1000	—	HL	LH	LL
1001	1001	—	HL	LH	—
1010	1010	—	HL	—	LL
1011	1011	—	HL	—	—
1100	1100	—	—	LH	LL
1101	1101	—	—	LH	—
1110	1110	—	—	—	LL

■ Big Endian 時の有効バイト・レーン

ビッグ・エンディアンに構成された場合の有効バイト・レーンとバイト・スワップについて示します。

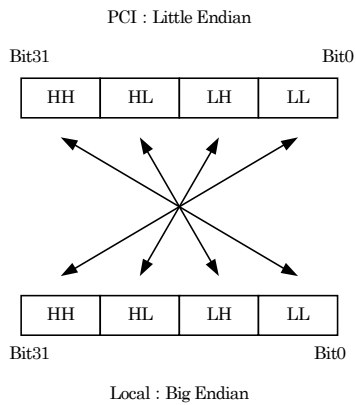


Figure4-36 : 32Bit Local Bus Big Endian

◆ PCI ターゲット・アクセス (PCI to Local)

PCI Bus BE[3:0]#	Local Bus				
	LBE[3:0]#	LAD[31:24]	LAD[23:16]	LAD[15:8]	LAD[7:0]
0000	0000	LL	LH	HL	HH
0001	1000	—	LH	HL	HH
0010	0100	LL	—	HL	HH
0011	1100	—	—	HL	HH
0100	0010	LL	LH	—	HH
0101	1010	—	LH	—	HH
0110	0110	LL	—	—	HH
0111	1110	—	—	—	HH
1000	0001	LL	LH	HL	—
1001	1001	—	LH	HL	—
1010	0101	LL	—	HL	—
1011	1101	—	—	HL	—
1100	0011	LL	LH	—	—
1101	1011	—	LH	—	—
1110	0111	LL	—	—	—

◆ ローカル・マスタ・アクセス (Local to PCI)

Local Bus LBE[3:0]#	PCI Bus				
	BE[3:0]#	AD[31:24]	AD[23:16]	AD[15:8]	AD[7:0]
0000	0000	LL	LH	HL	HH
0001	1000	—	LH	HL	HH
0010	0100	LL	—	HL	HH
0011	1100	—	—	HL	HH
0100	0010	LL	LH	—	HH
0101	1010	—	LH	—	HH
0110	0110	LL	—	—	HH
0111	1110	—	—	—	HH
1000	0001	LL	LH	HL	—
1001	1001	—	LH	HL	—
1010	0101	LL	—	HL	—
1011	1101	—	—	HL	—
1100	0011	LL	LH	—	—
1101	1011	—	LH	—	—
1110	0111	LL	—	—	—

### 4-3-3-3. ローカル・バス・タイミング制御

内部レジスタの設定で、メモリ・コマンドやI/O コマンドのタイミング制御を行うことが可能です。

タイミング制御は、APIC22A が起動するバス・サイクルに対し、アドレス・ウェイト、データ・ウェイトおよびアクセス間のアイドル・タイムを指定できます。また、アドレス・ステートを識別する信号が有り、ストロブ信号とアドレス・ラッチ・イネーブル信号から選択できます。

ローカル・マスタからのアクセスに対しては、データ・タイミングを指定できます。

ローカル・バスのタイミング制御に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Local Bus Control	10h	90h	25h 26h	4Ah ~ 4Dh	<ul style="list-style-type: none"> <li>• Bit[2] : AS#/ALE Pin Select</li> <li>• Bit[4] : Local Memory Read Address Wait</li> <li>• Bit[6] : Local Memory Read Data Wait</li> <li>• Bit[9] : Local Memory Write Address Wait</li> <li>• Bit[11] : Local Memory Write Data Wait</li> <li>• Bit[16] : Local I/O Read Address Wait</li> <li>• Bit[18] : Local I/O Read Data Wait</li> <li>• Bit[21] : Local I/O Write Address Wait</li> <li>• Bit[23] : Local I/O Write Data Wait</li> <li>• Bit[29:28] : Access to Access Idle Time</li> <li>• Bit[30] : Local Master Read Timing Control</li> <li>• Bit[31] : Local Master Write Timing Control</li> </ul>

#### 4-3-3-3-1. PCI ターゲット/DMA 転送時のタイミング制御

ローカル・バス・タイミング制御は、PCI からのターゲット・アクセスと DMA 転送で共通の制御構造を持ちます。

32Bit Mux モードのバス・サイクルは全てフレーム単位で行われます。

LFRAME#がアサートされた最初のクロックがフレームの開始点で、アドレスとバス・コマンドが決定します。アドレスが出力されるステートをアドレス・ステートといいます。アドレス・ステートの次にデータ・ステートが続きます。データ・ステートでLFRAME#がアサート状態の場合は、バースト・サイクルで、1つのフレーム内で複数データの転送が行われます。アドレス・ステートの後、LFRAME#がディアサートされる場合はシングル・サイクルで、フレーム内では1つのデータ転送のみでバス・サイクルを終了します。ターゲット・デバイスとのデータ転送は、LRDY#信号で制御が行われます。LRDY#信号の状態は、データ・ステートで参照され、LRDY#のアサートでデータ転送が成立します。LRDY#がディアサートのときはウェイト・サイクルを挿入します。

基本的なバス・サイクルのタイミングを Figure4-37 に示します。

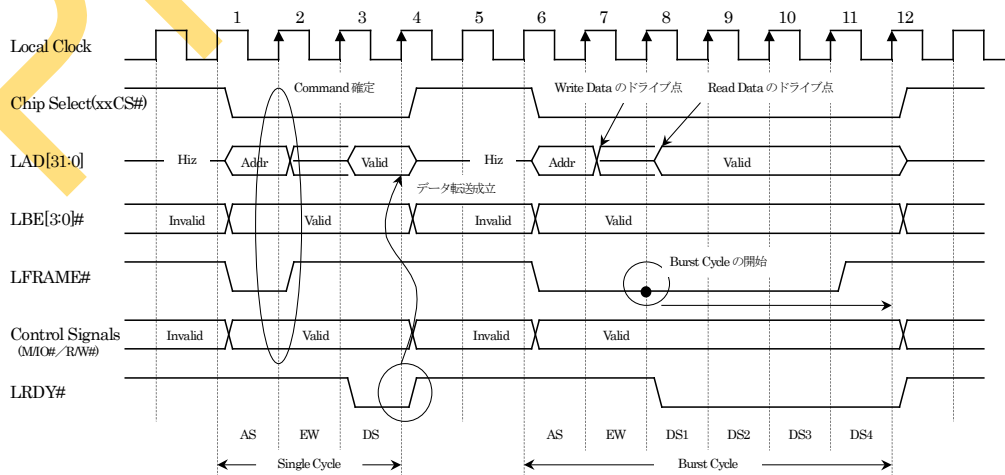


Figure4-37 : 32Bit Mux モードのローカル・バス・サイクル

● アドレス・ウェイト (AW) と AS#/ALE 端子制御

アドレス・ウェイトは、有効なアドレスの出力から LFRAME#アサートによるバス・コマンドが確定されるまでの間に挿入するウェイト・ステートです。

メモリ、I/O およびリード、ライトそれぞれにウェイト・ステートの設定が可能です。

- Memory Read => 「Local Bus Control Register : Local Memory Read Address Wait」
- Memory Write => 「Local Bus Control Register : Local Memory Write Address Wait」
- I/O Read => 「Local Bus Control Register : Local I/O Read Address Wait」
- I/O Write => 「Local Bus Control Register : Local I/O Write Address Wait」

各アドレス・ウェイトは、値"0"/"1"から選択しウェイト・ステートを指定します。

また、アドレス・タイミングで出力されるチップ・セレクト信号や LBE[3:0]#信号および各コマンド信号もウェイト制御の対象となります。

値"0"指定時は、アドレス・ステートは1クロックです。

値"1"指定時は、アドレス・ステートは2クロックとなります。アドレス・ウェイトが挿入される場合、LFRAME#はアドレス・ウェイトの次のクロックでアサートします。

AS#/ALE 端子は、内部レジスタの設定により機能を選択できます。

- AS#/ALE 端子機能 => 「Local Bus Control Register : AS#/ALE Pin Select」

AS#信号は、アドレス・ウェイトを含め有効なアドレスが出力されている間アサートします。

ALE 信号は、アドレス・ステートの開始点で1クロック分アサートします。

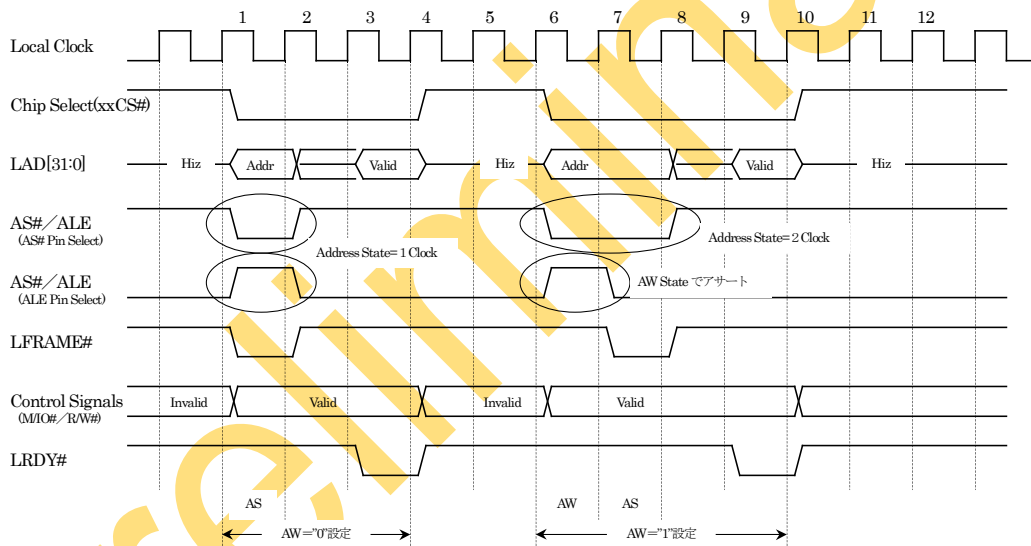


Figure4-38 : 32Bit Mux モードのアドレス・ウェイトと AS#/ALE 制御

● データ・ウェイト (DW) と LRDY#制御

データ・ウェイトは、LRDY#のアサート点と転送データの成立点のタイミング関係を指定するウェイト・ステートです。

メモリ、I/O およびリード、ライトそれぞれにウェイト・ステートの設定レジスタがあります。

ただし、各データ・ウェイトをことなる設定にすると、アプリケーション回路におけるバス制御の複雑さを増やします。複数空間の外部デバイスをサポートする場合やリード/ライト制御には、同じデータ・ウェイト設定で使用してください。

- ・ Memory Read => 「Local Bus Control Register : Local Memory Read Data Wait」
- ・ Memory Write => 「Local Bus Control Register : Local Memory Write Data Wait」
- ・ I/O Read => 「Local Bus Control Register : Local I/O Read Data Wait」
- ・ I/O Write => 「Local Bus Control Register : Local I/O Write Data Wait」

各データ・ウェイトは、値"0/1"から選択しウェイト・ステートを指定します。

値"0"指定時は、LRDY#アサート点と転送データの成立点は同じクロックのタイミングです。

値"1"指定時は、LRDY#アサート点の次のクロック・タイミングで転送データが成立します。

データ・ステートで LRDY#"High"の状態は、外部指定のウェイト挿入 (EW) です。

データ・ステートは、常に LRDY#のアサート検出から次の状態へ移行します。データ・バス制御は、データ・ウェイトの設定により変わります。LBE[3:0]#信号は、各データ・サイクルで有効な値を示し、LRDY#のアサート点で更新されます。

DW="0"に設定されるとき、データ・ステートの最初のクロック期間は LRDY#"High"を保持してください。方法は、外部デバイスにより"High"をドライブするか、またはプルアップ抵抗にて"High"状態を保持します。なお、DW="1"に設定されるときは、データ・ステートの最初のクロックで LRDY#をアサートすることができます。

これらルールは、リード/ライト共に有効です。各バス・サイクルの時間は、データ・ウェイトの設定に関わらず最小3クロック必要です。

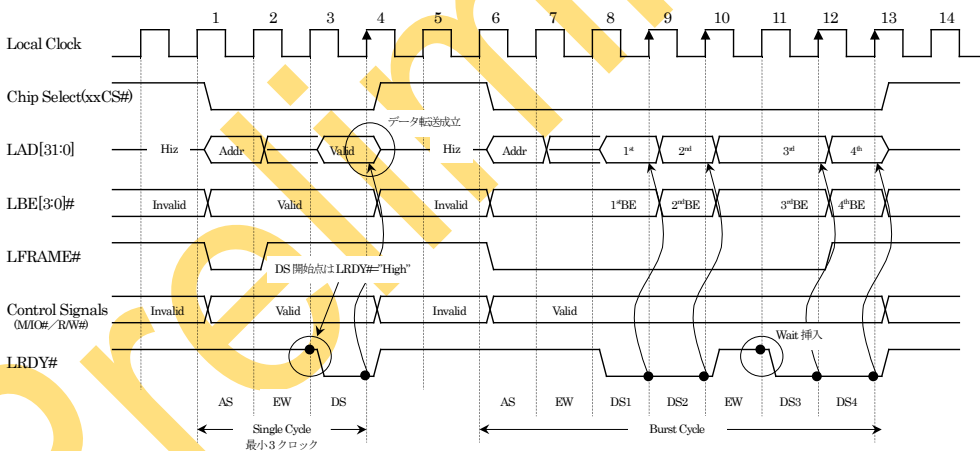


Figure4-39 : 32Bit Mux モードのデータ・ウェイト (DW=0 指定)

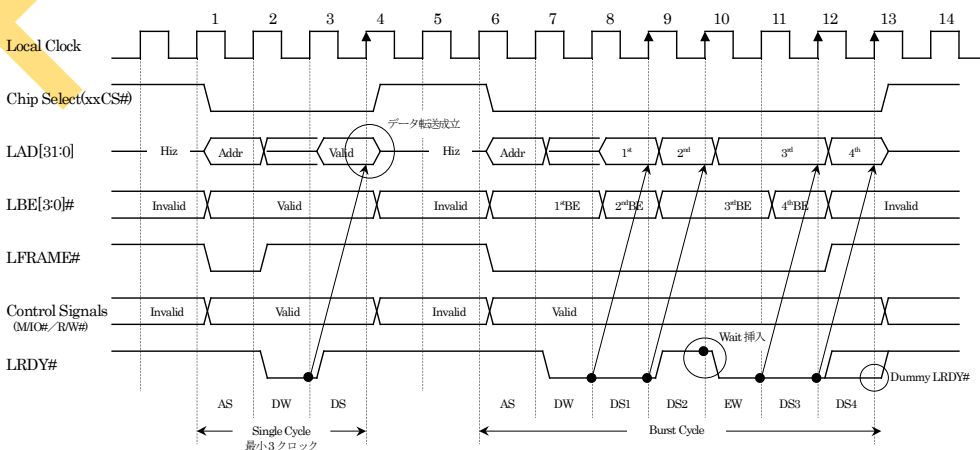


Figure4-40 : 32Bit Mux モードのデータ・ウェイト (DW=1 指定)



● アクセス間のアイドル・タイム (Idle)

アクセス間のアイドル・タイムは、1つのバス・サイクルが終了した後、次のバス・サイクルを起動するまでの最小時間を指定するアイドル・ステートです。

32Bit Mux モードでは、全てのバス・サイクル間に挿入され、メモリ、I/O アクセス共通の制御となります。

・ Read/Write Access => 「Local Bus Control Register : Access to Access Idle Time」

アイドル・タイムには、値「0~3」までのアイドル・ステートを指定できます。

リード・サイクルの終了点で、1クロック以内にデータのドライブを止めることができない場合や次のバス・サイクル実行までに一定時間必要とするアプリケーションに有効です。

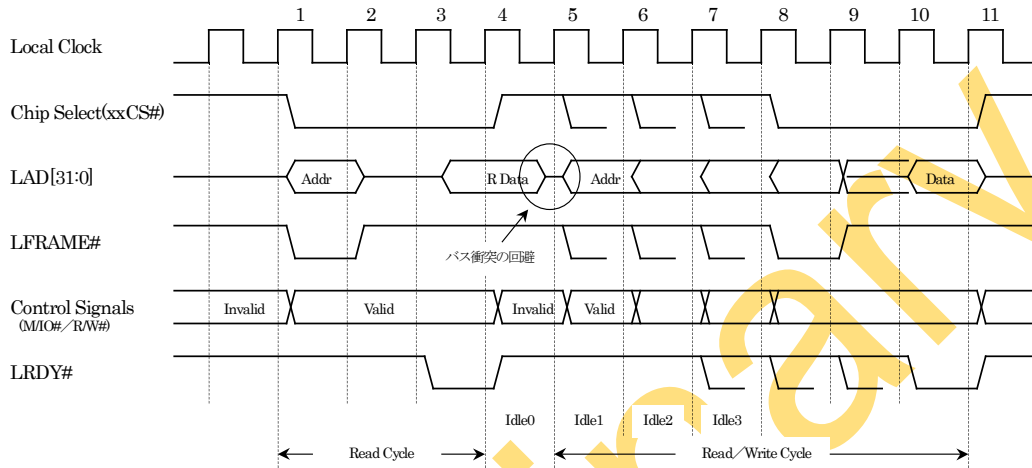


Figure4-41 : 32Bit Mux モードのアイドル・タイム

● バースト制御

データ・ステートで LFRAME# がアサート状態のときバースト・サイクルです。

バースト・サイクルの起動中、LFRAME# がディアサートになると次のデータ・サイクルが最後の転送であることを示します。これは、APIC22A 主導のバス・サイクルの終了です。

バースト・サイクル中、LRDY# アサートによる連続転送やディアサートによるウェイト・サイクルを挿入できます。バス・サイクルが終了したときは、LRDY# をディアサートしなければなりません。

APIC22A では、外部デバイス主導によるバースト・サイクルの中断を行うことができます。これは、BTERM# 端子入力の信号で制御され、LRDY# 信号と同じタイミングでアサートします。転送データが残っているときは、再びバス・サイクルを起動します。BTERM# 信号によりバースト・サイクルを中断したときは、LRDY# をディアサートしなければなりません。

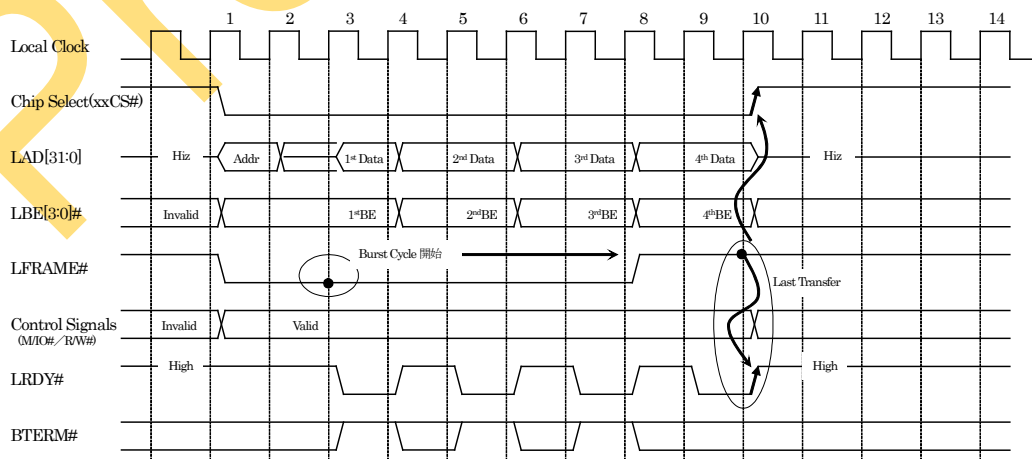


Figure4-42 : APIC22A 主導によるバス・サイクルの終了 (DW=0 指定)

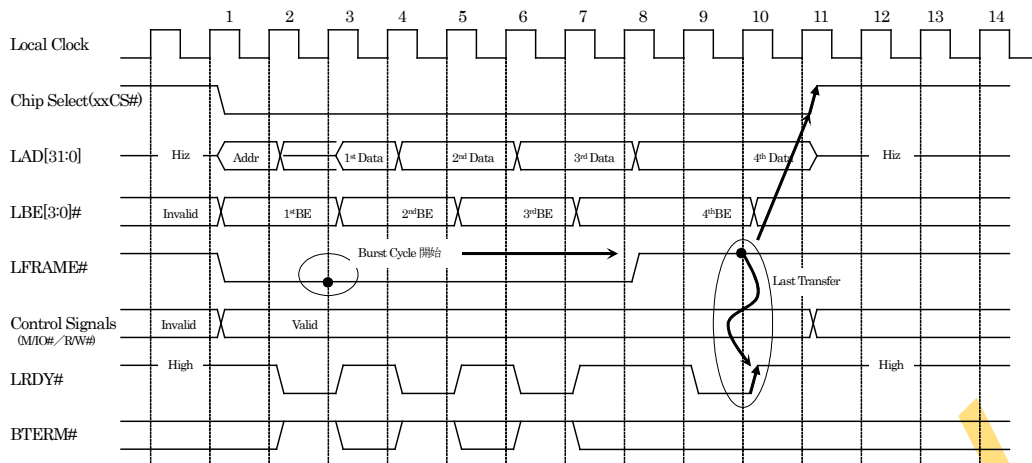


Figure4-43 : APIC22A 主導によるバス・サイクルの終了 (DW=1 指定)

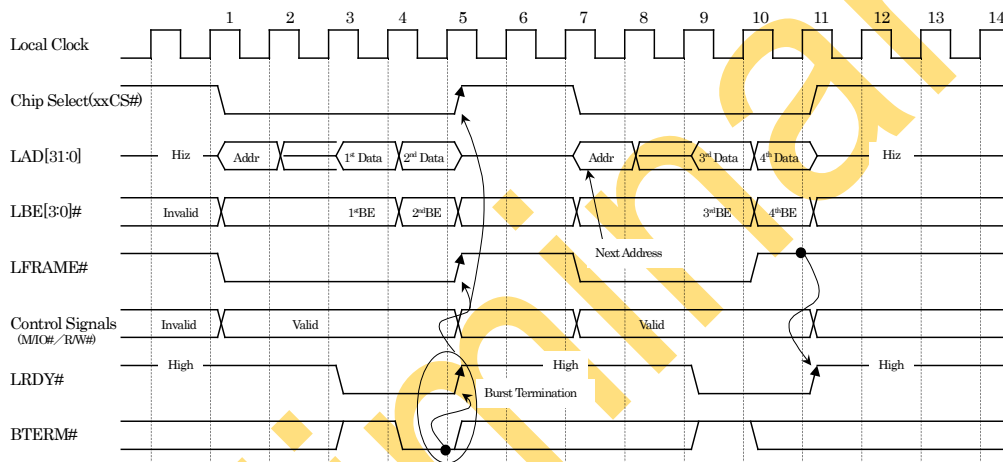


Figure4-44 : 外部デバイス主導によるバースト・サイクルの終了 (DW=0 指定)

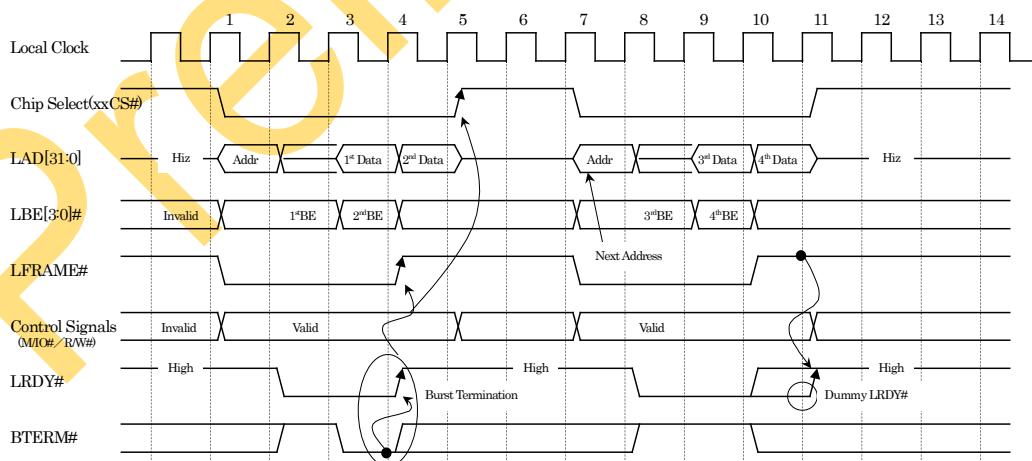


Figure4-45 : 外部デバイス主導によるバースト・サイクルの終了 (DW=1 指定)

#### 4-3-3-3-2. ローカル・マスタ・アクセス時のタイミング制御

ローカル・マスタからアクセスを受けたときのタイミング制御です。PCI ターゲット/DMA 転送時と同じバス・プロトコルで動作します。

リード方向とライト方向でそれぞれタイミング指定を行う設定レジスタがあります。

ただし、各タイミング制御をことなる設定にすると、アプリケーション回路におけるバス制御の複雑さを増やします。リード/ライト制御には、同じタイミング設定で使用してください。

APIC22A は、DEVCS# (Device Chip Select) 信号と LFRAME#信号のアサート状態の検出で、アクセスを受けたことを識別します。

リード方向のときは、有効なリード・データの準備ができると LRDY#をアサートしローカル・マスタへ通知します。

ライト方向のときは、ローカル・マスタからのライト・データを内部バッファに取り込むときに LRDY#をアサートします。

LRDY#がアサートされた後、ローカル・マスタは次のデータ転送 (バースト・サイクル継続時) やバス・サイクルの終了を行うことができます。

APIC22A に対するアクセス以外では、LRDY#信号は "HiZ" 状態を保持します。また、APIC22A に対するアクセスが成立した後は、バス・サイクルが完了するまでバス・コマンドの各信号の状態を保持しなければなりません。ただし、バースト転送時の LBE[3:0]#信号は各データ・サイクルで有効です。

基本的なローカル・マスタ・アクセスのタイミングを Figure4-46 に示します。

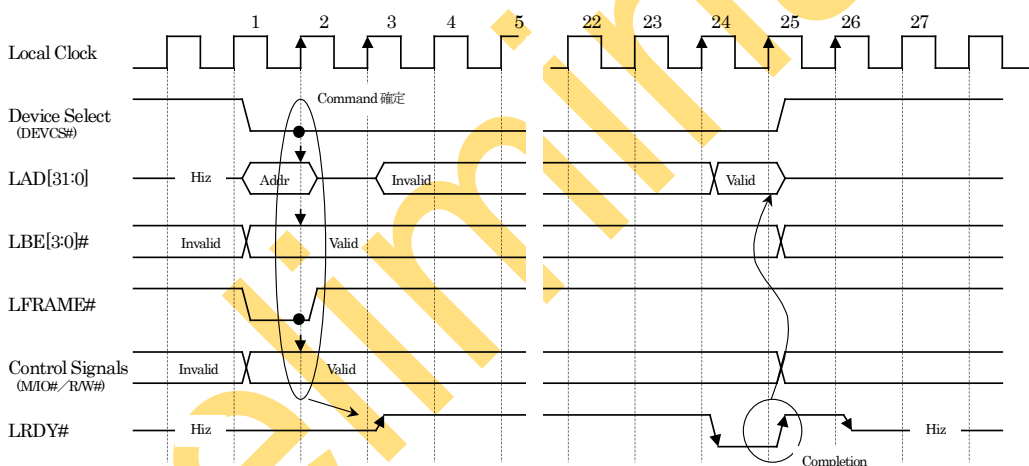


Figure4-46 : 32Bit Mux モードのローカル・マスタ・アクセス (シングル・リード・サイクル)

● リード・タイミング・コントロール (DW)

リード・タイミング・コントロールは、LRDY#のアサート点とリード・データの出力点のタイミング関係を指定するウェイト・ステートです。

メモリおよび I/O アクセス共通の制御です。

・ Read Access => 「Local Bus Control Register : Local Master Read Timing Control」

リード・タイミングは、値"0/1"から選択しリード・データ・タイミングを指定します。

値"0"指定時は、LRDY#アサート点と有効なリード・データの出力は同じクロックのタイミングです。

値"1"指定時は、LRDY#アサート点の次のクロック・タイミングで有効なリード・データを出力します。

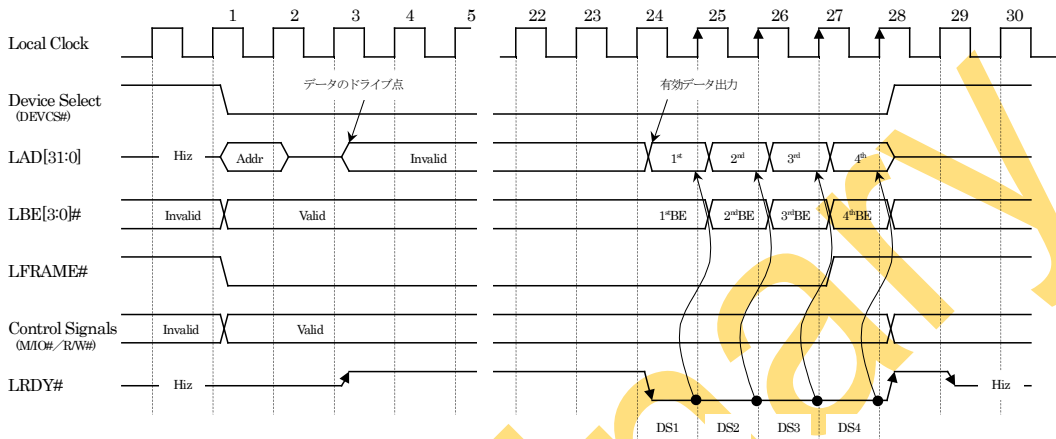


Figure4-47 : 32Bit Mux モードのローカル・マスター・リード (DW=0 指定)

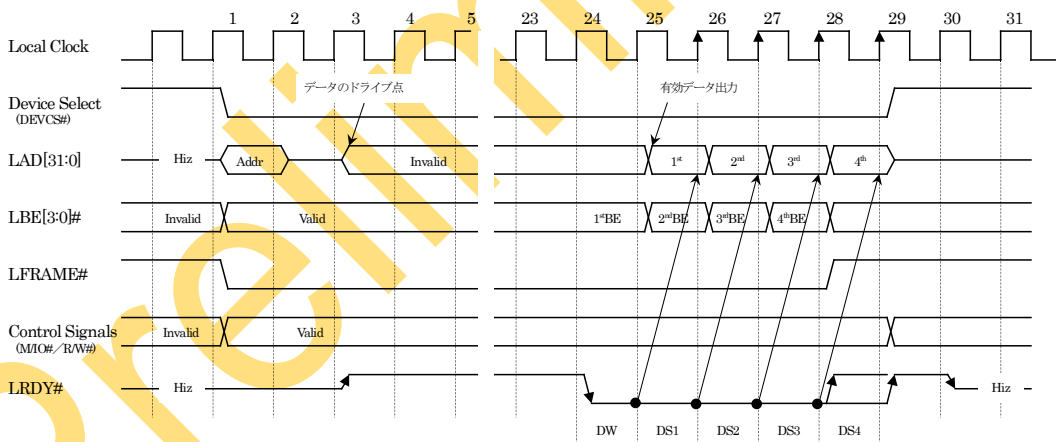


Figure4-48 : 32Bit Mux モードのローカル・マスター・リード (DW=1 指定)

● **ライト・タイミング・コントロール (DW)**

ライト・タイミング・コントロールは、LRDY#のアサート点とライト・データの取り込み点のタイミング関係を指定するウェイト・ステートです。内部バッファにライト・データを取り込むタイミングでLRDY#をアサートします。

メモリおよびI/Oアクセス共通の制御です。

・Write Access => 「Local Bus Control Register : Local Master Write Timing Control」

ライト・タイミングは、値'0/1'から選択しライト・データ・タイミングを指定します。

値'0'指定時は、LRDY#アサート点と同じクロックのタイミングでライト・データを取り込みます。コマンド確定点の次のクロックでライト・データが確定していなければなりません。

値'1'指定時は、LRDY#アサート点の次のクロック・タイミングでライト・データを取り込みます。コマンド確定点から2クロック以内にライト・データが確定していなければなりません。

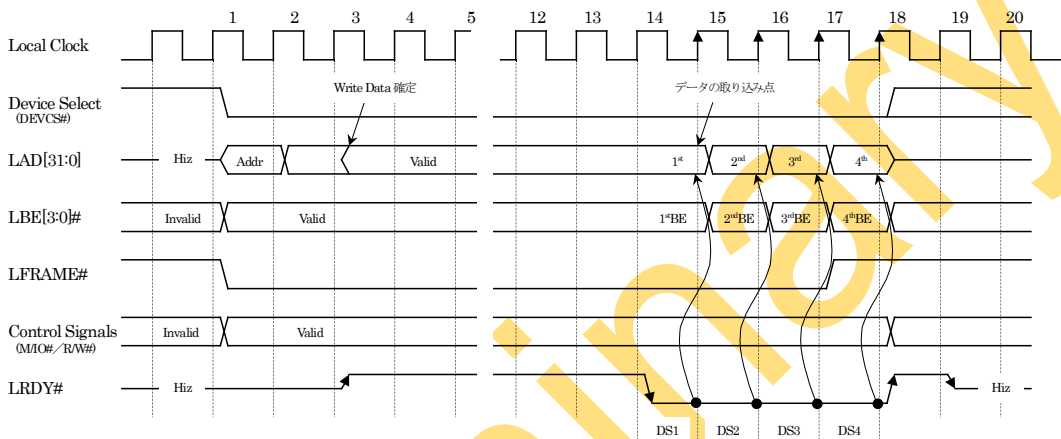


Figure4-49 : 32Bit Mux モードのローカル・マスタ・ライト (DW=0 指定)

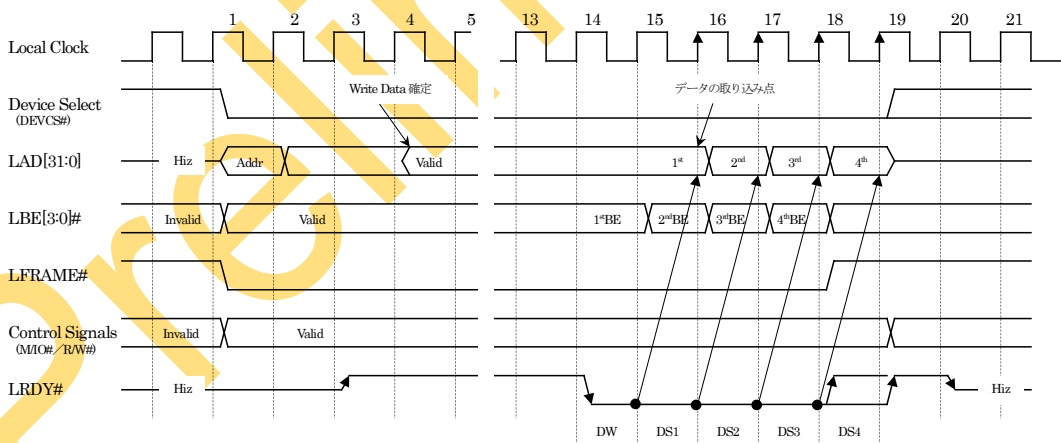


Figure4-50 : 32Bit Mux モードのローカル・マスタ・ライト (DW=1 指定)

#### 4-3-4. ローカル・ウェイト・リミット機能

ウェイト・リミットは、PCI ターゲット・アクセスおよびDMA 転送で機能します。

APIC22A が起動するバス・サイクルに対し、ウェイトを挿入し続けるとデット・ロック状態となります。特に 32Bit Mux モードでは、アクティブ”Low”のレディー信号のため応答する外部デバイスが無い場合に発生します。これら状態を回避するためにウェイト・リミット機能が備わっています。

ウェイト・リミット機能は、ローカル・クロックでカウントされるリミット・カウンタにより、ウェイト状態が続いているバス・サイクルを強制終了します。また、ウェイト制限が発生した場合に PCI へ割り込みを出力することが可能です。

ウェイト・リミット機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR)	Local	EEPROM		
			3W	2W	
Local State Control	2Ch	ACh	34h	68h 69h	<ul style="list-style-type: none"> <li>Bit[23] : Local Wait Limit Control</li> <li>Bit[31:24] : Local Wait Limit Count</li> </ul>

ウェイト制限数は、「Local State Control Register : Local Wait Limit Count」に設定される値で決まります。リミット・カウンタは、ローカル・クロックの 16 分周期でカウントされます。

・ウェイト制限数 = (Local Wait Limit Count + 1) × 16LCLK

ウェイト制限が発生した場合のバス・タイミングを以下に示します。

##### ● 8/16Bit NonMux モード時のウェイト制限

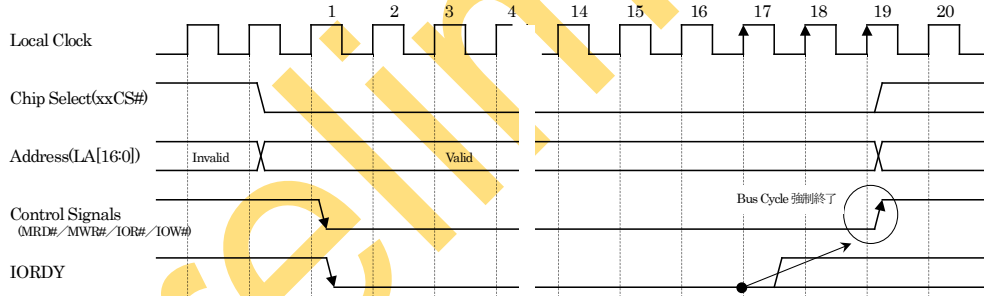


Figure4-51 : 8/16Bit NonMux モードのウェイト制限

##### ● 32Bit Mux モード時のウェイト制限

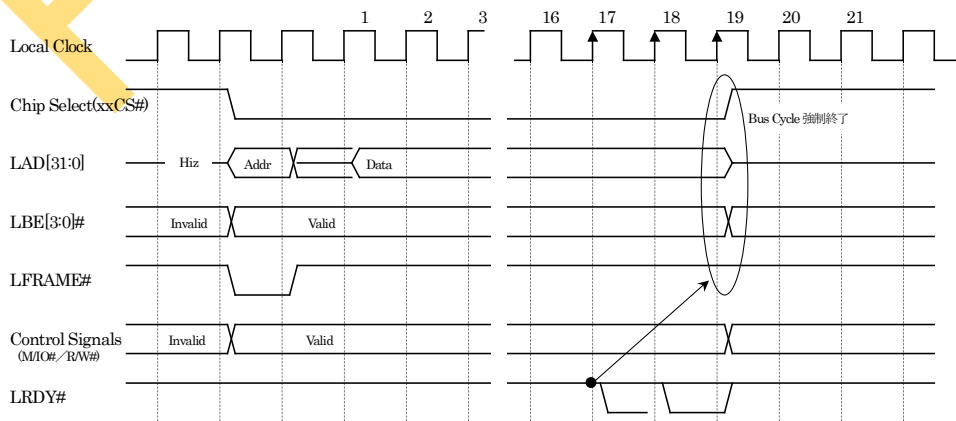


Figure4-52 : 32Bit Mux モードのウェイト制限

### 4-3-5. I/O チップ・セレクト機能

APIC22A は、アドレス範囲を指定可能な 16 本の I/O チップ・セレクト (IOCS[15:0]#) を生成できます。この機能は、ローカル・バスが 8/16Bit NonMux モードのときに有効です。32Bit Mux モードでは、全 I/O 空間に対し 1 本の I/O チップ・セレクト (IOCS#) 出力となります。

IOCS[15:0]#信号は、それぞれ 1Byte~256Byte の空間内で出力範囲 (2 の乗数単位) を指定できます。また、それぞれの IOCS[15:0]#信号は出力タイミングを指定可能で、I/O リードや I/O ライトおよびアドレス・タイミングを選択できます。

なお、IOCS[15:8]#の 8 本は、ローカル・アドレス (LA[16:9]) とマルチプレクスの多機能端子で構成されています。IOCS[15:8]#として使用するときは内部レジスタで機能を選択してください。

I/O チップ・セレクト機能に関連するレジスタを以下に示します。

Register	Offset			Function Bit	
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Pin Function Control	0Eh	8Eh	24h	48h	• Bit[7:0] : LA[16:9]/IOCS[15:8]# Pin Select
IOCS[15:0]# Address Decode	50h ~ 6Eh	D0h ~ EEh	40h ~ 4Fh	80h ~ 9Fh	• Bit[7:0] : IOCS[15:0]# Base Address • Bit[15:8] : IOCS[15:0]# Decode Range
I/O Chip Select Timing Control	70h	F0h	50h 51h	A0h ~ A3h	• Bit[31:0] : IOCS[15:0]# Timing Select

#### 4-3-5-1. IOCS[15:0]#信号の内部構成

IOCS[15:0]#信号の基本的な内部構成を Figure4-53 に示します。

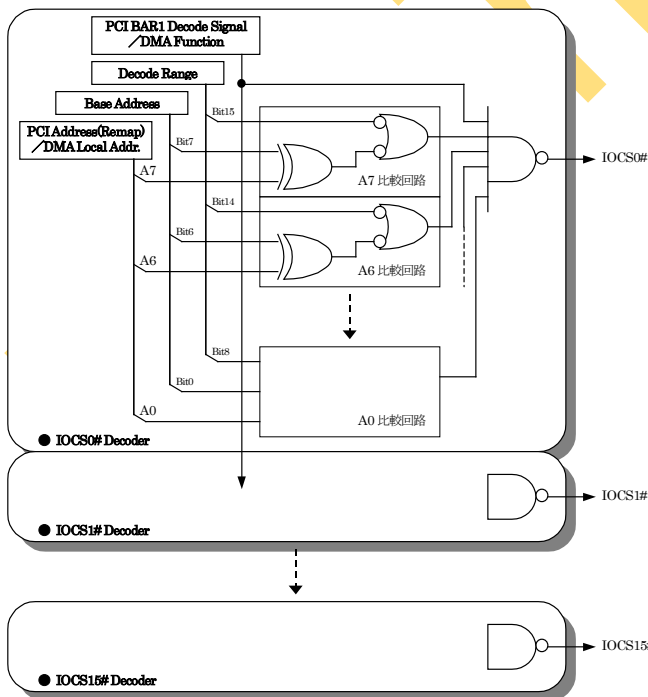


Figure4-53 : IOCS[15:0]#信号の内部構成図

それぞれの IOCSx#信号用に独立したデコード回路を持っています。デコード回路は、PCI コンフィギュレーション空間の「Base Address Register1 (BAR1)」が機能「OFF」に指定されているときは無効です。

IOCSx#信号の出力範囲は、「IOCSx# Address Decode Register : Base Address/Decode Range」で決定します。

「Decode Range」で値「1」が設定されたビットの対象となる PCI アドレス・ビットまたは DMA ローカル・アドレス・ビットが比較許可されます。値「0」が設定されたビットは比較対象外として取り扱われます。

「Base Address」には、実際の比較アドレスを設定します。設定された「Base Address」と PCI/DMA からのアドレスを比較し、一致した場合に IOCSx#を出力 (アサート) します。

なお、BAR1 のアドレス範囲が 256Byte 未満の場合、BAR1 範囲を超えている PCI アドレス・ビットはリマップ・アドレスに変換され IOCSx#デコード回路に入力されます。

リマップ・アドレスは、「PCI Target I/O Remap Address Register」の設定値です。

DMA 転送の場合は、DMA ローカル・アドレスがそのまま IOCSx#デコード回路に入力されます。

DMA ローカル・アドレスは、「DMA Local Address Register」の設定値です。

#### 4-3-5-2. デコード範囲の設定

IOCSx#信号のデコード範囲設定についていくつかの例を示します。

##### ■ BAR1 アドレス範囲が 256Byte の場合

###### ● 設定可能な IOCSx#デコード範囲表

Decode Range								Base Address								IOCSx# Space
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1	1	1	1	1	1	1	1	●	●	●	●	●	●	●	●	1Byte
1	1	1	1	1	1	1	0	●	●	●	●	●	●	●	—	2Byte
1	1	1	1	1	1	0	0	●	●	●	●	●	●	—	—	4Byte
1	1	1	1	1	0	0	0	●	●	●	●	●	—	—	—	8Byte
1	1	1	1	0	0	0	0	●	●	●	●	—	—	—	—	16Byte
1	1	1	0	0	0	0	0	●	●	●	—	—	—	—	—	32Byte
1	1	0	0	0	0	0	0	●	●	—	—	—	—	—	—	64Byte
1	0	0	0	0	0	0	0	●	—	—	—	—	—	—	—	128Byte
0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	256Byte

256Byte 範囲内で IOCSx#信号の出力範囲を指定できます。

デコード範囲表は、「Decode Range」の設定値と比較できる「Base Address」のビット関係を示しています。

・アドレスとビット対応 : Decode Range Bit[15:8] = LA[7:0] / Base Address Bit[7:0] = LA[7:0]

###### ● 設定例 (PCI to Local)

BAR1 アドレス範囲	Chip Select	IOCSx# Address Decode Register		Chip Select 出力範囲(Local Offset)
		Decode Range	Base Address	
256Byte	IOCS0#	E0h	00h	IOCS0# = xx00h~xx1Fh
	IOCS1#	E0h	20h	IOCS1# = xx20h~xx3Fh
	IOCS2#	E0h	40h	IOCS2# = xx40h~xx5Fh
	IOCS3#	E0h	60h	IOCS3# = xx60h~xx7Fh
	IOCS4#	80h	80h	IOCS4# = xx80h~xxFFh

##### ■ BAR1 アドレス範囲が 16Byte の場合

###### ● 設定可能な IOCSx#デコード範囲表

Decode Range								Base Address								IOCSx# Space
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	0	0	0	1	1	1	1	—	—	—	—	●	●	●	●	1Byte
0	0	0	0	1	1	1	0	—	—	—	—	●	●	●	—	2Byte
0	0	0	0	1	1	0	0	—	—	—	—	●	●	—	—	4Byte
0	0	0	0	1	0	0	0	—	—	—	—	●	—	—	—	8Byte
0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—	16Byte

16Byte 範囲内で IOCSx#信号の出力範囲を指定できます。

デコード範囲表は、「Decode Range」の設定値と比較できる「Base Address」のビット関係を示しています。

・アドレスとビット対応 : Decode Range Bit[11:8] = LA[3:0] / Base Address Bit[3:0] = LA[3:0]

なお、BAR1 の範囲を超えているアドレスに対応する「Decode Range」(Bit[15:12]) が値"1"に設定される場合、リマップ・アドレスの設定値と「Base Address」(Bit[7:4]) が比較されます。

###### ● 設定例 (PCI to Local)

BAR1 アドレス範囲	Chip Select	IOCSx# Address Decode Register		Chip Select 出力範囲(Local Offset)
		Decode Range	Base Address	
16Byte	IOCS0#	0Fh	00h	IOCS0# = xxx0h
	IOCS1#	0Fh	01h	IOCS1# = xxx1h
	IOCS2#	0Eh	02h	IOCS2# = xxx2h~xxx3h
	IOCS3#	0Ch	04h	IOCS3# = xxx4h~xxx7h
	IOCS4#	08h	08h	IOCS4# = xxx8h~xxxFh



### 4-3-5-3. 出力タイミングの設定

IOCSx#信号は、リード信号やライト信号のタイミングまたはアドレス・タイミングで出力することができます。

・IOCSx# Timing => 「I/O Chip Select Timing Control Register」

リード・タイミングに指定されるときは、IOR#信号と同じタイミングで出力します。

ライト・タイミングに指定されるときは、IOW#信号と同じタイミングで出力します。

アドレス・タイミングに指定されるときは、ローカル・アドレスと同じタイミングで出力します。この指定は、MEMCS#/ROMCS#信号と同じ取り扱いで通常のタイミングです。

IOCSx#信号の出力遅延時間は、全てローカル・クロックの立ち上がりで規定されています。このため、リード・タイミングまたはライト・タイミングに指定されているとき、IOCSx#信号の立ち上がりエッジで制御を行うアプリケーションではアドレス・ホールド (AH) の設定が必要です。

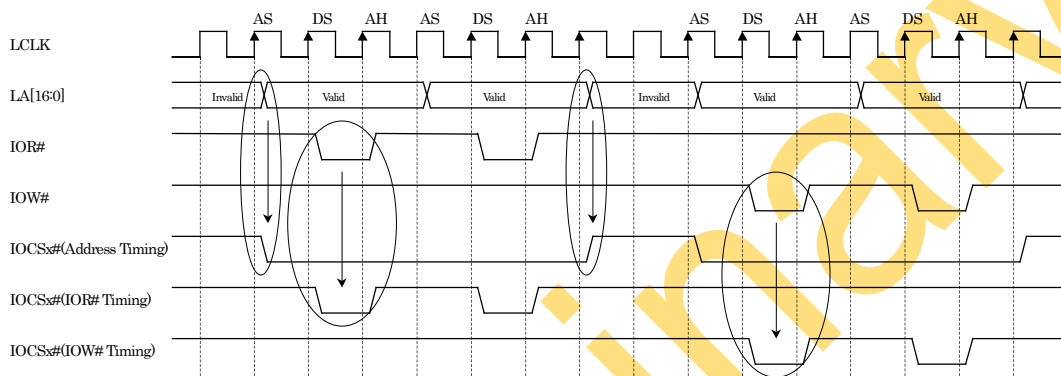


Figure4-54 : IOCSx#信号の出力タイミング

## 5. PCI ターゲット機能

PCI バスからローカル・バスへアクセスを行うための機能が PCI ターゲット機能です。

PCI ターゲット機能では、I/O 空間やメモリ空間および ExpROM 空間をサポートしています。また、それぞれの空間用にアドレス・リマップ機能があり、PCI 側のデコード対象のアドレスを任意アドレスに変換することができます。

PCI ターゲット機能には、データ・バス制御などのステート・コントロール機能があります。

ステート・コントロールは、リード/ライト・アクセスを受けたときのバス動作や内部データ・バッファの取り扱い方法を指定できます。

PCI ターゲット機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
PCI Target I/O Remap Address	14h	94h	27h 28h	4Eh ~ 51h	<ul style="list-style-type: none"> <li>• Bit[0] : I/O LOCK# Status</li> <li>• Bit[31:2] : I/O Remap Address</li> </ul>
PCI Target Memory Remap Address	18h	98h	29h 2Ah	52h ~ 55h	<ul style="list-style-type: none"> <li>• Bit[0] : Memory LOCK# Status</li> <li>• Bit[31:4] : Memory Remap Address</li> </ul>
PCI Target ExpROM Remap Address	1Ch	9Ch	2Bh 2Ch	56h ~ 59h	<ul style="list-style-type: none"> <li>• Bit[0] : ExpROM LOCK# Status</li> <li>• Bit[31:11] : ExpROM Remap Address</li> </ul>
PCI State Control	20h	A0h	2Dh 2Eh	5Ah ~ 5Ch	<ul style="list-style-type: none"> <li>• Bit[1:0] : PCI Read Mode for I/O/Memory</li> <li>• Bit[3:2] : PCI Write Mode for I/O/Memory</li> <li>• Bit[5:4] : PCI I/O/Memory Write Buffer Select</li> <li>• Bit[7:6] : PCI I/O Read/Write No Local Prefetch</li> <li>• Bit[8] : PCI Data Parity Mode</li> <li>• Bit[9] : PCI Target Latency Control</li> <li>• Bit[10] : PCI I/O Burst Addressing Mode</li> <li>• Bit[11] : PCI Memory Write Combine Enable</li> <li>• Bit[14] : Local Memory Prefetch Enable</li> <li>• Bit[15] : Local Memory Prefetch Continuous Mode</li> <li>• Bit[19:16] : Local Memory Prefetch Count</li> </ul>
Local State Control	2Ch	ACh	34h	68h 69h	<ul style="list-style-type: none"> <li>• Bit[16] : Local Master Access No Local Prefetch</li> <li>• Bit[17] : DMA No Local Prefetch</li> <li>• Bit[18] : PCI Target/DMA No Local Master Access</li> <li>• Bit[20] : Local Memory Burst Enable</li> <li>• Bit[23] : Local Wait Limit Control</li> <li>• Bit[31:24] : Local Wait Limit Count</li> </ul>

## 5-1. リマップ・アドレスの設定

I/O 空間、メモリ空間および ExpROM 空間それぞれにリマップ・アドレスの設定が可能です。

- ・ Local I/O Space => 「PCI Target I/O Remap Address Register」
- ・ Local Memory Space => 「PCI Target Memory Remap Address Register」
- ・ Local ExpROM Space => 「PCI Target ExpROM Remap Address Register」

PCI コンフィギュレーション空間の各ベース・アドレス・レジスタ (BAR) で指定されるデコード対象のアドレス・ビットがここで設定されるリマップ・アドレスに変換されローカル・バスへ出力します。

デコード対象外 (範囲内) のアドレスは、PCI アドレスがそのままローカル・バスへ出力されます。

BAR のデコード範囲は、シリアル EEPROM による初期イニシャライズで設定されます。

なお、ローカル・バスが 8/16Bit NonMux モードに構成される場合、ローカル・アドレス範囲は最大 128KByte 幅となるため、リマップ・アドレスの Bit[31:17] の設定値は参照されません。また、多機能端子のアドレスが IOCSx# 端子に構成される時対象のリマップ・アドレス・ビットは無効です。

### ■ リマップ・アドレスの設定例 (I/O 空間)

I/O 空間 (BAR1) を例に Figure5-1 に示します。

Figure5-1 では、BAR1 は 256Byte の範囲で Base Address に”876543xxh”が設定されています。ここで、PCI から”87654321h”番地に対する I/O アクセスが発生すると、上位 24 ビット(AD[31:8])のアドレスはリマップ・アドレスの上位 24 ビットの設定値”FEDCBAh”に変換されます。結果、ローカル・アドレスは”FEDCBA21h”となります。

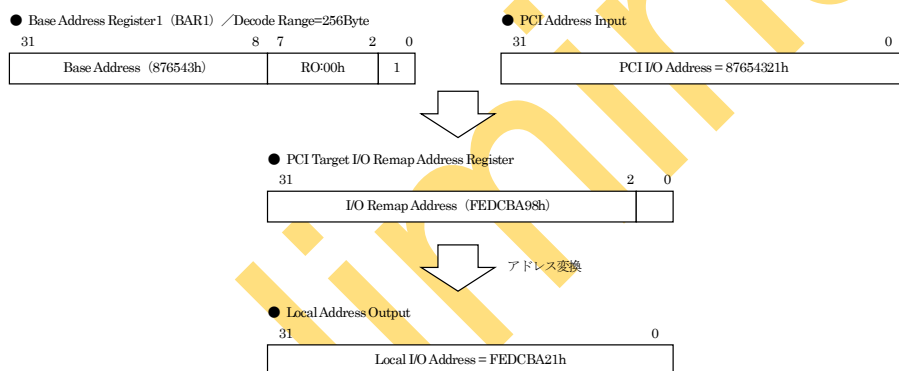


Figure5-1 : I/O空間のリマップ・アドレス設定例

### ■ リマップ・アドレスの設定例 (メモリ空間)

メモリ空間 (BAR2) を例に Figure5-2 に示します。

Figure5-2 では、BAR2 は 64Kbyte の範囲で Base Address に”1234xxxxh”が設定されています。ここで、PCI から”12345678h”番地に対するメモリ・アクセスが発生すると、上位 16 ビット(AD[31:16])のアドレスはリマップ・アドレスの上位 16 ビットの設定値”4321h”に変換されます。結果、ローカル・アドレスは”43215678h”となります。

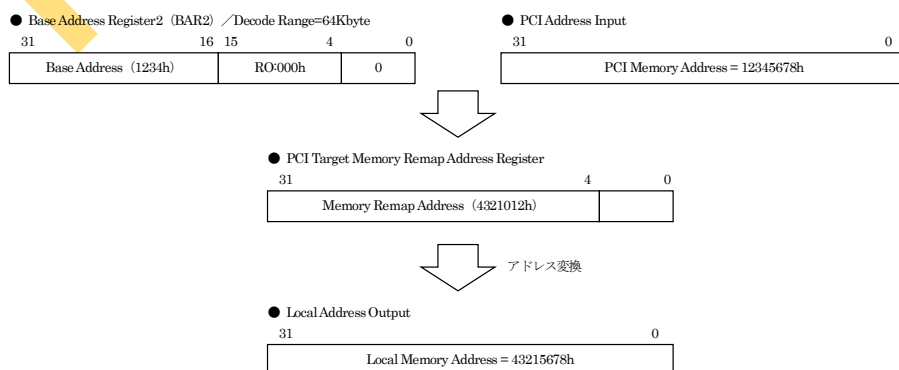


Figure5-2 : メモリ空間のリマップ・アドレス設定例

## 5-2. データ・パス制御

APIC22A のデータ・パス制御は、リード方向とライト方向で独立した制御構造を持ちます。

リード制御は、I/O リードとメモリ・リードは独立した制御構造です。

I/O リードは、ローカル側からのリード・データの準備ができるまで PCI バス・サイクルを続ける Direct RD と、PCI アクセスを受け付けたとき一端リトライ処理を行い再アクセスを待つ Delayed RD があります。

メモリ・リードは、I/O リード同様の Direct RD と Delayed RD の他に Prefetch RD が加わります。

なお、Direct RD のときターゲット・レイテンシ要求範囲内で転送が成立できない場合はリトライ処理となります。また、再アクセスによる Delayed RD はデータの準備ができるまで PCI バス・サイクルを続けます。

ライト制御は、I/O ライトとメモリ・ライトは共通の制御構造です。ただし、ステート・コントロールはそれぞれ個別の指定が可能です。

I/O およびメモリのライト・アクセスは、ローカル側へのライト・データが実際に書き込まれるまで PCI バス・サイクルを続ける Direct WR と、PCI アクセスを受け付けたとき一端リトライ処理を行い再アクセスを待つ Delayed WR があります。また、ローカル・バスの状態に影響されず PCI からのライト・データを内部データ・バッファ (Posted Buffer) に順次格納する Posted WR を選択できます。Posted WR 時のデータ・バッファは、I/O とメモリで共通のバッファを使用します。

なお、Direct WR のときターゲット・レイテンシ要求範囲内で転送が成立できない場合はリトライ処理となります。また、再アクセスによる Delayed WR はデータの準備ができるまで PCI バス・サイクルを続けます。

### 5-2-1. I/O リード・アクセス

I/O リード動作におけるデータ・パス制御の内部構成を Figure5-3 に示します。

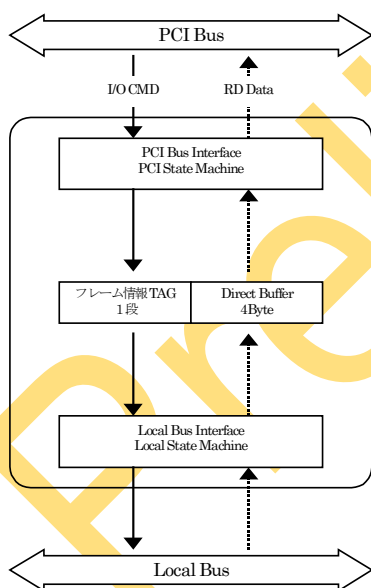


Figure5-3 : I/O リードのデータ・パス制御

- フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/PCI コマンドを管理します。I/O リード動作のフレーム情報の管理 TAG は 1 段です。

- Direct Buffer

Direct RD/Delayed RD 用の 4Byte (1Dword) 分のデータ・バッファです。ローカル・バスから読み出されたデータを格納します。

#### 5-2-1-1. PCI バスの動作

PCI からの I/O リード・アクセスは、Direct RD または Delayed RD で応答します。

##### ■ Direct RD アクセス

「PCI State Control Register : PCI Read Mode for I/O」がディセーブルのとき Direct RD でアクセスが行われます。Direct RD 実行中、ローカル・バス・サイクルも同時に起動します。

Target Latency (Initial Latency/Subsequent Latency) 範囲内でリード・データが Direct Buffer に格納されると TRDY#をアサートし PCI バスヘデータを出力 (Completion) します。

Target Latency 範囲内でリード・データの準備ができないときは STOP#をアサートしリトライで応答します。リトライ処理の場合、フレーム情報は有効状態を保持し再アクセスによる Delayed RD を待ちます。

### ● Direct RD 可能なローカル・バスのウェイト数

Direct RD は、ローカル・クロックが同期モードのときに有効です。

PCI 33MHz 動作でローカル・クロックが非同期モードのときは、Direct RD は成立しません。

Local Bus Mode	Local Bus Cycle	Local Bus Wait
8/16 Bit NonMux	Single Bus Cycle	合計3ウェイト (AW+DW+EW)
	Double Bus Cycle	合計1ウェイト (AHのみ可)
	etc Bus Cycle	Direct RD は不成立
32Bit Mux	Single Bus Cycle	合計2ウェイト (AW+EW) / Bus Cycle=5LCLK まで可

### ■ Delayed RD アクセス

「PCI State Control Register : PCI Read Mode for I/O」がイネーブルのときや Direct RD が不成立のときの再アクセスで Delayed RD が行われます。

PCI から再アクセスがあると内部のフレーム情報と比較します。フレーム情報が一致した場合に TRDY#をアサートし Direct Buffer からリード・データを PCI バスに出力します。

PCI からのアクセスがフレーム情報と一致しなかった場合は、管理 TAG の無効化処理が行われリトライ処理または Direct RD に移行します。

#### 5-2-1-2. ローカル・バスの動作

内部フレーム情報をもとに、ローカル・バス・サイクルを起動します。

ローカル・バスが 8/16Bit NonMux モードの場合、PCI からの要求バイト・レーンがローカル・バス幅を超えているとき連続する複数のバス・サイクルが実行されます。

32Bit Mux モードでは、シングル・バス・サイクルで処理されます。

#### 5-2-2. I/O ライト・アクセス

I/O ライト動作におけるデータ・パス制御の内部構成を Figure5-4 に示します。

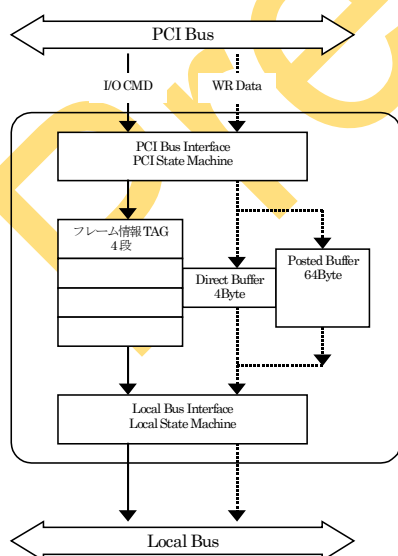


Figure5-4 : I/O ライトのデータ・パス制御

### ● フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/PCI コマンドを管理します。

I/O ライト動作のフレーム情報の管理 TAG は4段です。なお、メモリ・ライト時も同じ管理 TAG が使用されます。

### ● Direct Buffer

Direct WR/Delayed WR 用の 4Byte (1Dword) 分のデータ・バッファです。

PCI からの書き込みデータを格納します。なお、メモリ・ライト時も同じ Direct Buffer が使用されます。

「PCI State Control Register : PCI I/O Write Buffer Select」で Direct Buffer に指定されているときに有効です。

### ● Posted Buffer

Posted WR 用の 64Byte (16Dword) 分のデータ・バッファです。

PCI からの書き込みデータを格納します。なお、メモリ・ライト時も同じ Posted Buffer が使用されます。

「PCI State Control Register : PCI I/O Write Buffer Select」で Posted Buffer に指定されているときに有効です。

### 5-2-2-1. PCIバスの動作

PCIからのI/Oライト・アクセスは、Direct WR/Delayed WRまたはPosted WRで応答します。

#### ■ Direct WR アクセス

「PCI State Control Register : PCI Write Mode for I/O」がディセーブルで内部データ・バッファがDirect Bufferに指定されているときDirect WRでアクセスが行われます。Direct WR実行中、ローカル・バス・サイクルも同時に起動します。

Target Latency (Initial Latency/Subsequent Latency) 範囲内でライト・データがローカル側に書き込まれるとTRDY#をアサートしPCIバス・サイクルを完了(Completion)します。

Target Latency 範囲内でローカル側の書き込みが完了しないときはSTOP#をアサートしリトライで応答します。リトライ処理の場合、フレーム情報は有効状態を保持し再アクセスによるDelayed WRを待ちます。

#### ● Direct WR 可能なローカル・バスのウェイト数

Direct WRは、ローカル・クロックが同期モードのときに有効です。

PCI 33MHz動作でローカル・クロックが非同期モードのときは、Direct WRは成立しません。

Local Bus Mode	Local Bus Cycle	Local Bus Wait
8/16 Bit NonMux	Single Bus Cycle	合計5ウェイト (AW+DW+EW)
	Double Bus Cycle	合計3ウェイト (AW+DW+EW+AH)
	etc Bus Cycle	Bus Cycle=7 LCLKまで可
32Bit Mux	Single Bus Cycle	合計3ウェイト (AW+EW) / Bus Cycle=6 LCLKまで可

#### ■ Delayed WR アクセス

「PCI State Control Register : PCI Write Mode for I/O」がイネーブルで内部データ・バッファがDirect Bufferに指定されているときDelayed WRが行われます。また、Direct WRが不成立のときの再アクセスもDelayed WRが行われます。

PCIから再アクセスがあると内部のフレーム情報と比較します。フレーム情報が一致した場合にTRDY#をアサートしPCIバス・サイクルを完了します。

PCIからのアクセスがフレーム情報と一致しなかった場合は、管理TAGの無効化処理が行われリトライ処理またはDirect WRに移行します。ただし、Delayed WRに移行する前のライト・データはローカル側に書き込まれます。

#### ■ Posted WR アクセス

「PCI State Control Register : PCI I/O Write Buffer Select」でPosted Bufferに指定されているときPosted WRが行われます。Posted WRは、ローカル・バスの状態に関わらずPosted Bufferまたは管理TAGの空き領域が無くなるまでPCIからのライト・データを受け付けます。

PCIバースト転送の場合、Posted Buffer (16Dword)分のデータをNo Waitで受け付けることができます。

PCIシングル転送の場合は、管理TAG (4段)分のデータをリトライすることなく受け付けることができます。

### 5-2-2-2. ローカル・バスの動作

内部フレーム情報をもとに、ローカル・バス・サイクルを起動します。

ローカル・バスが8/16Bit NonMuxモードの場合、PCIからの要求バイト・レーンがローカル・バス幅を超えているときやPosted Bufferに幾つかのデータが存在するとき、連続する複数のバス・サイクルが実行されます。

32Bit Muxモードでは、シングル・バス・サイクルで処理されます。

### 5-2-3. メモリ・リード・アクセス

メモリ・リード動作におけるデータ・パス制御の内部構成を Figure5-5 に示します。

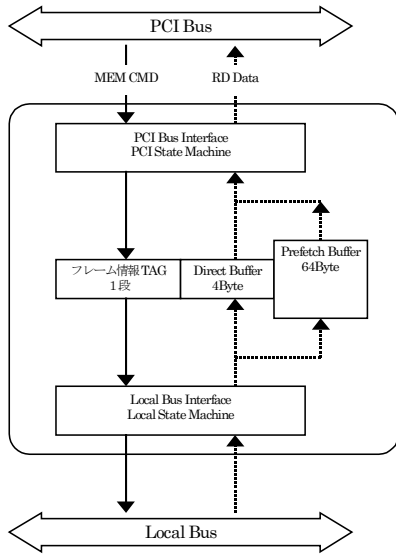


Figure5-5: メモリ・リードのデータ・パス制御

- フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/PCI コマンドを管理します。メモリ・リード動作のフレーム情報の管理 TAG は1段です。

- Direct Buffer

Direct RD/Delayed RD 用の 4 Byte (1 Dword) 分のデータ・バッファです。ローカル・バスから読み出されたデータを格納します。

「PCI State Control Register : Local Memory Prefetch Enable」がディセーブルに設定されているときに有効です。

- Prefetch Buffer

Prefetch RD 用の 64Byte (16Dword) 分のデータ・バッファです。ローカル・バスから読み出されたデータを格納します。

「PCI State Control Register : Local Memory Prefetch Enable」がイネーブルに設定されているときに有効です。

#### 5-2-3-1. PCIバスの動作

PCI からのメモリ・リード・アクセスは、Direct RD/Delayed RD または Prefetch RD で応答します。

##### ■ Direct RD アクセス

「PCI State Control Register : PCI Read Mode for Memory」がディセーブルで内部データ・バッファが Direct Buffer に指定されているとき Direct RD でアクセスが行われます。Direct RD 実行中、ローカル・バス・サイクルも同時に起動します。

Target Latency (Initial Latency/Subsequent Latency) 範囲内でリード・データが Direct Buffer に格納されると TRDY#をアサートし PCI バスヘデータを出力 (Completion) します。

Target Latency 範囲内でリード・データの準備ができないときは STOP#をアサートしリトライで応答します。リトライ処理の場合、フレーム情報は有効状態を保持し再アクセスによる Delayed RD を待ちます。

- Direct RD 可能なローカル・バスのウェイト数

Direct RD は、ローカル・クロックが同期モードのときに有効です。

PCI 33MHz 動作でローカル・クロックが非同期モードのときは、Direct RD は成立しません。

Local Bus Mode	Local Bus Cycle	Local Bus Wait
8/16 Bit NonMux	Single Bus Cycle	合計3 ウェイト (AW+DW+EW)
	Double Bus Cycle	合計1 ウェイト (AH のみ可)
	etc Bus Cycle	Direct RD は不成立
32Bit Mux	Single Bus Cycle	合計2 ウェイト (AW+EW) /Bus Cycle=5 LCLK まで可

##### ■ Delayed RD アクセス

「PCI State Control Register : PCI Read Mode for Memory」がイネーブルで内部データ・バッファが Direct Buffer に指定されているとき Delayed RD が行われます。また、Direct RD が不成立のときの再アクセスも Delayed RD が行われます。

PCI から再アクセスがあると内部のフレーム情報と比較します。フレーム情報が一致した場合に TRDY#をアサートし Direct Buffer からリード・データを PCI バスに出力します。

PCI からのアクセスがフレーム情報と一致しなかった場合は、管理 TAG の無効化処理が行われリトライ処理または Direct RD に移行します。

## ■ Prefetch RD アクセス

「PCI State Control Register : Local Memory Prefetch Enable」がイネーブルに指定されているときに Prefetch RD が行われます。Prefetch RD は、PCI からのリード要求を待たずにローカル側から指定されるカウンタ数分のデータを先読みします。プリフェッチ・カウンタは、「PCI State Control Register : Local Memory Prefetch Count」で指定します。

PCI アクセスがあると、そのフレーム情報を管理 TAG に登録しプリフェッチ予約が行われます。このとき、ローカル・バスがレディー状態のときはメモリ・リード・サイクルを同時に起動します。PCI 側のバス・サイクル実行中にリード・データの準備ができないときは、リトライまたは Disconnect Without Data でバス・サイクルを一端終了し次のアクセスを待ちます。

PCI バースト転送の場合、読み出された数分のデータを No Wait で出力することができます。

APIC22A の Prefetch RD は、2つの方法をサポートしています。

### ● Prefetch RD Single Mode

Prefetch RD 方法の1つで、通常のプリフェッチ動作です。

「PCI State Control Register : Local Memory Prefetch Continuous Mode」で Single Mode に指定されるとき通常の Prefetch RD が行われます。

Single Mode は、1つのフレーム情報をもとに制御が行われ、PCI アクセスが完了 (Completion) すると管理 TAG をクリアします。

PCI バースト転送がプリフェッチ・カウンタに満たない場合、完了 (Completion) 時点で内部管理 TAG がクリアされます。その後の PCI アクセスは新規アクセスとして取り扱われます。なお、プリフェッチ・カウンタを超えるバースト転送があると、Disconnect Without Data でバス・サイクルを終了しプリフェッチの再予約は行われません。

PCI シングル転送の場合、プリフェッチは起動しますが、完了時点で内部管理 TAG がクリアされます。

### ● Prefetch RD Continuous Mode

Prefetch RD 方法の1つで、プリフェッチ・カウンタ分のプリフェッチ動作を継続します。

「PCI State Control Register : Local Memory Prefetch Continuous Mode」で Continuous Mode に指定されるとき継続の Prefetch RD が行われます。

Continuous Mode は、連続する複数のフレーム情報に対応できます。PCI アクセスが完了 (Completion) すると管理 TAG は次の情報に更新されます。

PCI バースト転送がプリフェッチ・カウンタに満たない場合、完了時点で 4Byte バウンダリの次のアドレス情報に内部管理 TAG が更新されます。

PCI シングル転送の場合、アドレスとバイト・レーン情報が参照されます。Byte/Word 単位のアクセスでは、バス・サイクルの完了時点で次のバイト・レーン情報に内部管理 TAG を更新します。Dword 単位のアクセスでは、4Byte バウンダリの次のアドレス情報に内部管理 TAG を更新します。

PCI Access Size	フレーム情報 (管理 TAG)			
	1 <sup>st</sup> Access		Next Access	
	Address	BE#	Address	BE#
Byte Access	Addr Offset=0h	BE#=1110	Addr+0h	BE#=1101
	Addr Offset=0h	BE#=1101	Addr+0h	BE#=1011
	Addr Offset=0h	BE#=1011	Addr+0h	BE#=0111
	Addr Offset=0h	BE#=0111	Addr+4h	BE#=1110
Word Access	Addr Offset=0h	BE#=1100	Addr+0h	BE#=0011
	Addr Offset=0h	BE#=0011	Addr+4h	BE#=1100
Dword Access	Addr Offset=0h	BE#=0000	Addr+4h	BE#=0000

プリフェッチ・カウンタを超えるバースト転送があると、Disconnect Without Data でバス・サイクルを終了しプリフェッチの再予約は行われません。

Prefetch Buffer に有効データが存在するとき、PCI から内部フレーム情報に一致しないメモリ・リード・アクセスがあると、内部管理 TAG の無効化処理が行われます。また、メモリ・ライト・アクセスがあるときは、いつでも内部管理 TAG の無効化処理が行われます。



### 5-2-3-2. ローカル・バスの動作

内部フレーム情報をもとに、ローカル・バス・サイクルを起動します。

Prefetch RD アクセスのときは、4Byte 単位で全てのバイト・レーンが有効であるものとして処理されます。

ローカル・バスが 8/16Bit NonMux モードの場合、PCI からの要求バイト・レーンがローカル・バス幅を超えているときや Prefetch RD のとき、連続する複数のバス・サイクルが実行されます。

32Bit Mux モードでは、シングル・アクセスまたはバースト・アクセスを選択可能です。

「Local State Control Register : Local Memory Burst Enable」がディセーブルに指定されるときは、全てシングル・アクセスで処理されます。イネーブルに指定されるときは、Prefetch RD のときバースト・アクセスで処理されます。なお、バースト・アクセスが許可されている場合でも Prefetch Buffer の空き状態によりシングル・アクセスで実行されるときがあります。

バースト・アクセスは、BTERM#端子入力によりサイクル数の制限を行うことが可能です。

### 5-2-4. メモリ・ライト・アクセス

メモリ・ライト動作におけるデータ・パス制御の内部構成を Figure5-6 に示します。

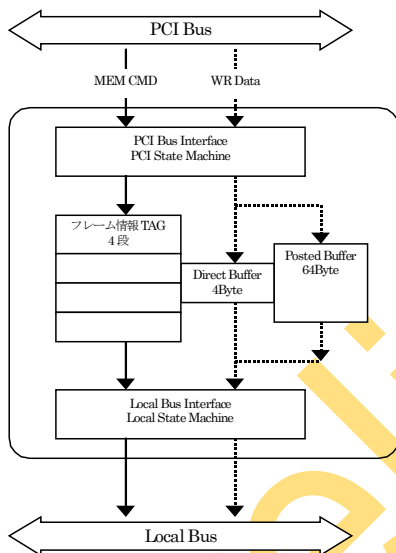


Figure5-6 : メモリ・ライトのデータ・パス制御

#### ● フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/PCI コマンドを管理します。

メモリ・ライト動作のフレーム情報の管理 TAG は4段です。なお、I/O ライト時も同じ管理 TAG が使用されます。

#### ● Direct Buffer

Direct WR/Delayed WR 用の 4Byte (1Dword) 分のデータ・バッファです。

PCI からの書き込みデータを格納します。なお、I/O ライト時も同じ Direct Buffer が使用されます。

「PCI State Control Register : PCI Memory Write Buffer Select」で Direct Buffer に指定されているときに有効です。

#### ● Posted Buffer

Posted WR 用の 64Byte (16Dword) 分のデータ・バッファです。

PCI からの書き込みデータを格納します。なお、I/O ライト時も同じ Posted Buffer が使用されます。

「PCI State Control Register : PCI Memory Write Buffer Select」で Posted Buffer に指定されているときに有効です。

### 5-2-4-1. PCI バスの動作

PCI からのメモリ・ライト・アクセスは、Direct WR/Delayed WR または Posted WR で応答します。

#### ■ Direct WR アクセス

「PCI State Control Register : PCI Write Mode for Memory」がディセーブルで内部データ・バッファが Direct Buffer に指定されているとき Direct WR でアクセスが行われます。Direct WR 実行中、ローカル・バス・サイクルも同時に起動します。

Target Latency (Initial Latency/Subsequent Latency) 範囲内でライト・データがローカル側に書き込まれると TRDY#をアサートし PCI バス・サイクルを完了 (Completion) します。

Target Latency 範囲内でローカル側の書き込みが完了しないときは STOP#をアサートしリトライで応答します。リトライ処理の場合、フレーム情報は有効状態を保持し再アクセスによる Delayed WR を待ちます。

● **Direct WR 可能なローカル・バスのウェイト数**

Direct WR は、ローカル・クロックが同期モードのときに有効です。

PCI 33MHz 動作でローカル・クロックが非同期モードのときは、Direct WR は成立しません。

Local Bus Mode	Local Bus Cycle	Local Bus Wait
8/16 Bit NonMux	Single Bus Cycle	合計5ウェイト (AW+DW+EW)
	Double Bus Cycle	合計3ウェイト (AW+DW+EW+AH)
	etc Bus Cycle	Bus Cycle=7 LCLK まで可
32Bit Mux	Single Bus Cycle	合計3ウェイト (AW+EW) / Bus Cycle=6 LCLK まで可

■ **Delayed WR アクセス**

「PCI State Control Register : PCI Write Mode for Memory」がイネーブルで内部データ・バッファが Direct Buffer に指定されているとき Delayed WR が行われます。また、Direct WR が不成立のときの再アクセスも Delayed WR が行われます。

PCI から再アクセスがあると内部のフレーム情報と比較します。フレーム情報が一致した場合に TRDY# をアサートし PCI バス・サイクルを完了します。

PCI からのアクセスがフレーム情報と一致しなかった場合は、管理 TAG の無効化処理が行われリトライ処理または Direct WR に移行します。ただし、Delayed WR に移行する前のライト・データはローカル側に書き込まれます。

■ **Posted WR アクセス**

「PCI State Control Register : PCI Memory Write Buffer Select」で Posted Buffer に指定されているとき Posted WR が行われます。Posted WR は、ローカル・バスの状態に関わらず Posted Buffer または管理 TAG の空き領域が無くなるまで PCI からのライト・データを受け付けます。

PCI バースト転送の場合、Posted Buffer (16Dword) 分のデータを No Wait で受け付けることができます。

PCI シングル転送の場合は、管理 TAG (4段) 分のデータをリトライすることなく受け付けることができます。

APIC22A のメモリに対する Posted WR は、2つの方法をサポートしています。

● **Normal Posted WR**

「PCI State Control Register : PCI Memory Write Combine Enable」がディセーブルに指定されているとき通常の Posted WR 動作となります。

PCI シングル・アクセスや単位ごとの PCI バースト・アクセスは、全てことなるフレーム情報として内部管理 TAG に登録されます。管理できるフレーム情報数は最大で4種類です。

● **Posted WR Combine**

「PCI State Control Register : PCI Memory Write Combine Enable」がイネーブルに指定されているとき Posted WR のコンバイン処理が行われます。

以前の Posted WR のフレーム情報に対し、PCI シングル/バースト・アクセスが 4Byte バウンダリの次のアドレスにあるとき、1つのフレーム情報に結合します。このため、余分な管理 TAG を消費することなく Posted Buffer 分のライト・データを受け付けることができます。

**5-2-4-2. ローカル・バスの動作**

内部フレーム情報をもとに、ローカル・バス・サイクルを起動します。

ローカル・バスが 8/16Bit NonMux モードの場合、PCI からの要求バイト・レーンがローカル・バス幅を超えているときや Posted Buffer に幾つかのデータが存在するとき、連続する複数のバス・サイクルが実行されます。

32Bit Mux モードでは、シングル・アクセスまたはバースト・アクセスを選択可能です。

「Local State Control Register : Local Memory Burst Enable」がディセーブルに指定される場合は、全てシングル・アクセスで処理されます。イネーブルに指定される場合は、Posted WR のときバースト・アクセスで処理されます。なお、バースト・アクセスが許可されている場合でも Posted Buffer の状態によりシングル・アクセスで実行されるときがあります。

バースト・アクセスは、BTERM#端子入力によりサイクル数の制限を行うことが可能です。

### 5-3. ステート・コントロール

代表的なステート・コントロールについて説明します。

#### 5-3-1. PCI リード・モード

PCI からリード要求があった場合のバス動作を制御します。

I/O リードおよびメモリ・リードそれぞれに設定が可能です。

- ・ I/O Read => 「PCI State Control Register : PCI Read Mode for I/O」
- ・ Memory Read => 「PCI State Control Register : PCI Read Mode for Memory」

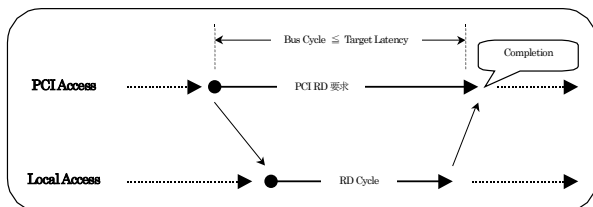


Figure5-7 : PCI Read Mode ディセーブル時の PCI アクセス

#### ● ディセーブル設定

PCI からのリード要求は、ターゲット・レイテンシ範囲内でローカル側からデータが読み出されるまで待ちます。ターゲット・レイテンシ範囲内でリードデータの準備ができないときは、リトライ処理を行い Delayed RD へ移行します。

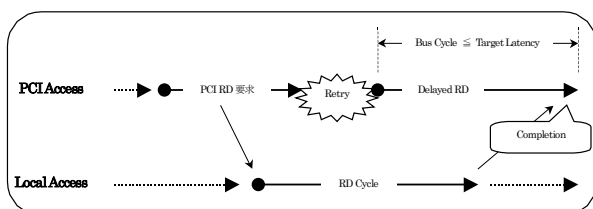


Figure5-8 : PCI Read Mode イネーブル時の PCI アクセス

#### ● イネーブル設定

PCI からのリード要求は、直ちにリトライ処理が行われ Delayed RD に移行します。再アクセスによる Delayed RD は、ターゲット・レイテンシ範囲内でローカル側からデータが読み出されるまで待ちます。

#### 5-3-2. PCI ライト・モード

PCI からライト要求があった場合のバス動作を制御します。

I/O ライトおよびメモリ・ライトそれぞれに設定が可能です。

- ・ I/O Write => 「PCI State Control Register : PCI Write Mode for I/O」
- ・ Memory Write => 「PCI State Control Register : PCI Write Mode for Memory」

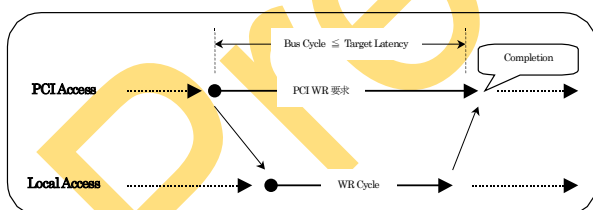


Figure5-9 : PCI Write Mode ディセーブル時の PCI アクセス

#### ● ディセーブル設定

PCI からのライト要求は、Direct WR 時、ターゲット・レイテンシ範囲内でローカル側へデータが書き込まれるまで待ちます。ターゲット・レイテンシ範囲内でバス・サイクルの完了処理ができないときは、リトライ処理を行い Delayed WR へ移行します。なお、Posted WR のときは、ポストッド・バッファまたは内部管理 TAG の空き領域が無い場合、リトライ処理を施しますが続くライト要求は新規アクセスとして取り扱われます。

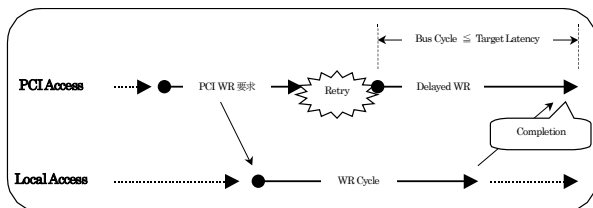


Figure5-10 : PCI Write Mode イネーブル時の PCI アクセス

#### ● イネーブル設定

PCI からのライト要求は、Direct WR 時、直ちにリトライ処理が行われ Delayed WR に移行します。再アクセスによる Delayed WR は、ターゲット・レイテンシ範囲内でバス・サイクルの完了処理ができるまで待ちます。なお、Posted WR のときは、ポストッド・バッファまたは内部管理 TAG の空き領域がある場合は、ライト・データを受け付けます。空き領域が無い場合は、直ちにリトライ処理が行われ続くライト要求は新規アクセスとして取り扱われます。

### 5-3-3. I/O アクセスとローカル・プリフェッチ制御

PCI から I/O リード/ライト要求があった場合のローカル・プリフェッチ動作を制御します。  
I/O リードおよび I/O ライトそれぞれに設定が可能です。

- I/O Read => 「PCI State Control Register : PCI I/O Read No Local Prefetch」
- I/O Write => 「PCI State Control Register : PCI I/O Write No Local Prefetch」

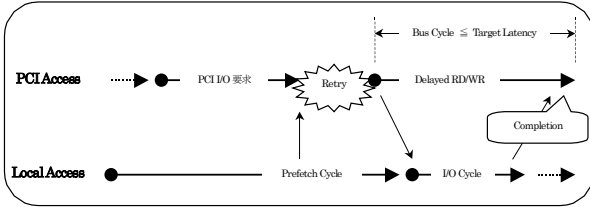


Figure5-11 : PCI I/O Read/Write No Local Prefetch (Disable)

#### ● ディセーブル設定

ローカル・プリフェッチ起動中に PCI から I/O アクセス要求が発生しても受け付けられません (リトライ応答)。ローカル側でプリフェッチ・カウント分の読み出しが終了した時点で PCI I/O アクセスが受け付けられます。プリフェッチ済みのデータは有効状態を保持します。

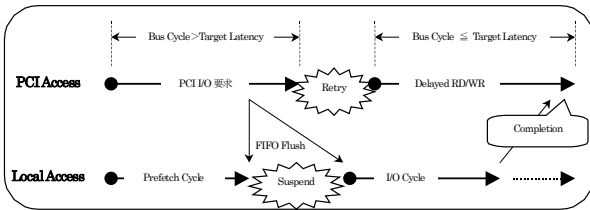


Figure5-12 : PCI I/O Read/Write No Local Prefetch (Enable)

#### ● イネーブル設定

ローカル・プリフェッチ起動中に PCI から I/O アクセス要求が発生すると、ローカル側のプリフェッチ・サイクルを中止し PCI I/O アクセスが受け付けられます。内部プリフェッチ・バッファに有効なデータが存在するときは無効化処理 (FIFO Flush/フレーム情報 TAG のクリア) が行われます。

### 5-3-4. PCI データ・パリティ・モード

PCI からのライト・データにパリティ・エラーがあった場合のデータ処理方法を選択します。  
I/O ライトおよびメモリ・ライト共通の設定です。

- Write Access => 「PCI State Control Register : PCI Data Parity Mode」
- パリティ・モードの設定によりバスのステータ・タイミングが変わります。

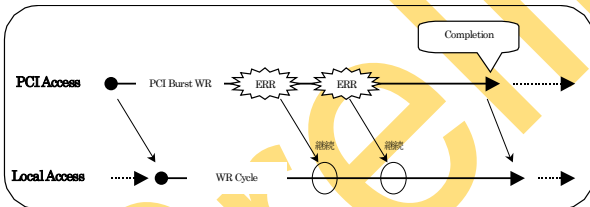


Figure5-13 : PCI Data Parity Mode (Disable)

#### ● ディセーブル設定

PCI からのライト・データにパリティ・エラーがあってもローカル側にデータが書き込まれます。ディセーブル設定では、パリティ・エラーの検出は行われなため、受け付けたライト・データは直ちにローカル制御部へ引き渡されます。

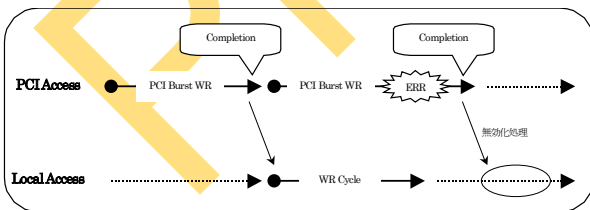


Figure5-14 : PCI Data Parity Mode (Enable)

#### ● イネーブル設定

PCI からのライト・データにパリティ・エラーがあると、そのフレーム情報の無効化処理が行われローカル側にデータは書き込まれません。イネーブル設定では、フレーム単位でパリティ・エラーの検出が行われます。このため、PCI バス・サイクルの完了または Disconnect 処理が行われるまでライト・データは PCI 制御部に保持されます。

## 5-4. バス・タイミング

### 5-4-1. 8/16Bit NonMux モード

#### 5-4-1-1. I/O リード・タイミング

##### ■ ローカル・クロック非同期モード

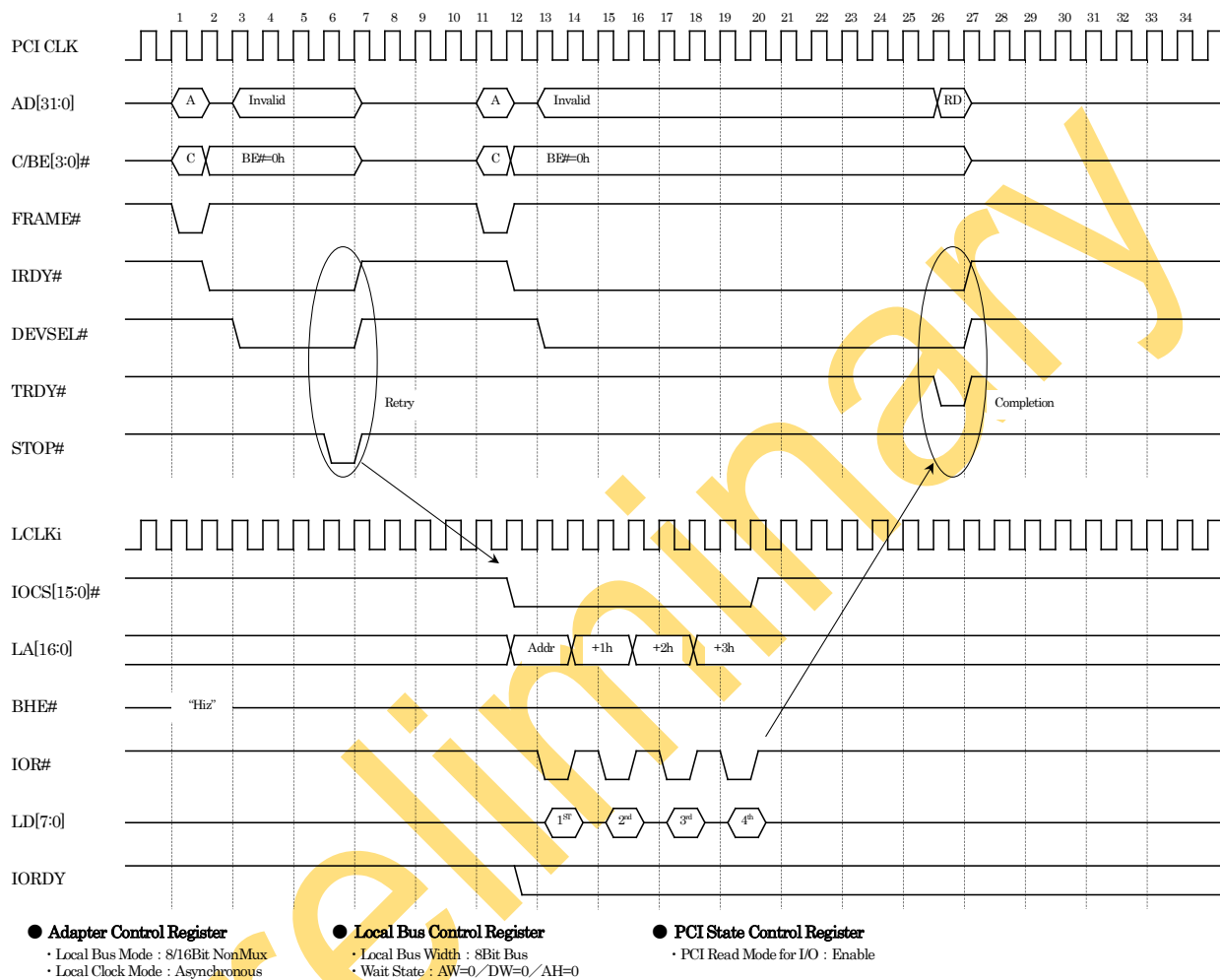


Figure5-15 : I/O リード・タイミング (Delayed RD/Local 8Bit Bus)

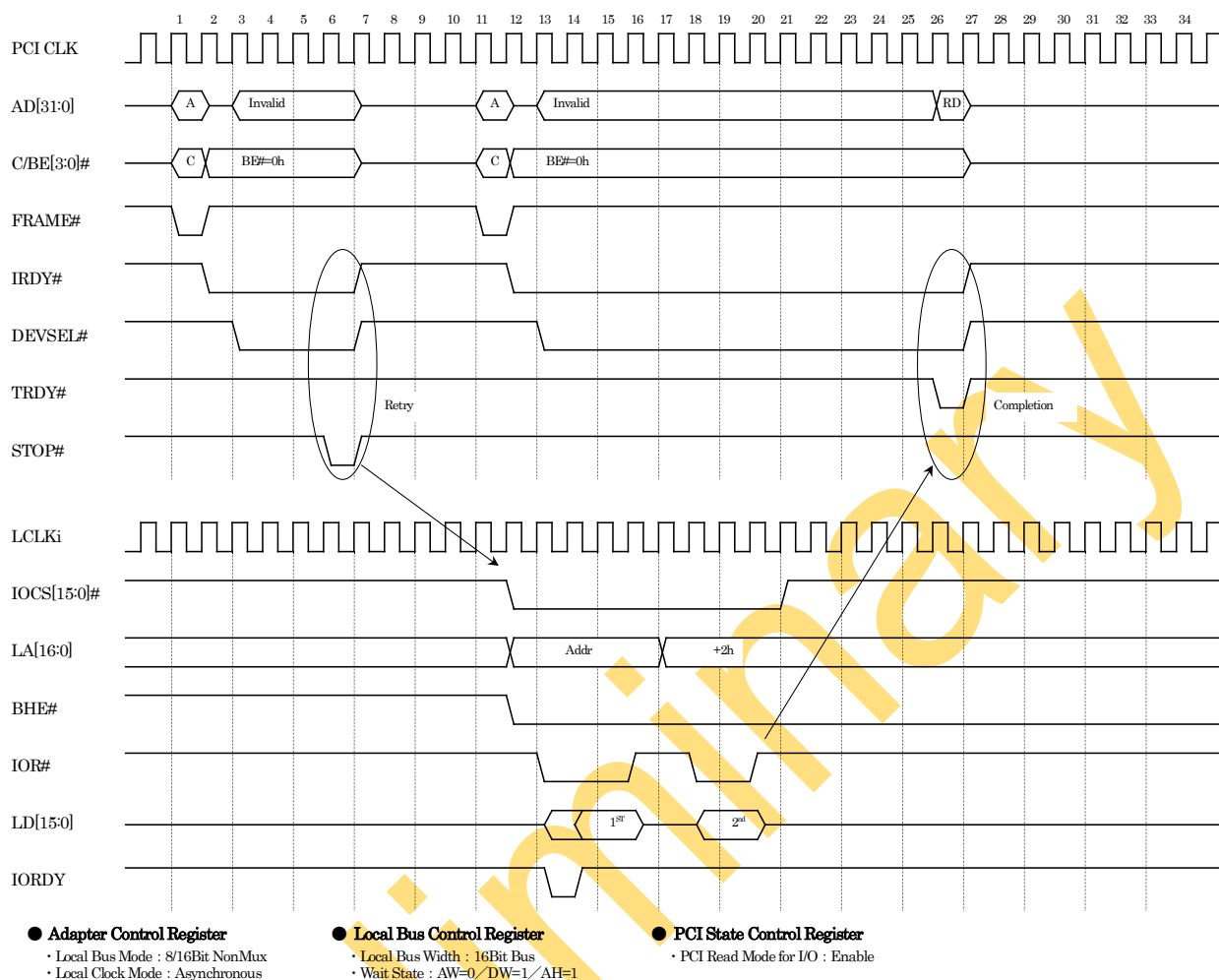


Figure5-16 : I/O リード・タイミング (Delayed RD/Local 16Bit Bus/IORDY Wait)

■ ローカル・クロック同期モード

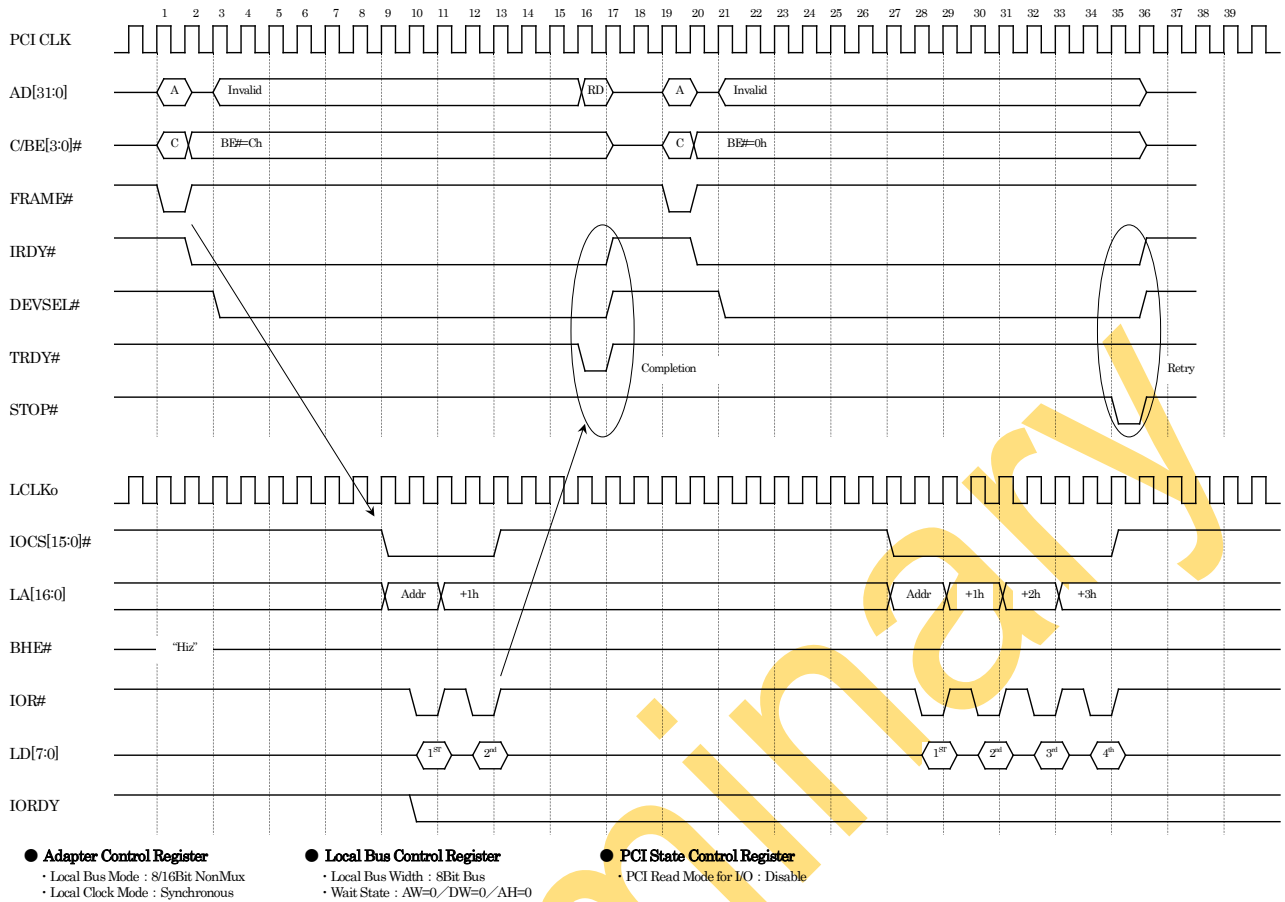


Figure5-17 : I/O リード・タイミング (Direct RD/Local 8Bit Bus)

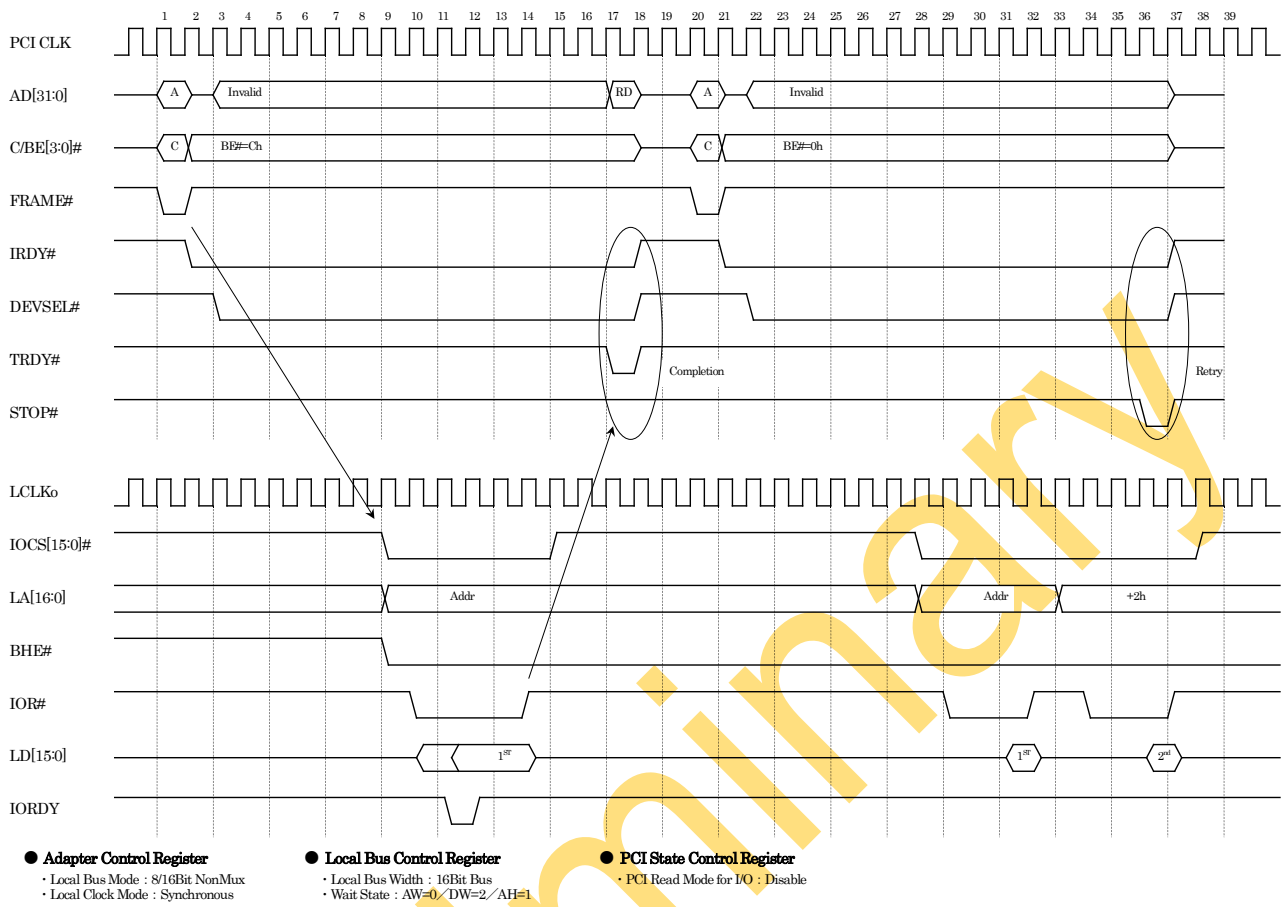


Figure5-18 : I/O リード・タイミング (Direct RD/Local 16Bit Bus)



## 5-4-1-2. I/O ライト・タイミング

### ■ ローカル・クロック非同期モード

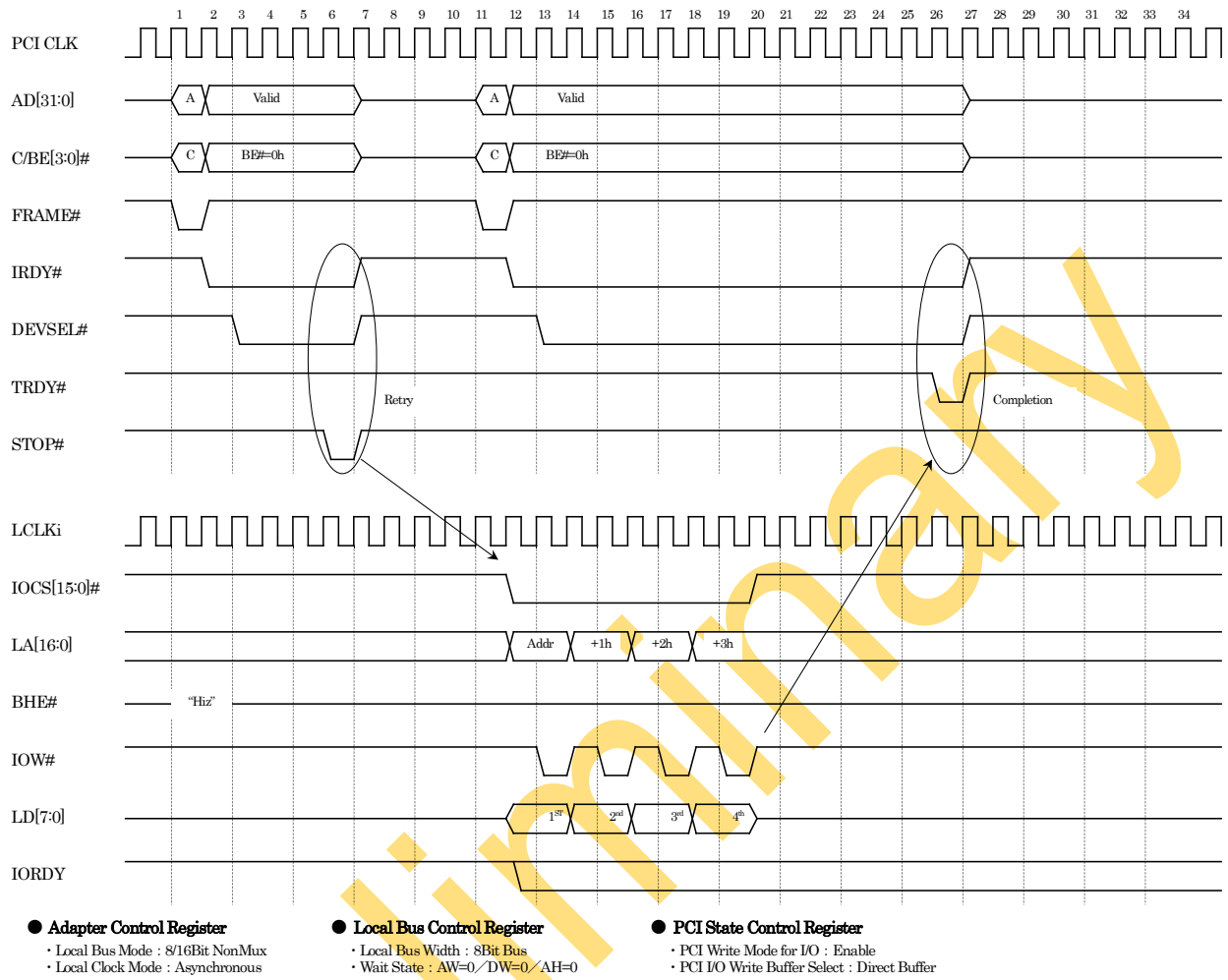


Figure5-19 : I/O ライト・タイミング (Delayed WR/Local 8Bit Bus)

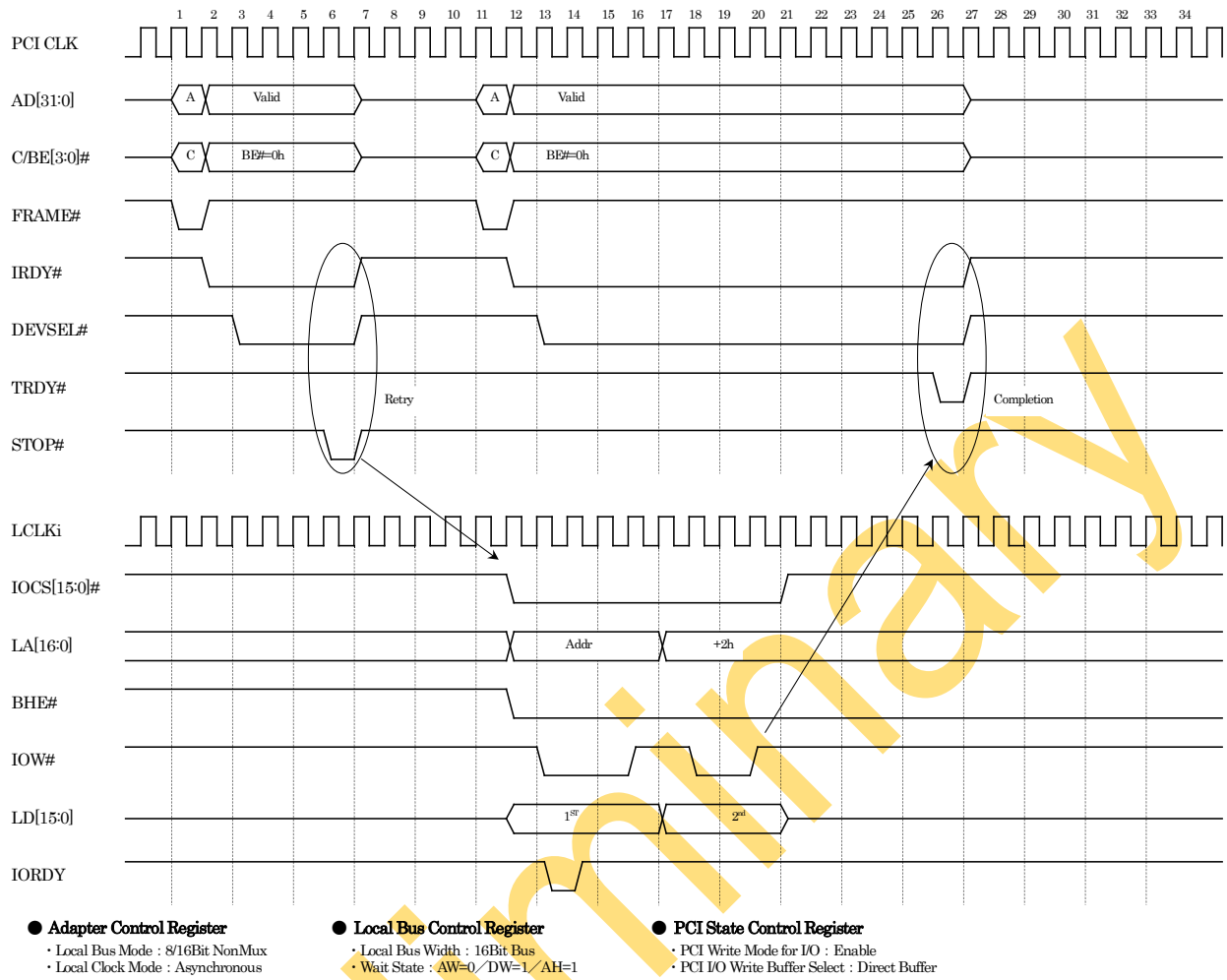


Figure5-20 : I/O ライト・タイミング (Delayed WR/Local 16Bit Bus/IORDY Wait)

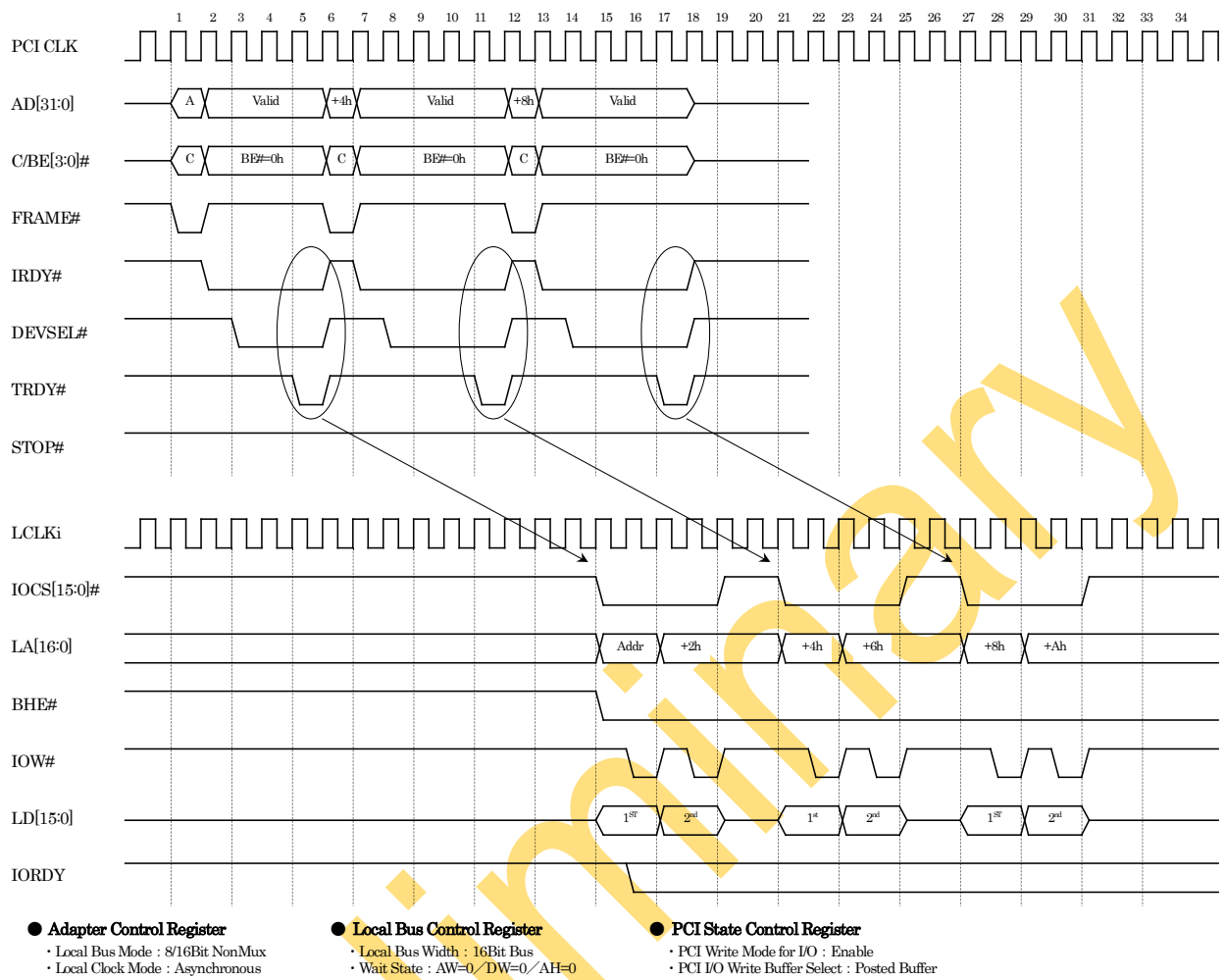


Figure5-21 : I/O ライト・タイミング (Fast Back to Back/Posted WR/Local 16Bit Bus)

■ ローカル・クロック同期モード

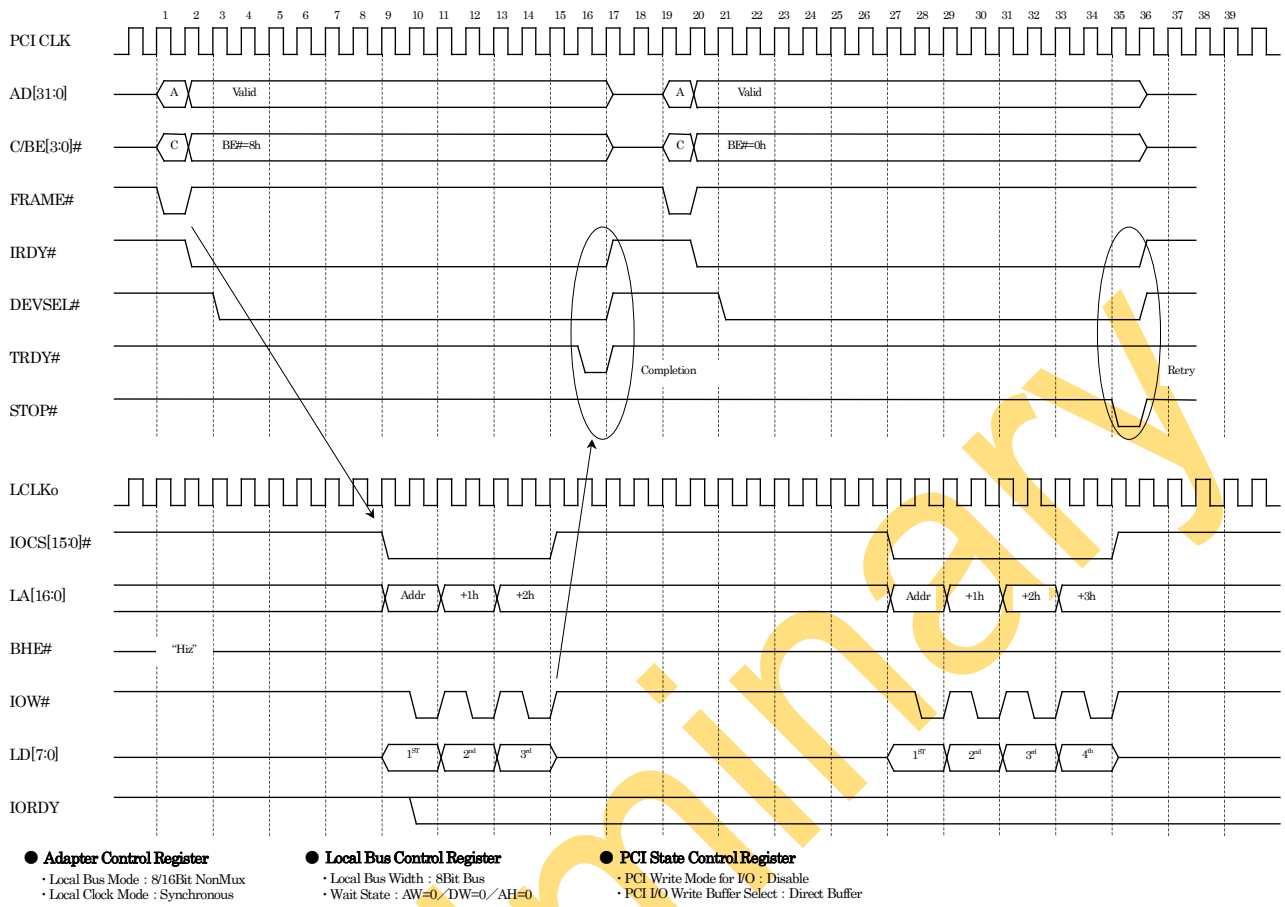


Figure5-22 : I/O ライト・タイミング (Direct WR/Local 8Bit Bus)

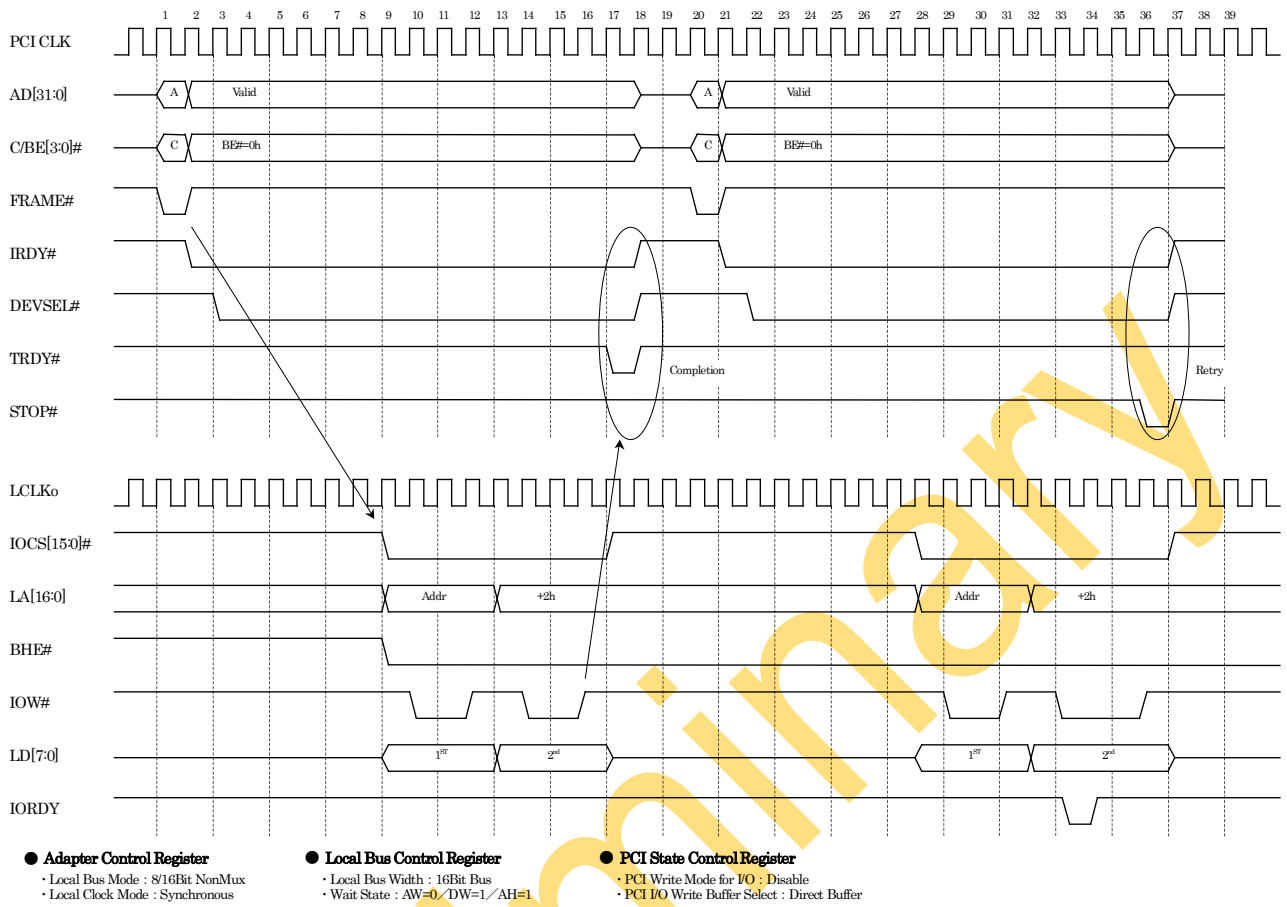
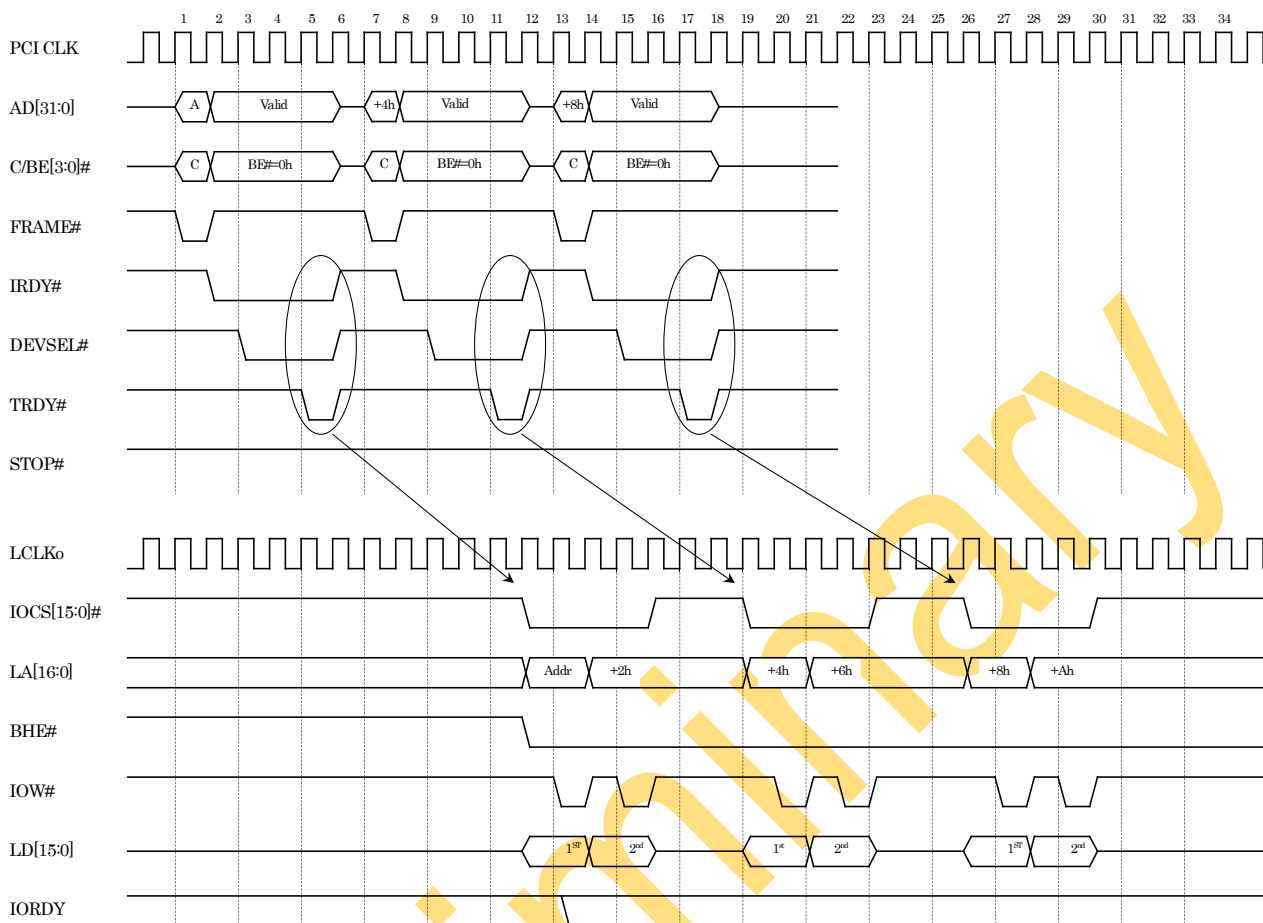


Figure5-23 : I/O ライト・タイミング (Direct WR/Local 16Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0/DW=0/AH=0

- **PCI State Control Register**
  - PCI Write Mode for I/O : Disable
  - PCI I/O Write Buffer Select : Posted Buffer

Figure5-24 : I/O ライト・タイミング (Posted WR/Local 16Bit Bus)

### 5-4-1-3. メモリ・リード・タイミング

シングル・アクセス時の Direct RD/Delayed RD タイミングは、I/O リード・タイミングを参照ください。

#### ■ ローカル・クロック非同期モード

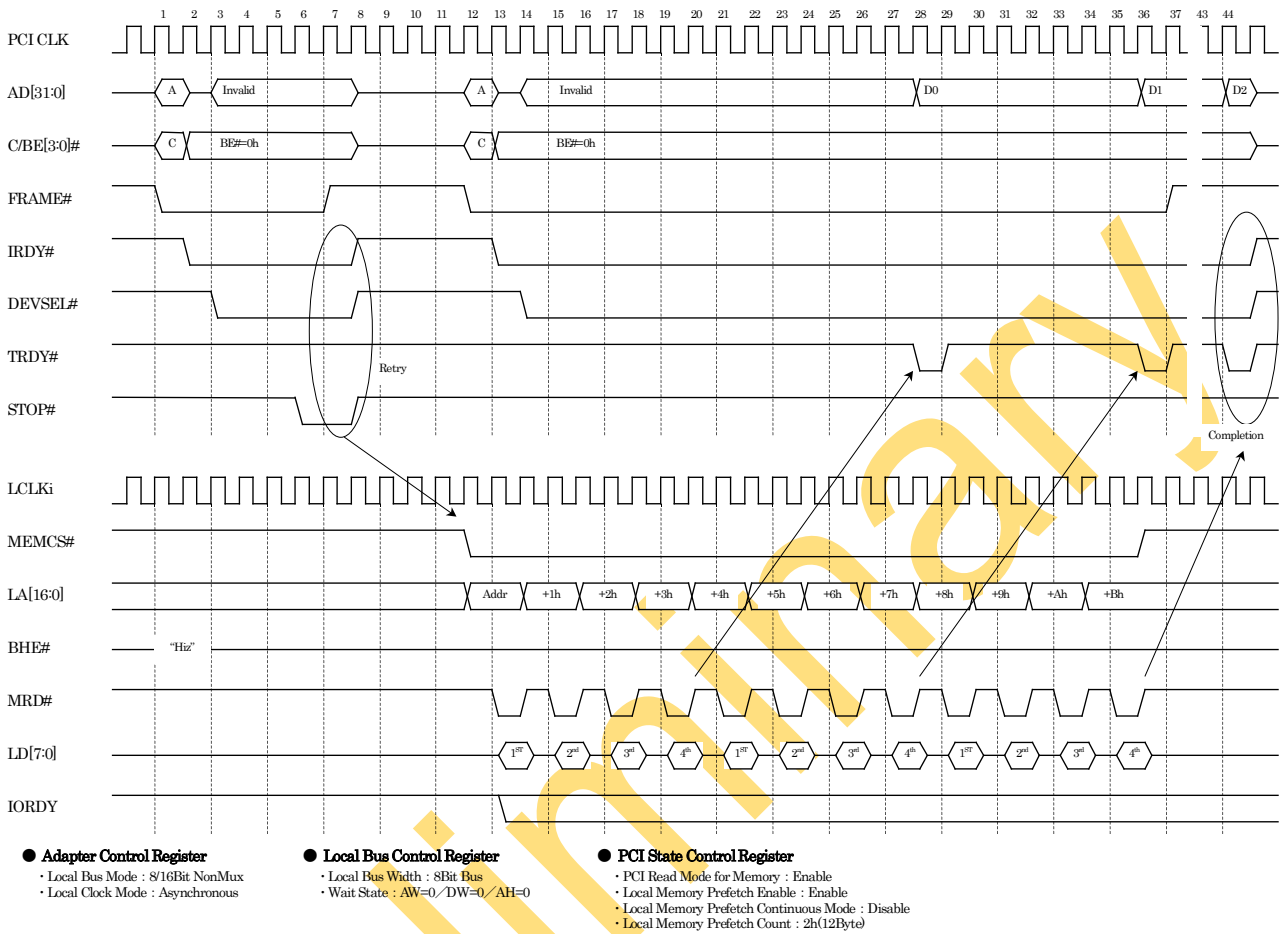


Figure5-25 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 8Bit Bus)

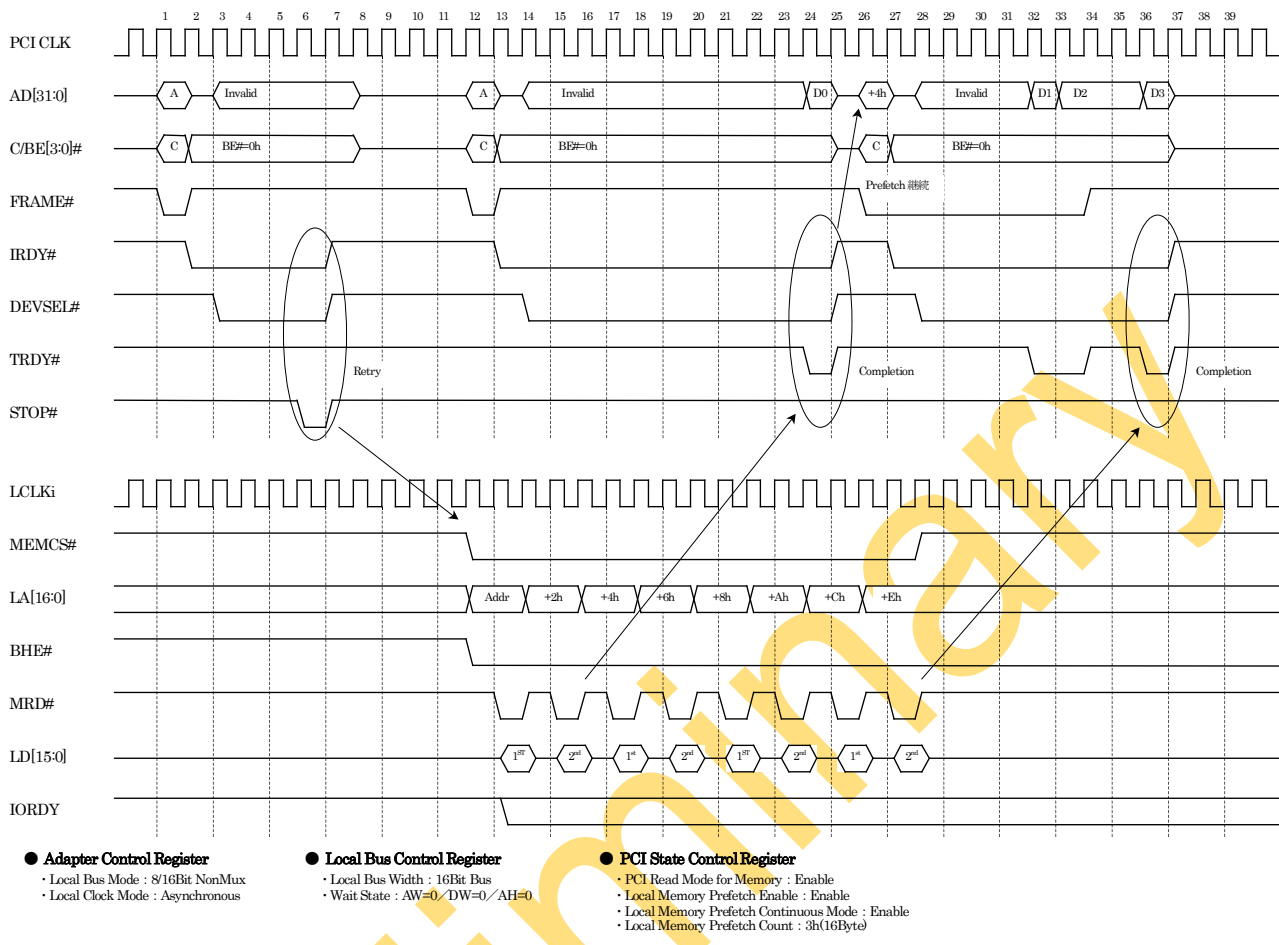


Figure5-26 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 16Bit Bus)



■ ローカル・クロック同期モード

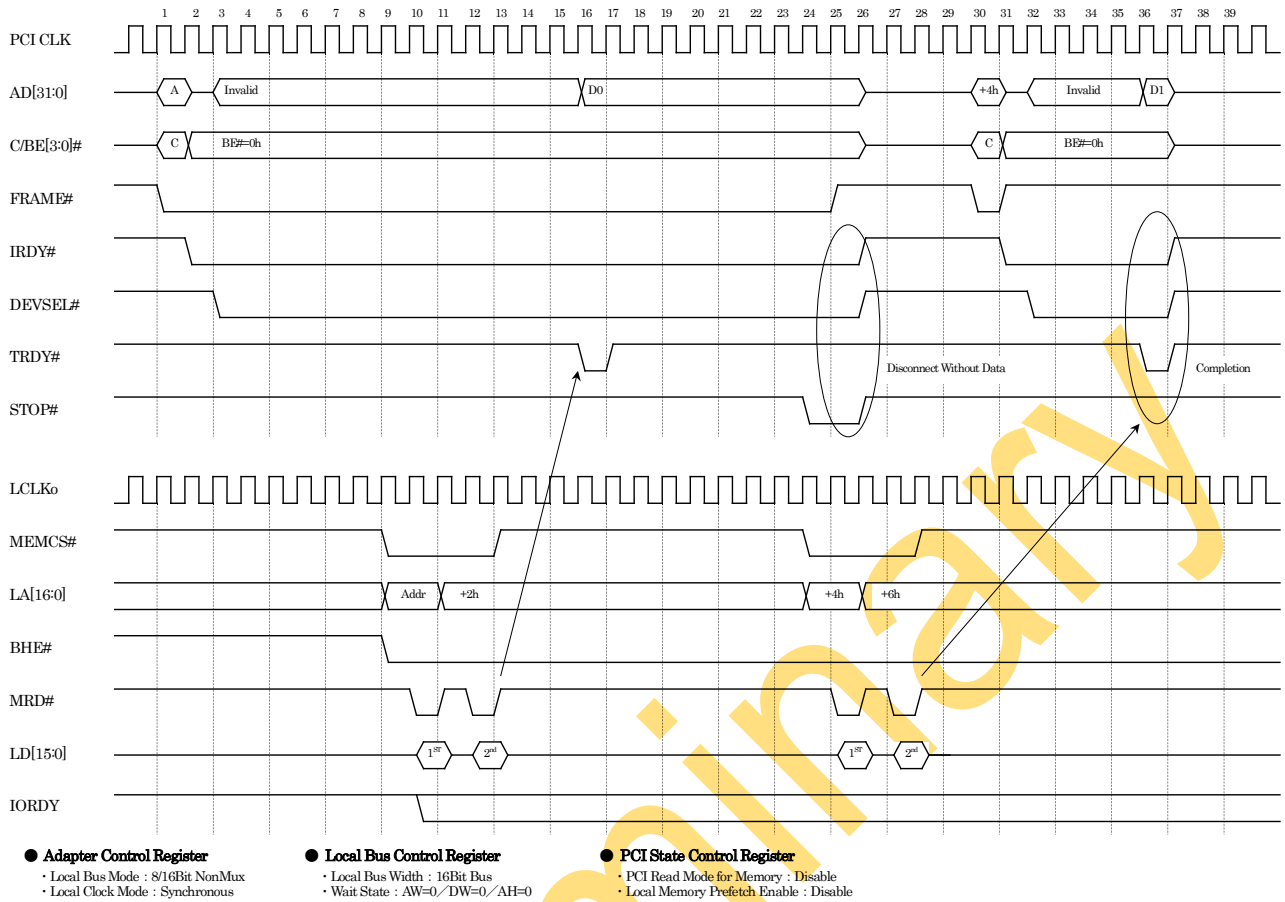


Figure5-27 : メモリ・リード・タイミング (Burst Cycle/Direct RD/Local 16Bit Bus)

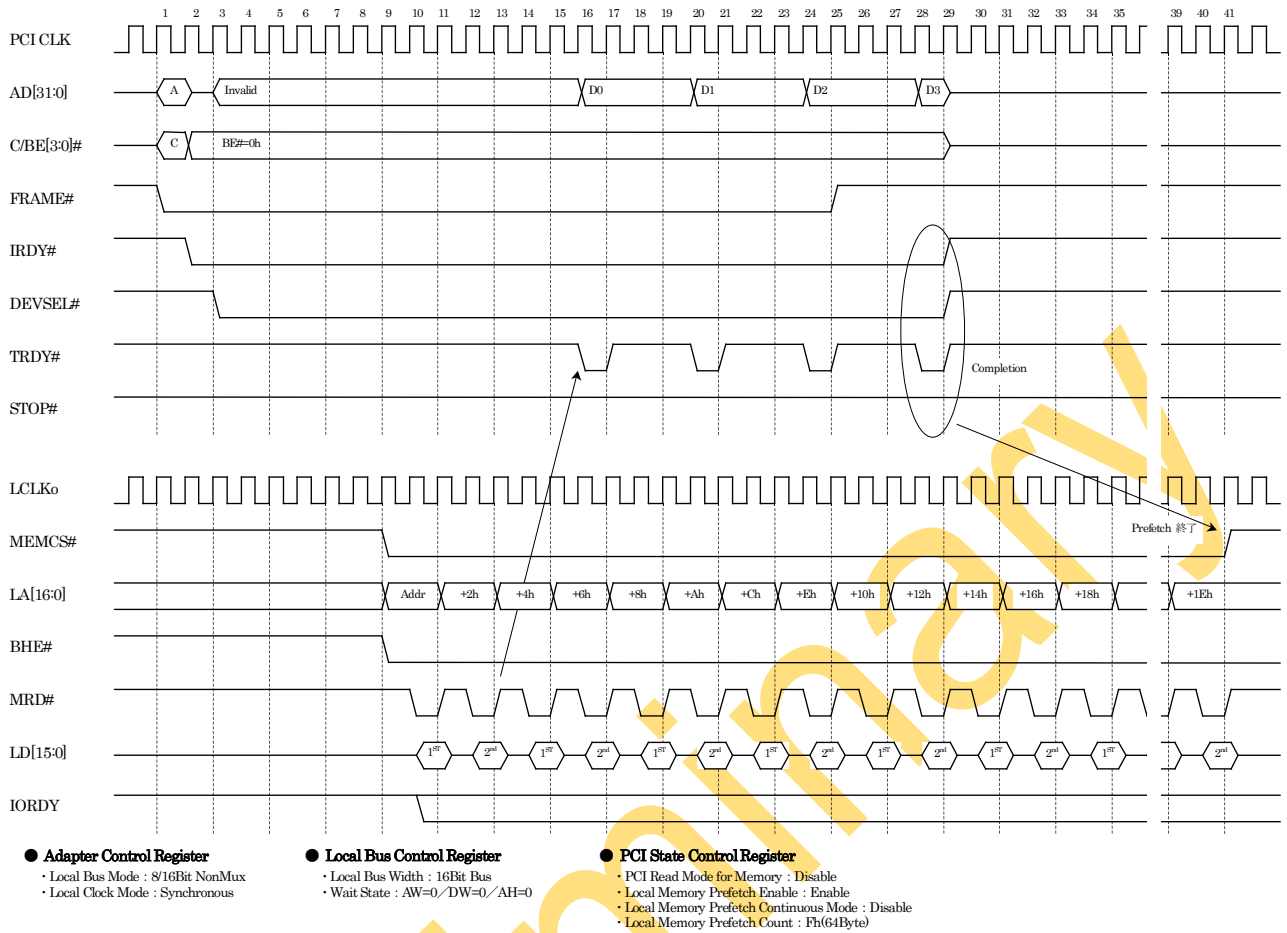


Figure5-28 : メモリ・リード・タイミング (Burst Cycle/Direct RD to Prefetch RD/Local 16Bit Bus)

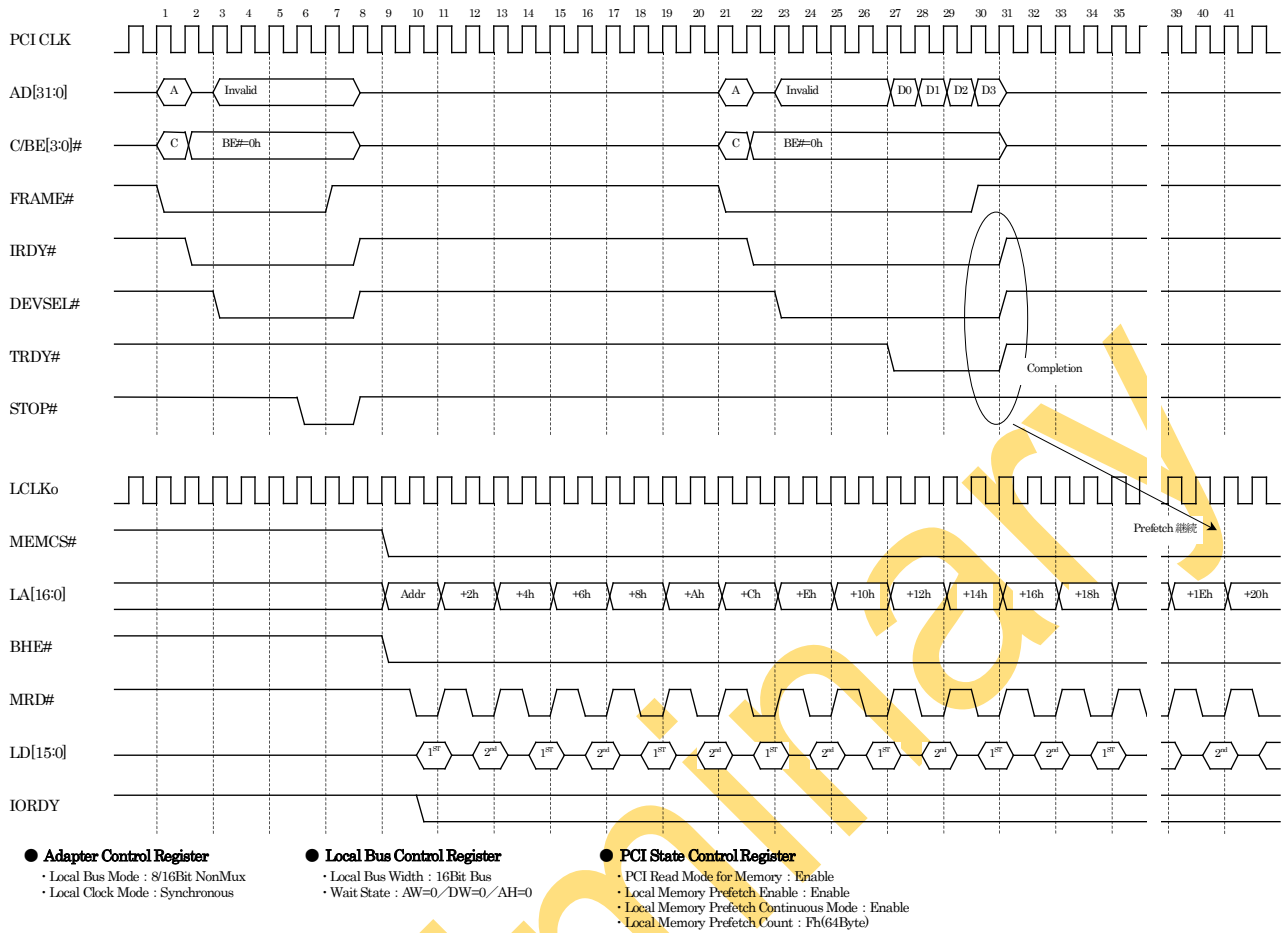


Figure5-29 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 16Bit Bus)

### 5-4-1-4. メモリ・ライト・タイミング

シングル・アクセス時の Direct WR/Delayed WR タイミングは、I/O ライト・タイミングを参照ください。

#### ■ ローカル・クロック非同期モード

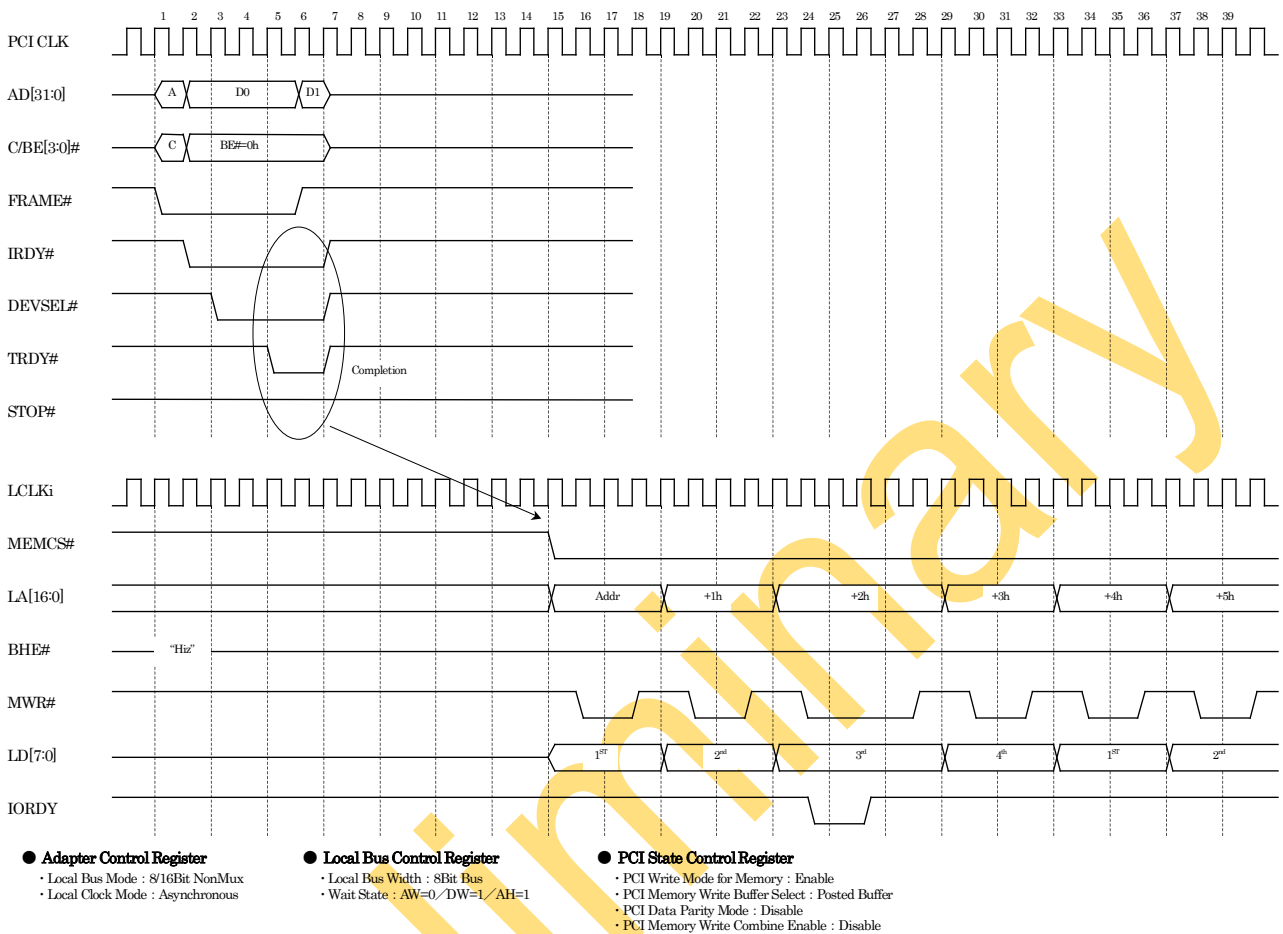
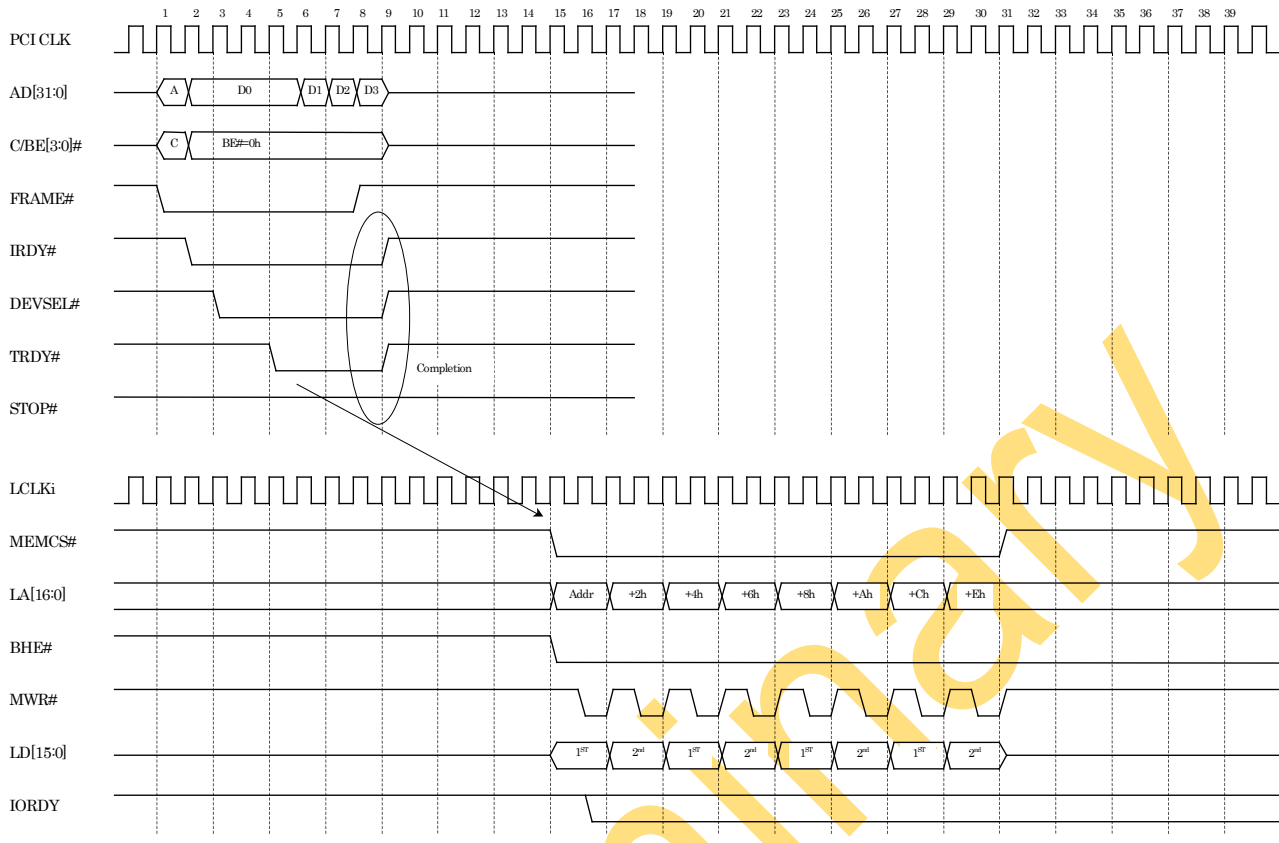


Figure5-30 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 8Bit Bus/IORDY Wait)



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0./DW=0./AH=0
- **PCI State Control Register**
  - PCI Write Mode for Memory : Enable
  - PCI Memory Write Buffer Select : Posted Buffer
  - PCI Data Parity Mode : Disable
  - PCI Memory Write Combine Enable : Disable

Figure5-31 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 16Bit Bus)

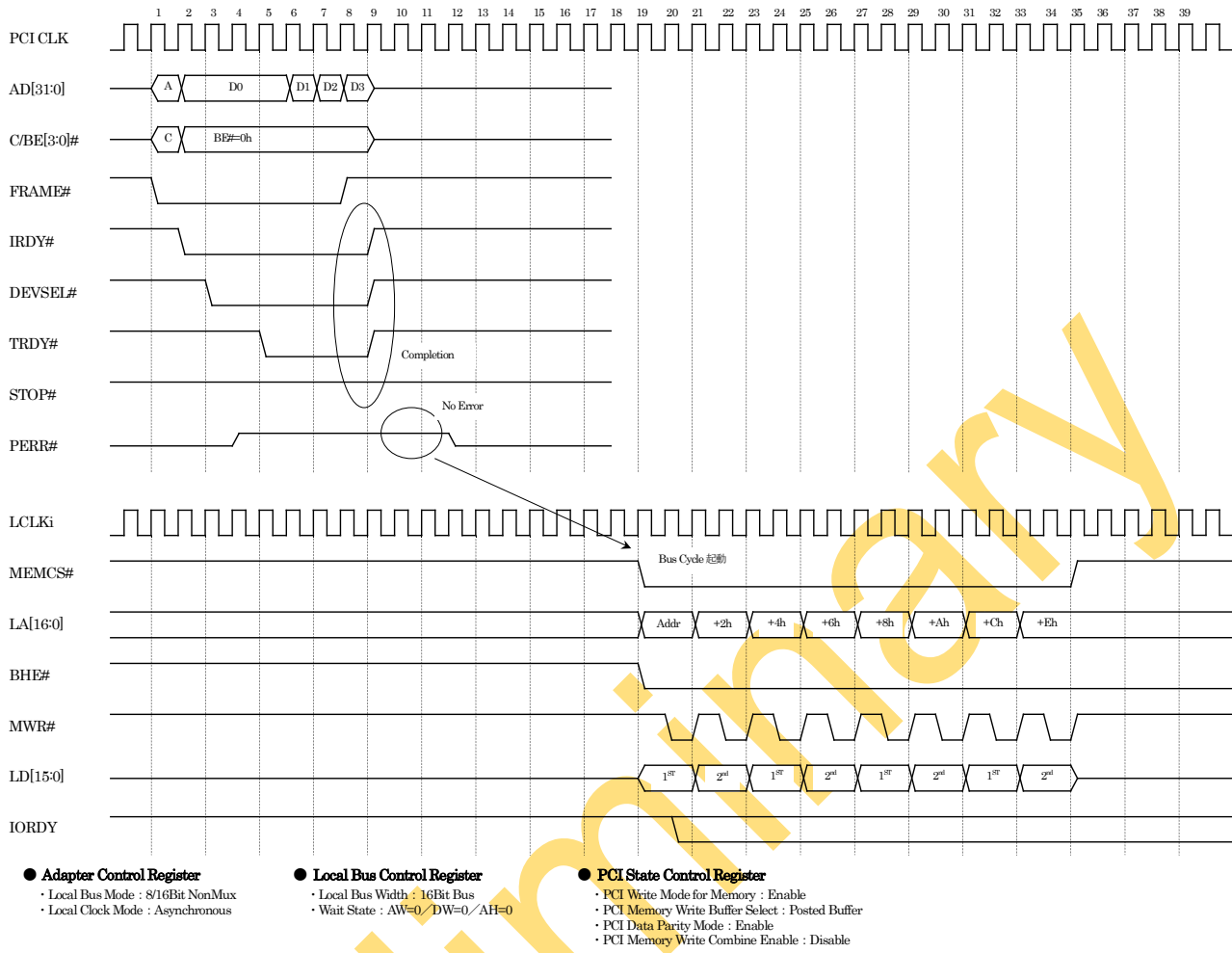


Figure5-32 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Data Parity Mode/Local 16Bit Bus)

■ ローカル・クロック同期モード

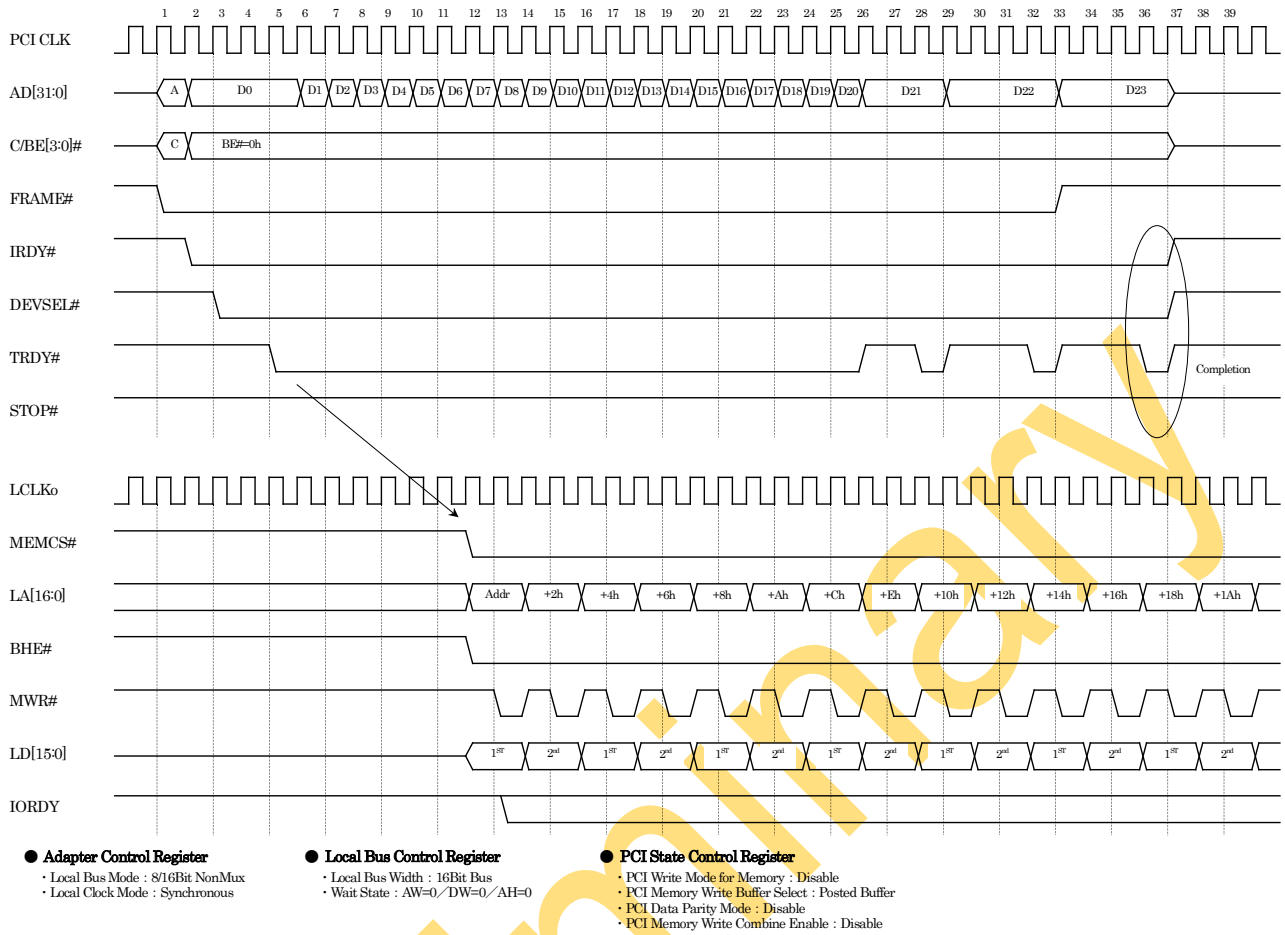


Figure5-33 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 16Bit Bus)

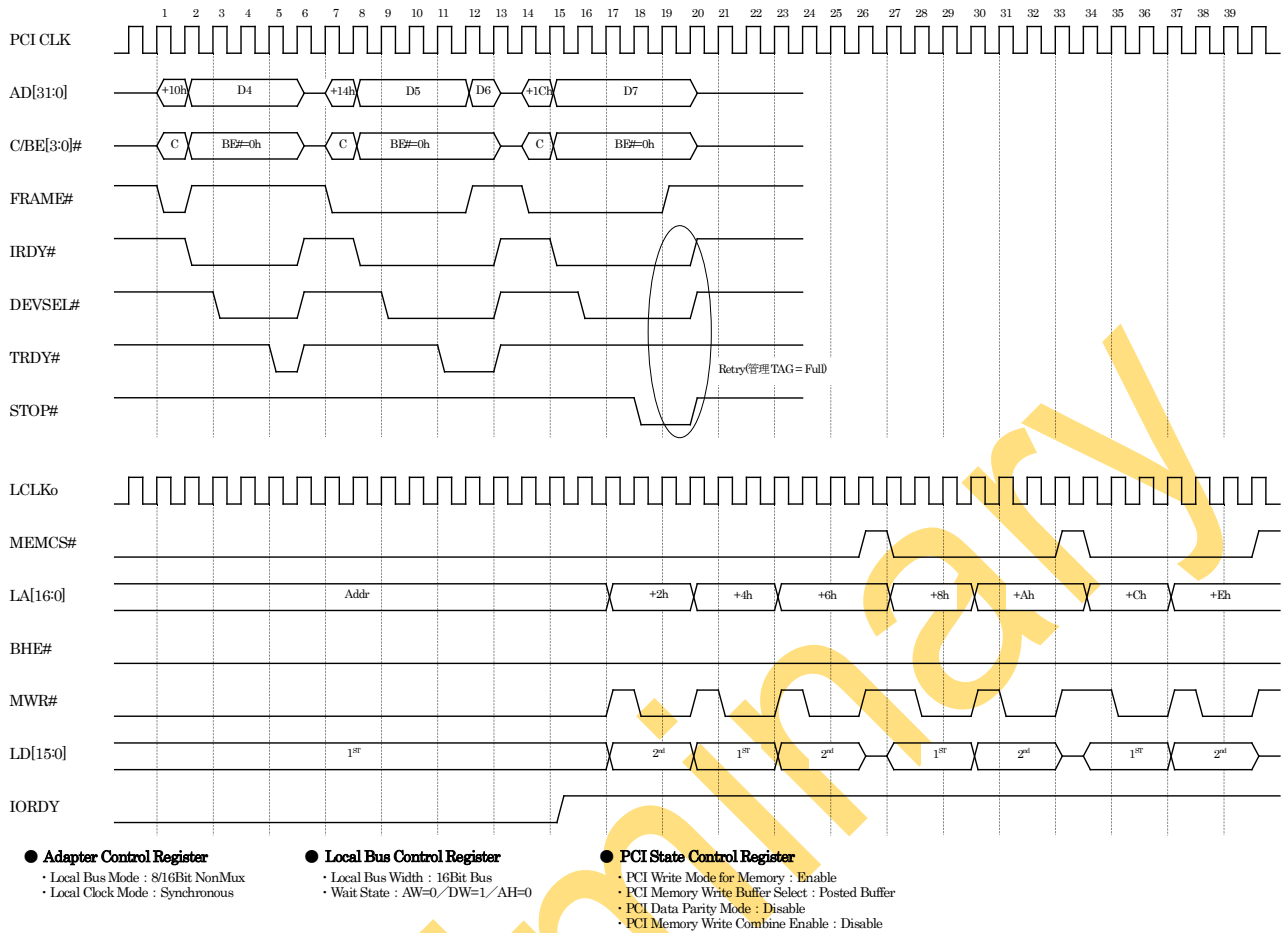


Figure5-34 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 16Bit Bus)



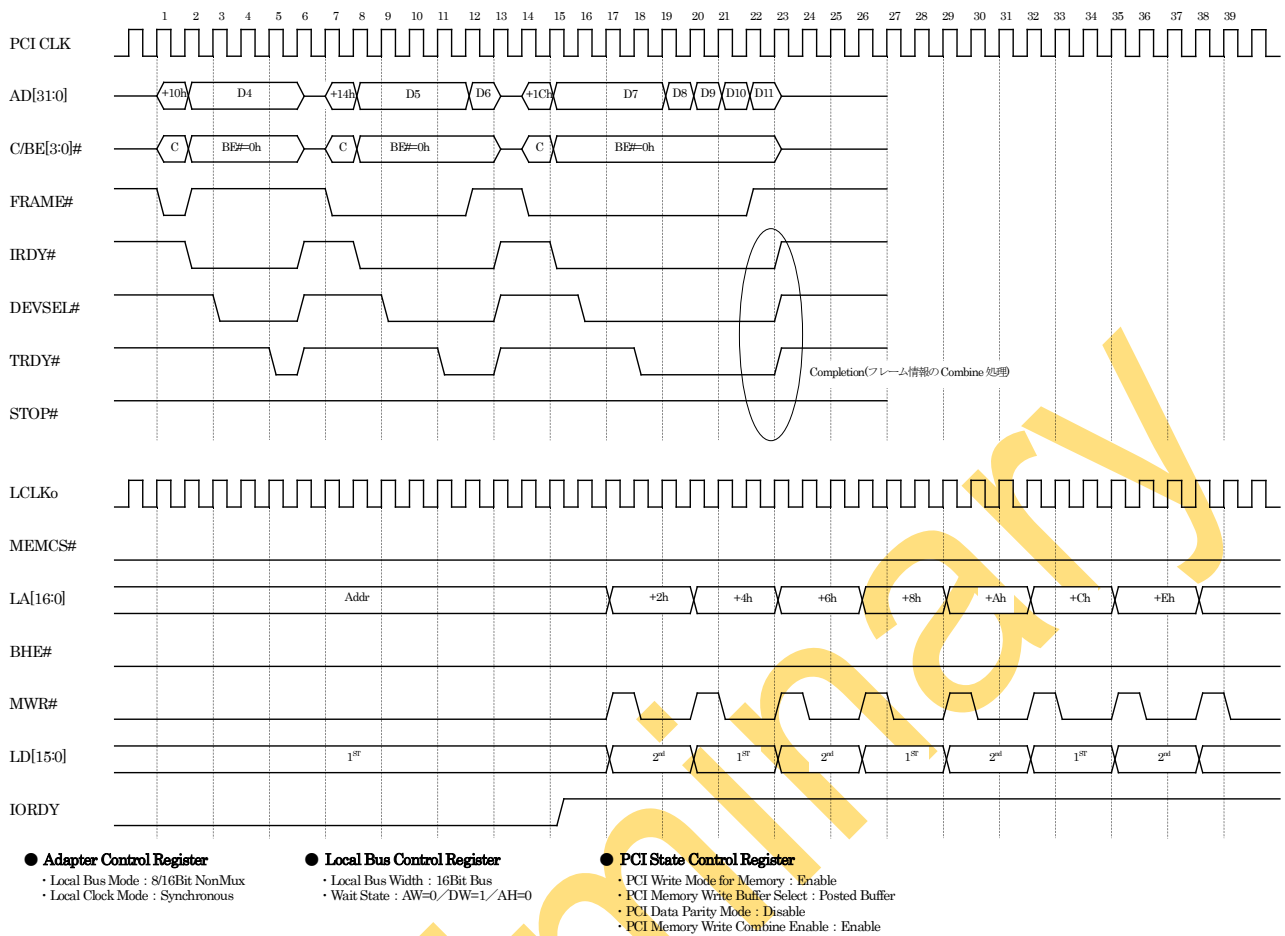


Figure5-35 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Combine/Local 16Bit Bus)

## 5-4-2. 32Bit Mux モード

### 5-4-2-1. I/O リード・タイミング

#### ■ ローカル・クロック非同期モード

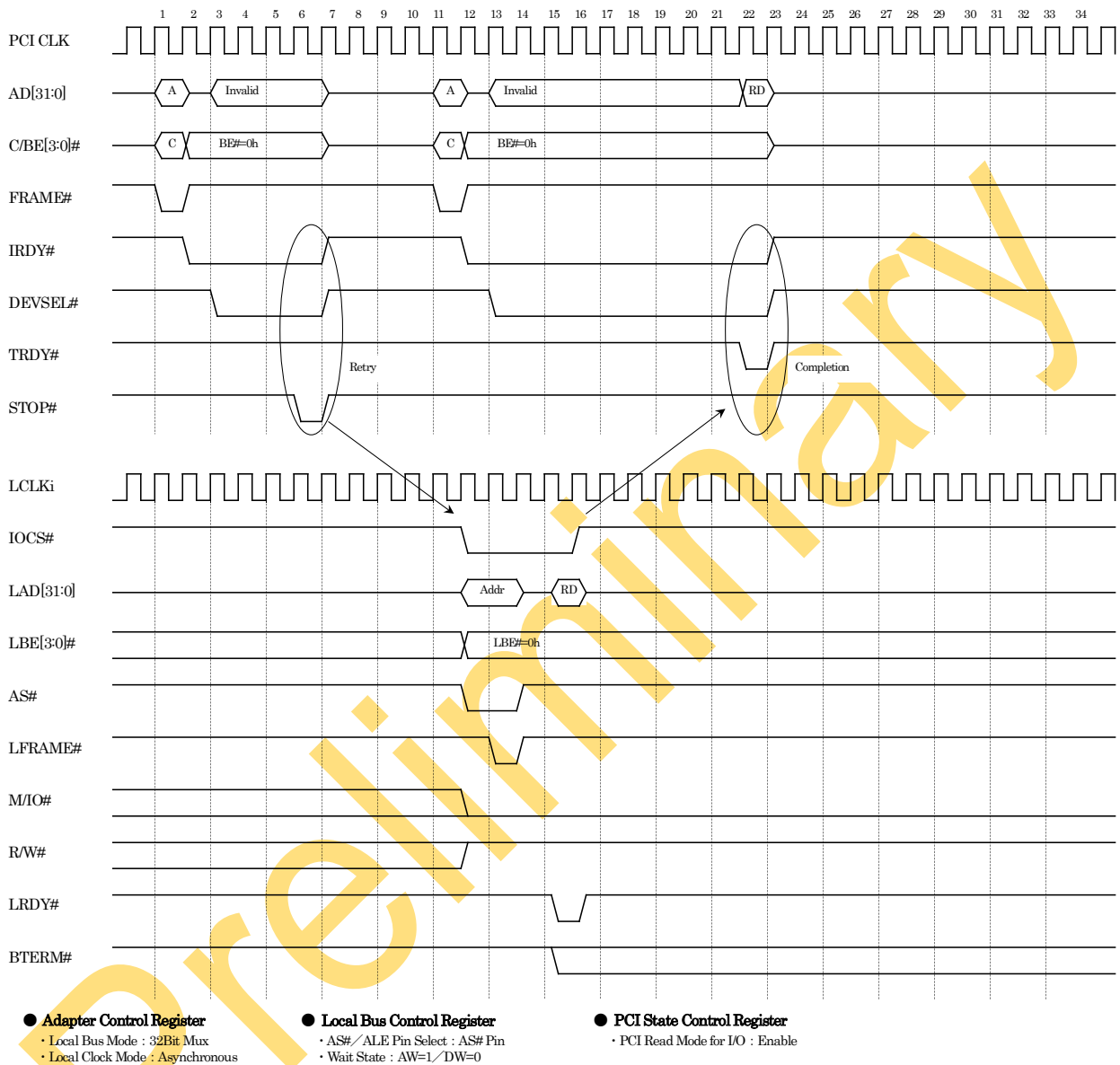


Figure5-36 : I/O リード・タイミング (Delayed RD/Local 32Bit Bus)

■ ローカル・クロック同期モード

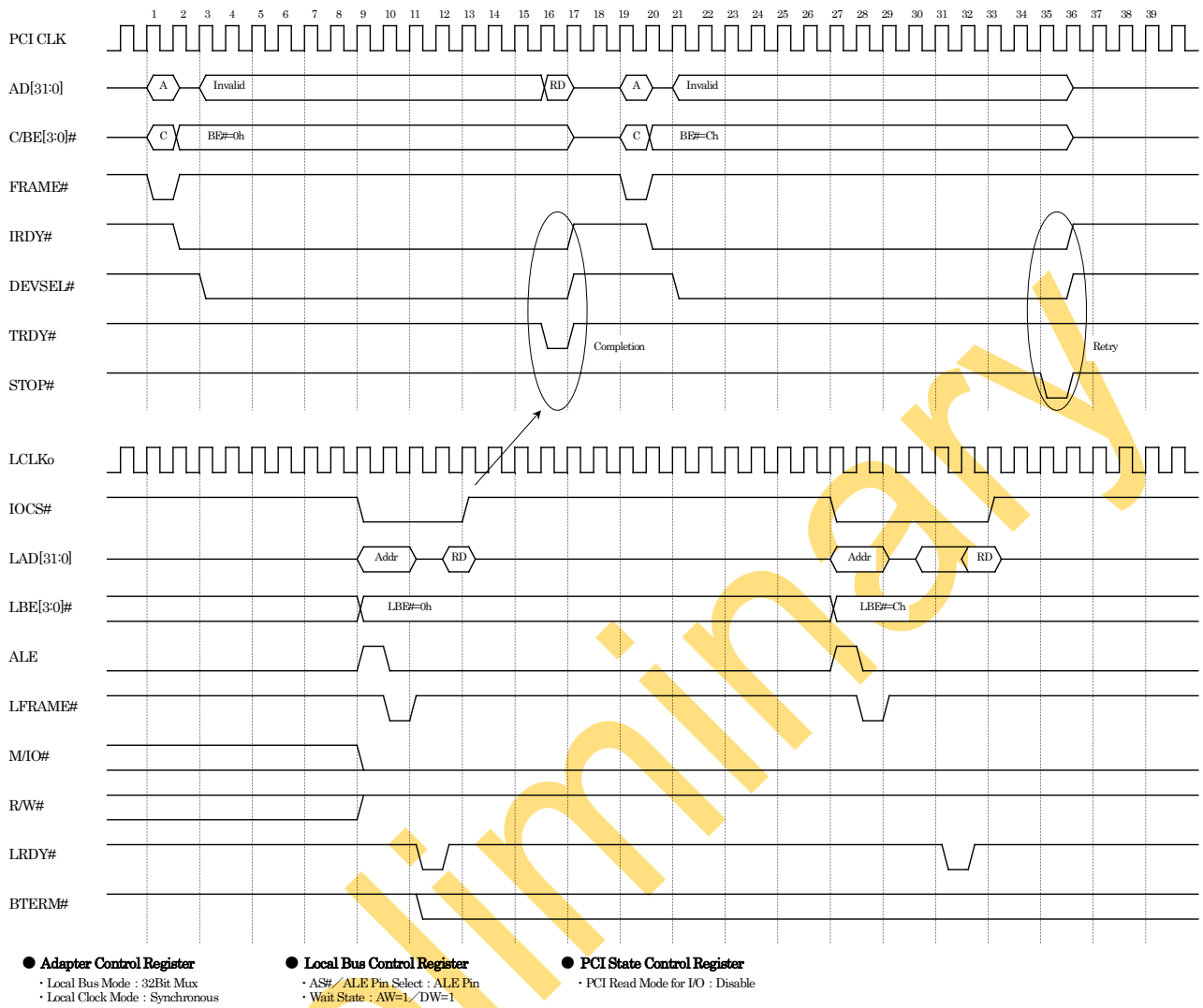


Figure5-37 : I/O リード・タイミング (Direct RD/Local 32Bit Bus)

## 5-4-2-2. I/O ライト・タイミング

### ■ ローカル・クロック非同期モード

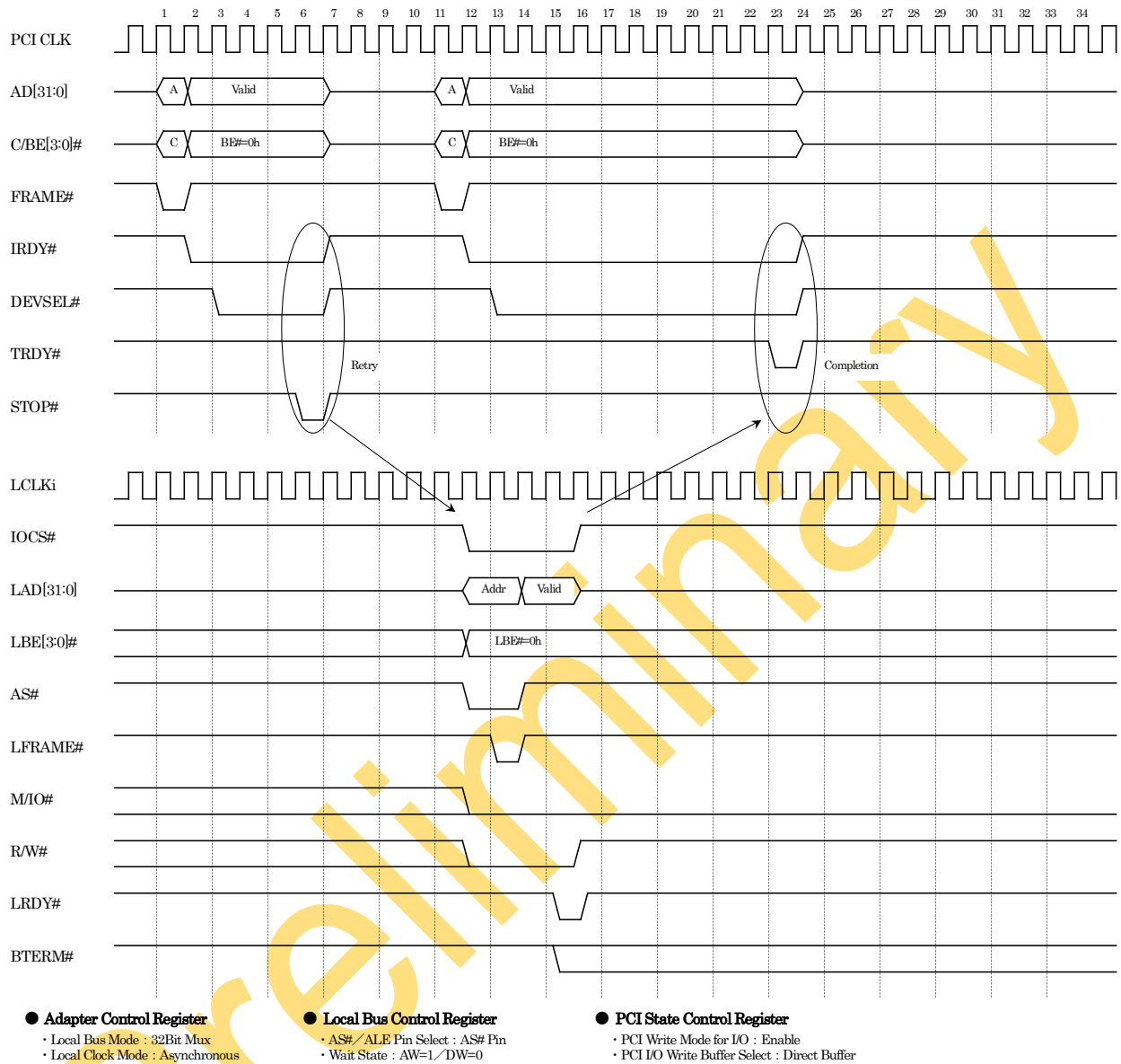


Figure5-38 : I/O ライト・タイミング (Delayed WR/Local 32Bit Bus)

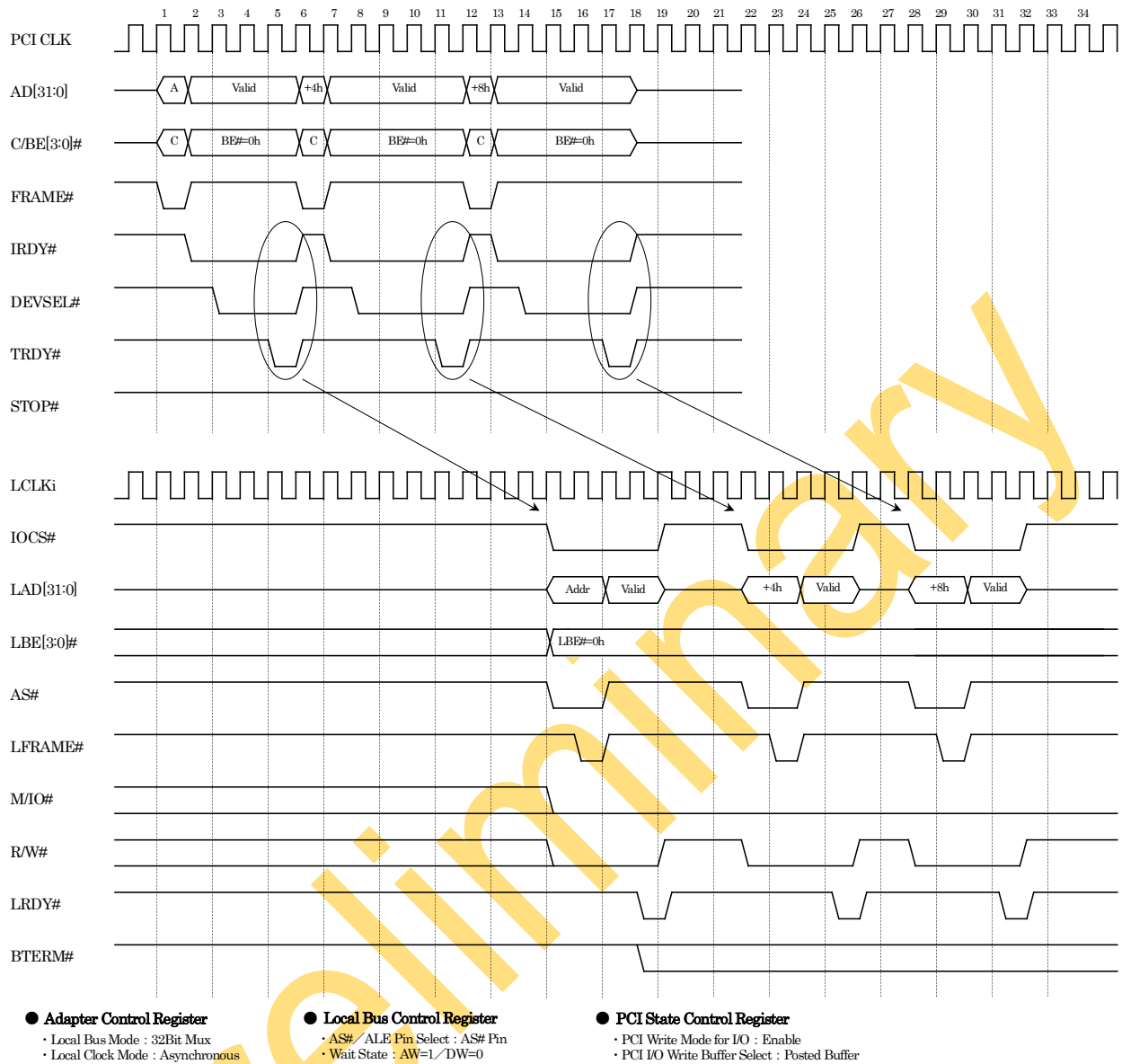


Figure5-39 : I/O ライト・タイミング (Fast Back to Back / Posted WR / Local 32Bit Bus)

■ ローカル・クロック同期モード

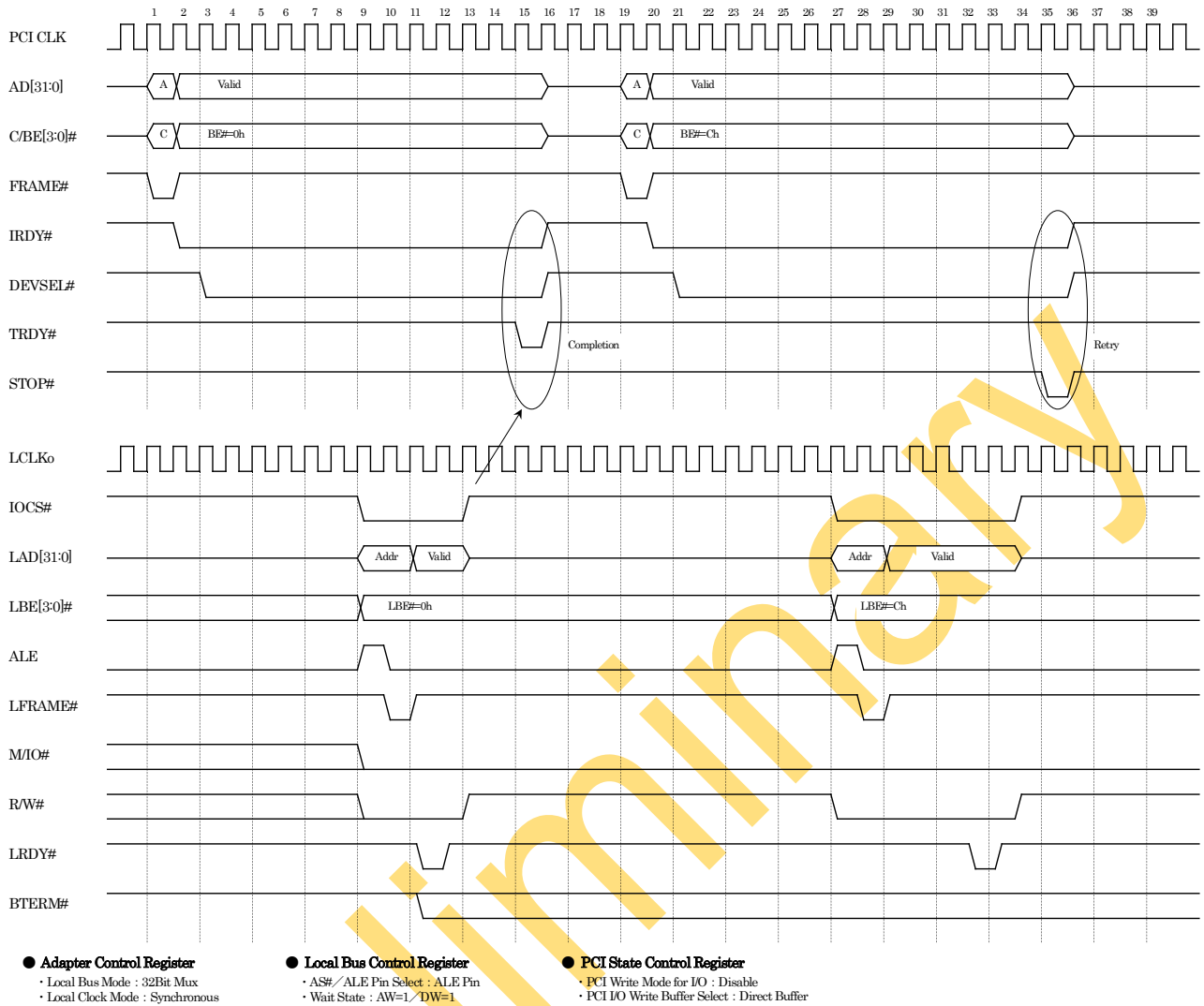


Figure5-40 : I/O ライト・タイミング (Direct WR/Local 32Bit Bus)

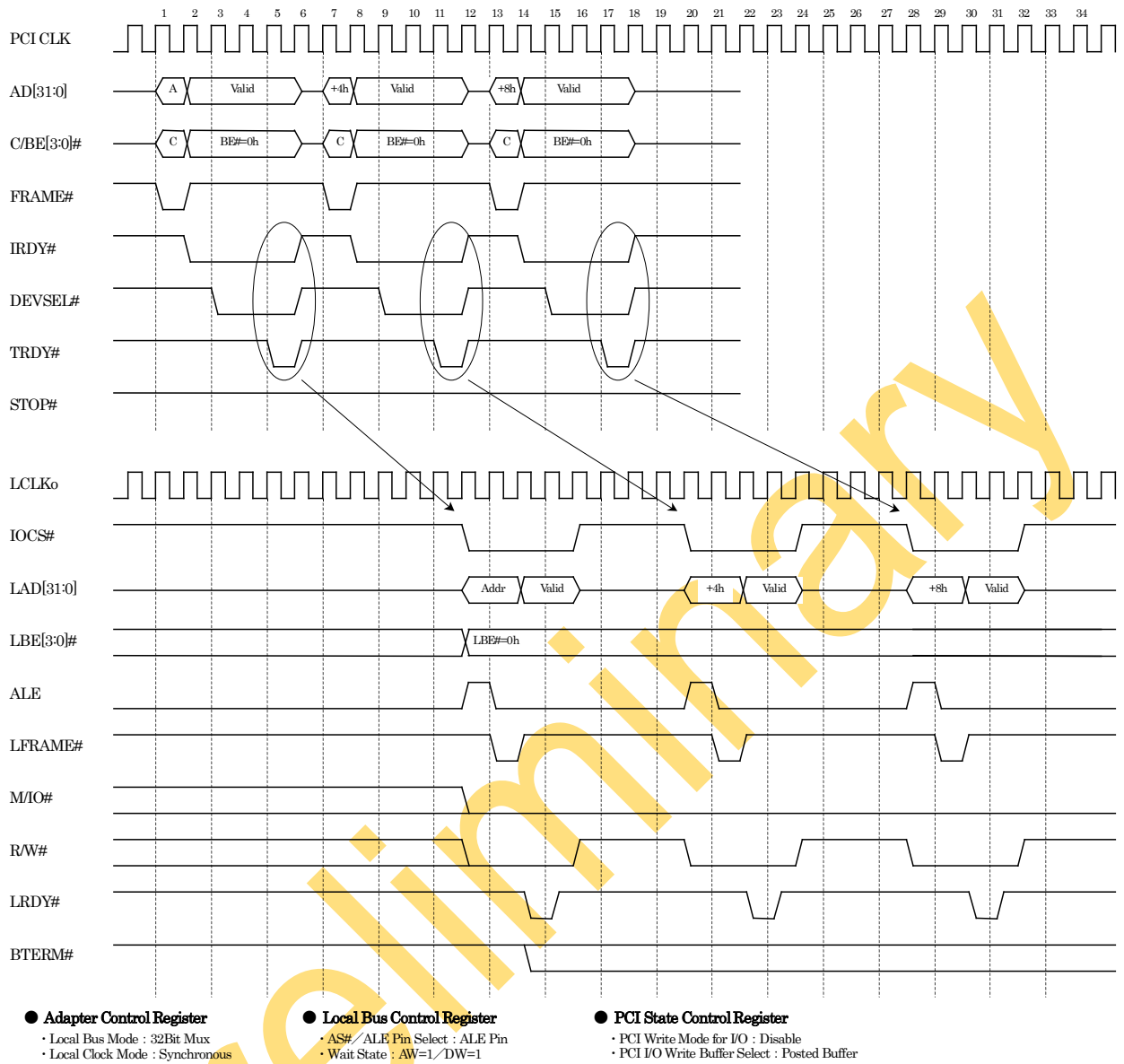


Figure5-41 : I/O ライト・タイミング (Posted WR/Local 32Bit Bus)

### 5-4-2-3. メモリ・リード・タイミング

シングル・アクセス時の Direct RD/Delayed RD タイミングは、I/O リード・タイミングを参照ください。

#### ■ ローカル・クロック非同期モード

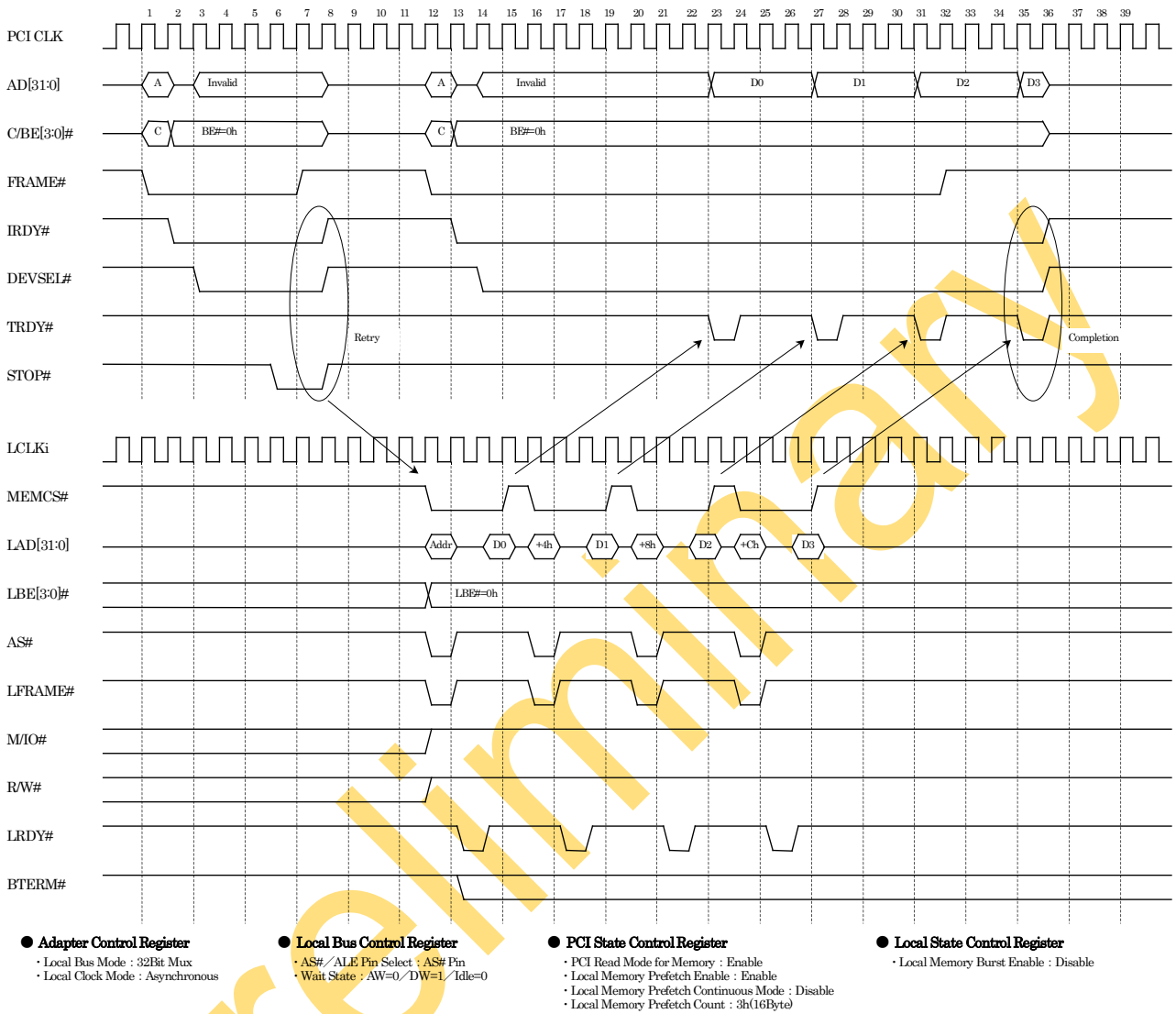
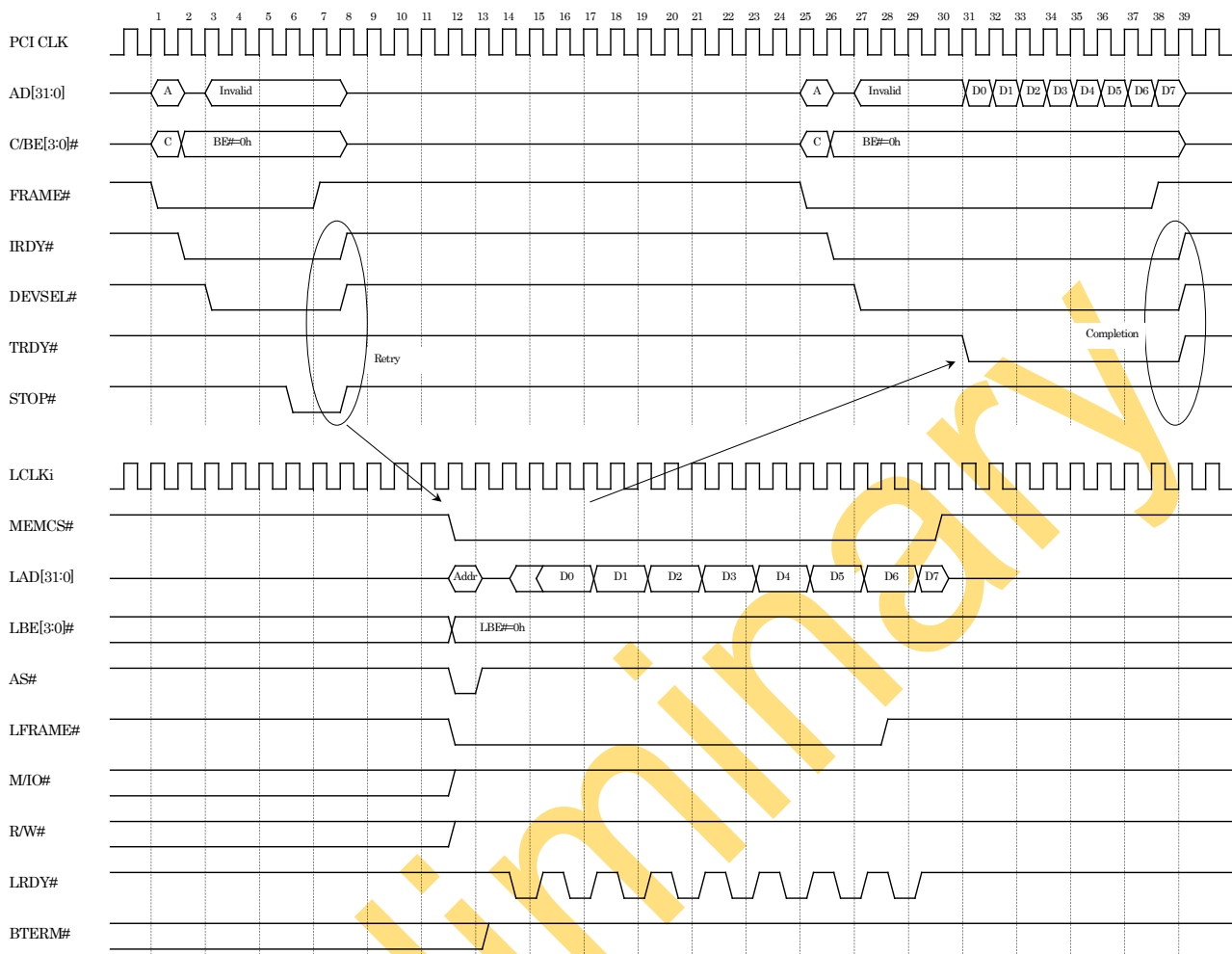


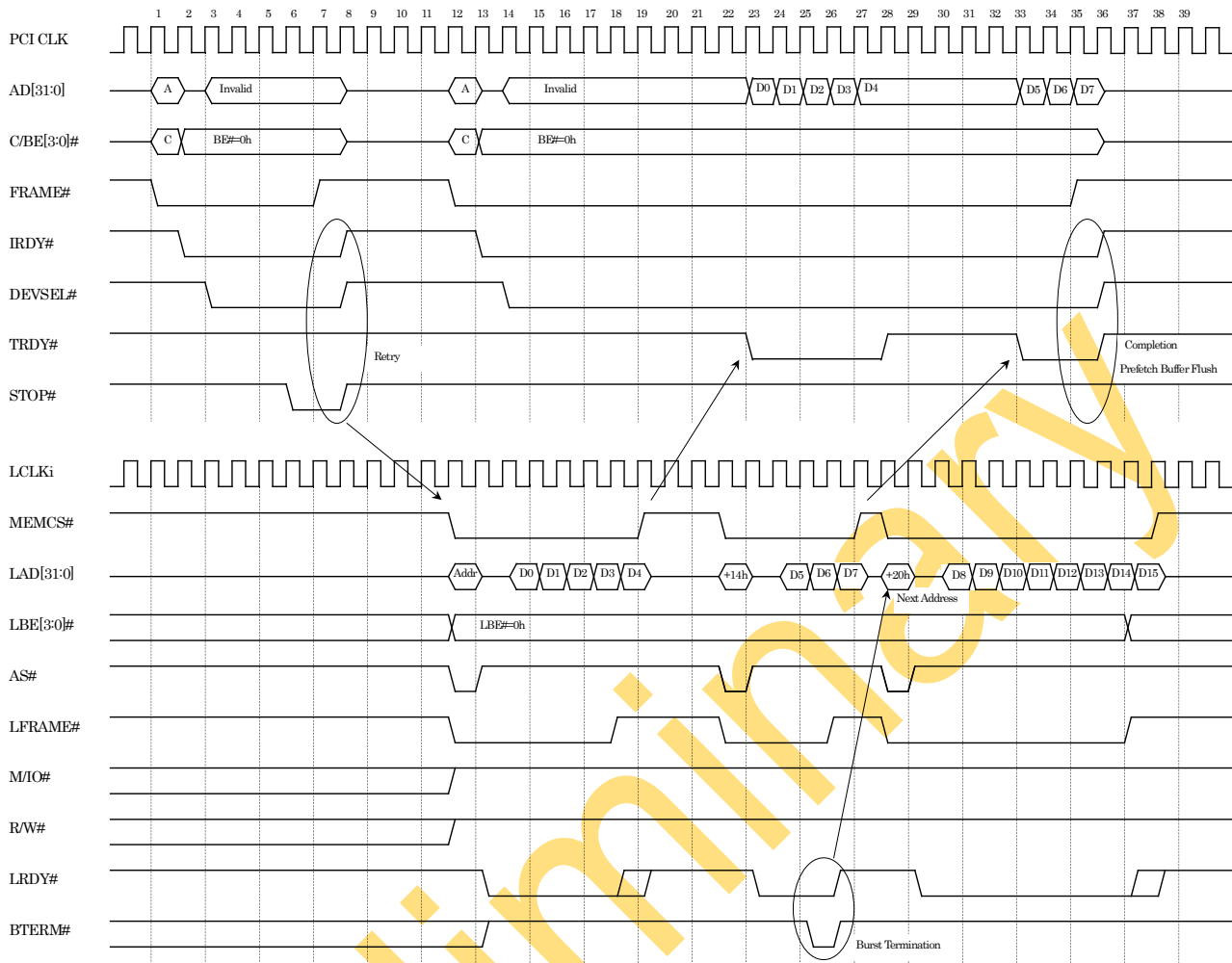
Figure5-42 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 32Bit Bus)





- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - AS#/ALE Pin Select : AS# Pin
  - Wait State : AW=0./DW=1./Idle=0
- **PCI State Control Register**
  - PCI Read Mode for Memory : Enable
  - Local Memory Prefetch Enable : Enable
  - Local Memory Prefetch Continuous Mode : Disable
  - Local Memory Prefetch Count : 7h(32Byte)
- **Local State Control Register**
  - Local Memory Burst Enable : Enable

Figure5-43 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 32Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - AS#/ALE Pin Select : AS# Pin
  - Wait State : AW=0./DW=1./Idle=0
- **PCI State Control Register**
  - PCI Read Mode for Memory : Enable
  - Local Memory Prefetch Enable : Enable
  - Local Memory Prefetch Continuous Mode : Disable
  - Local Memory Prefetch Count : Fh(64Byte)
- **Local State Control Register**
  - Local Memory Burst Enable : Enable

Figure5-44 : メモリ・リード・タイミング (Burst Cycle/Delayed RD to Prefetch RD/Local 32Bit Bus/BTERM# Control)

■ ローカル・クロック同期モード

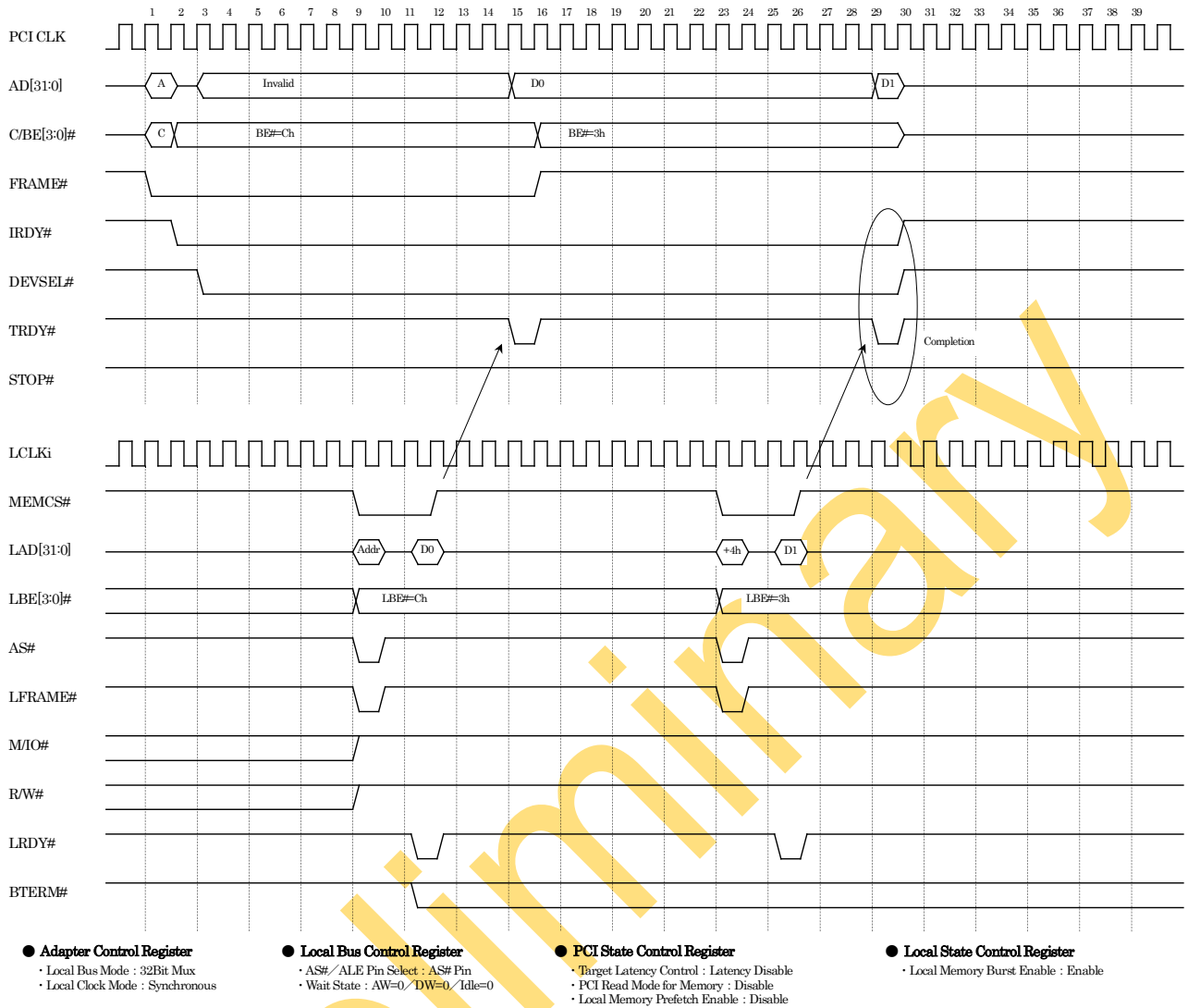
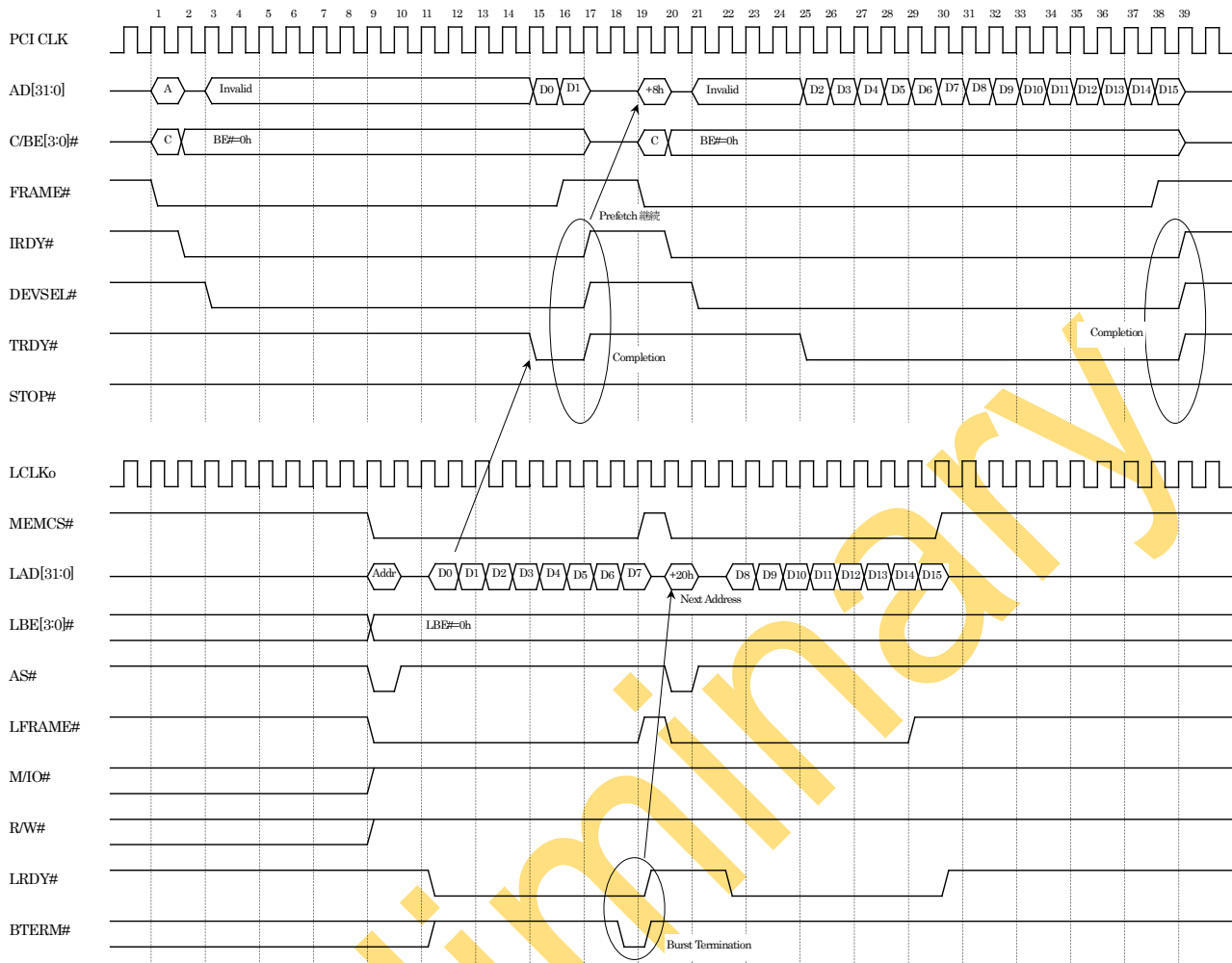


Figure5-45 : メモリ・リード・タイミング (Burst Cycle/Direct RD/Latency Disable/Local 32Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Synchronous
- **Local Bus Control Register**
  - AS#/ALE Pin Select : AS# Pin
  - Wait State : AW=0/DW=0/Idle=0
- **PCI State Control Register**
  - PCI Read Mode for Memory : Disable
  - Local Memory Prefetch Enable : Enable
  - Local Memory Prefetch Continuous Mode : Enable
  - Local Memory Prefetch Count : Fh(64Byte)
- **Local State Control Register**
  - Local Memory Burst Enable : Enable

Figure5-46 : メモリ・リード・タイミング (Burst Cycle/Direct RD to Prefetch RD/Local 32Bit Bus/BTERM# Control)

### 5-4-2-4. メモリ・ライト・タイミング

シングル・アクセス時の Direct WR/Delayed WR タイミングは、I/O ライト・タイミングを参照ください。

#### ■ ローカル・クロック非同期モード

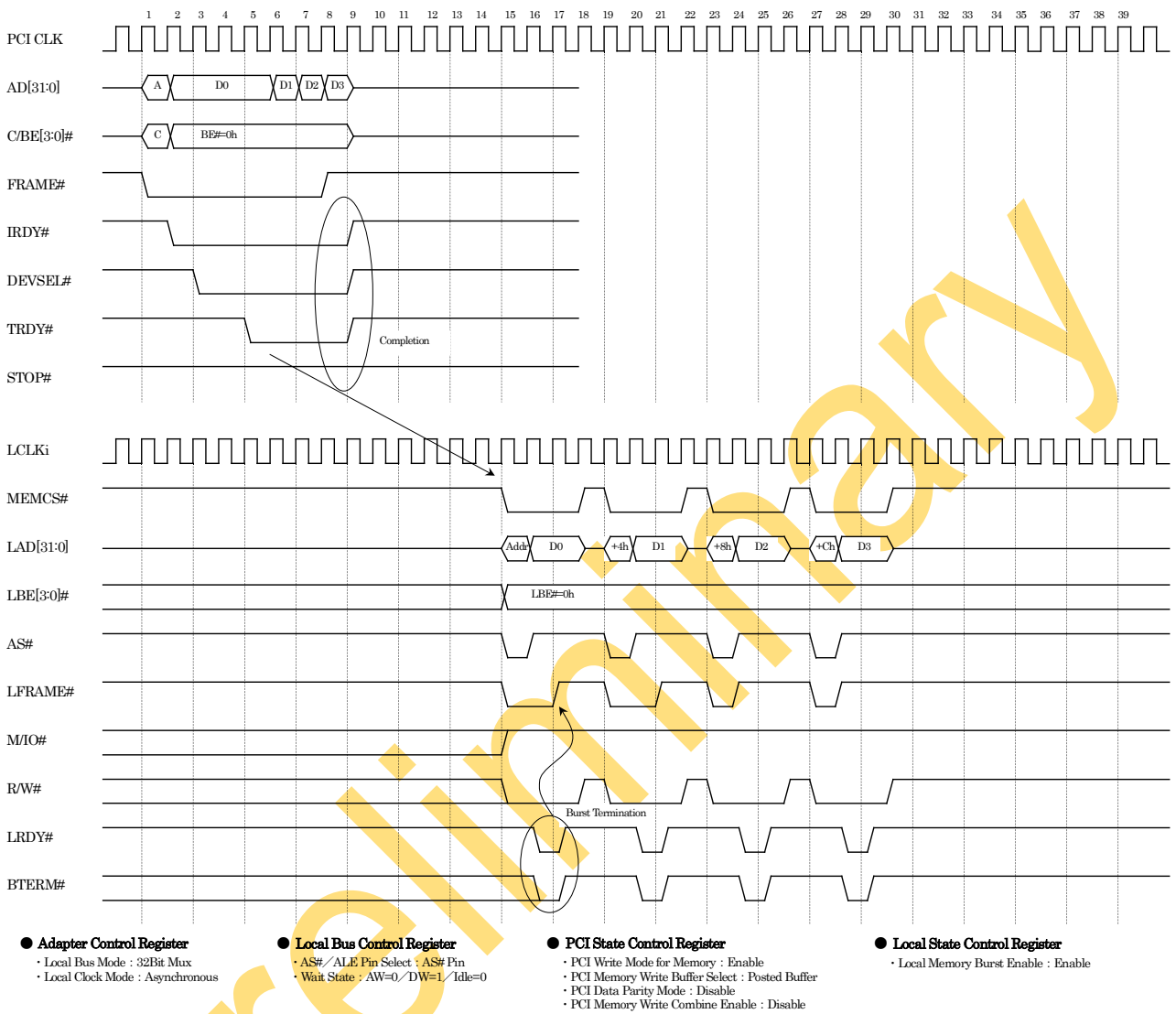


Figure5-47 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 32Bit Bus/BTERM# Control)

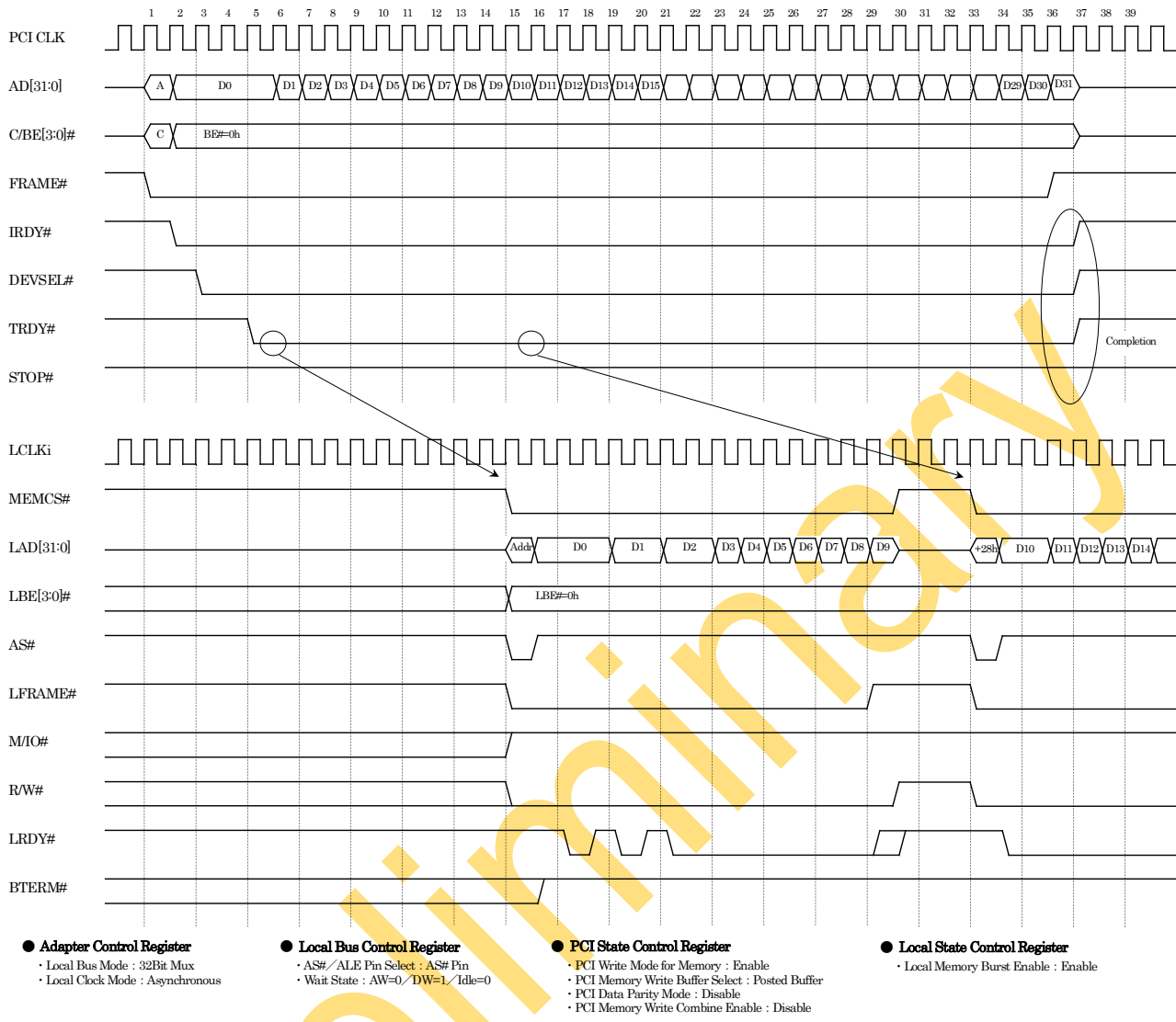


Figure5-48 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 32Bit Bus)

■ ローカル・クロック同期モード

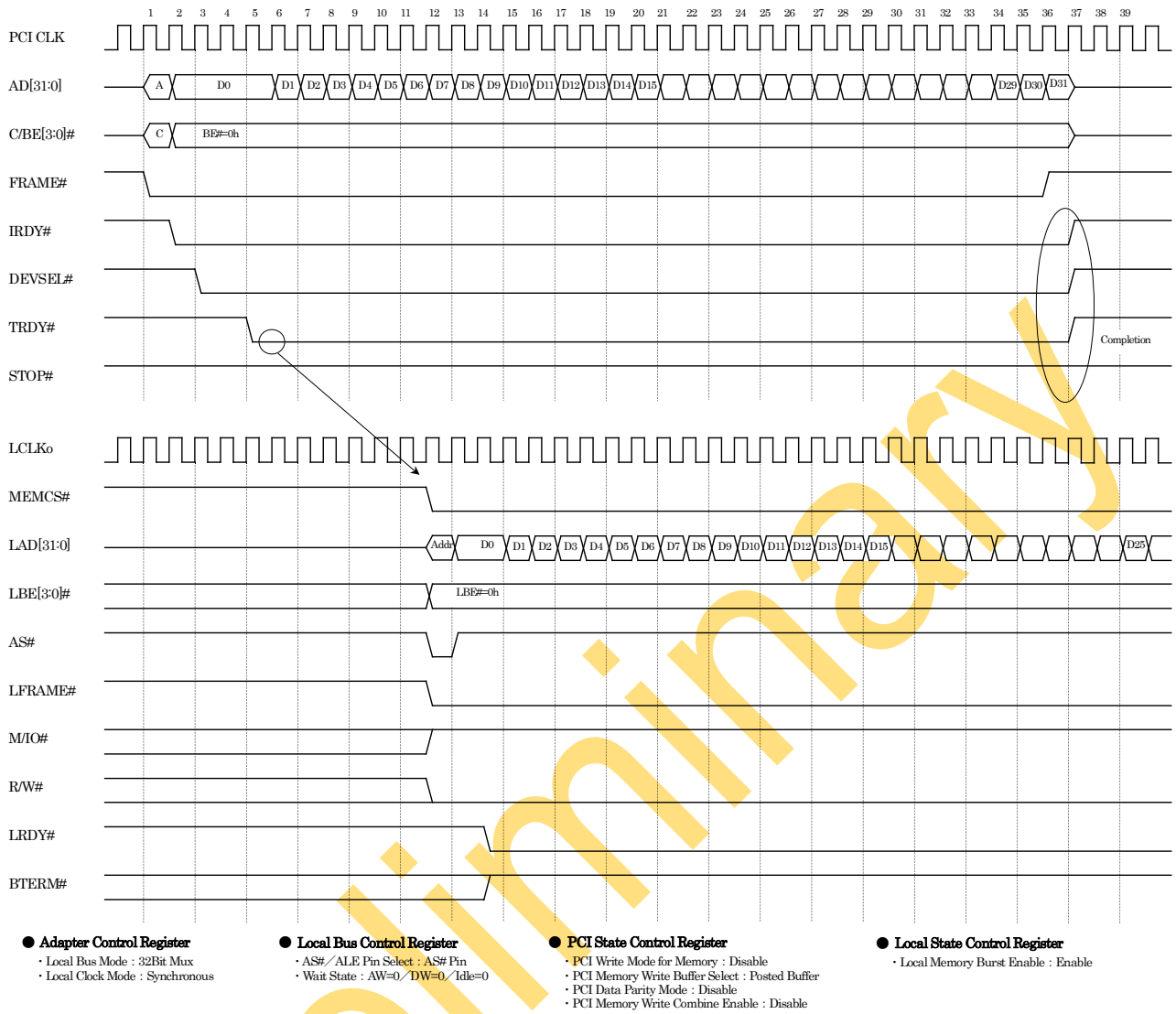


Figure5-49 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 32Bit Bus)

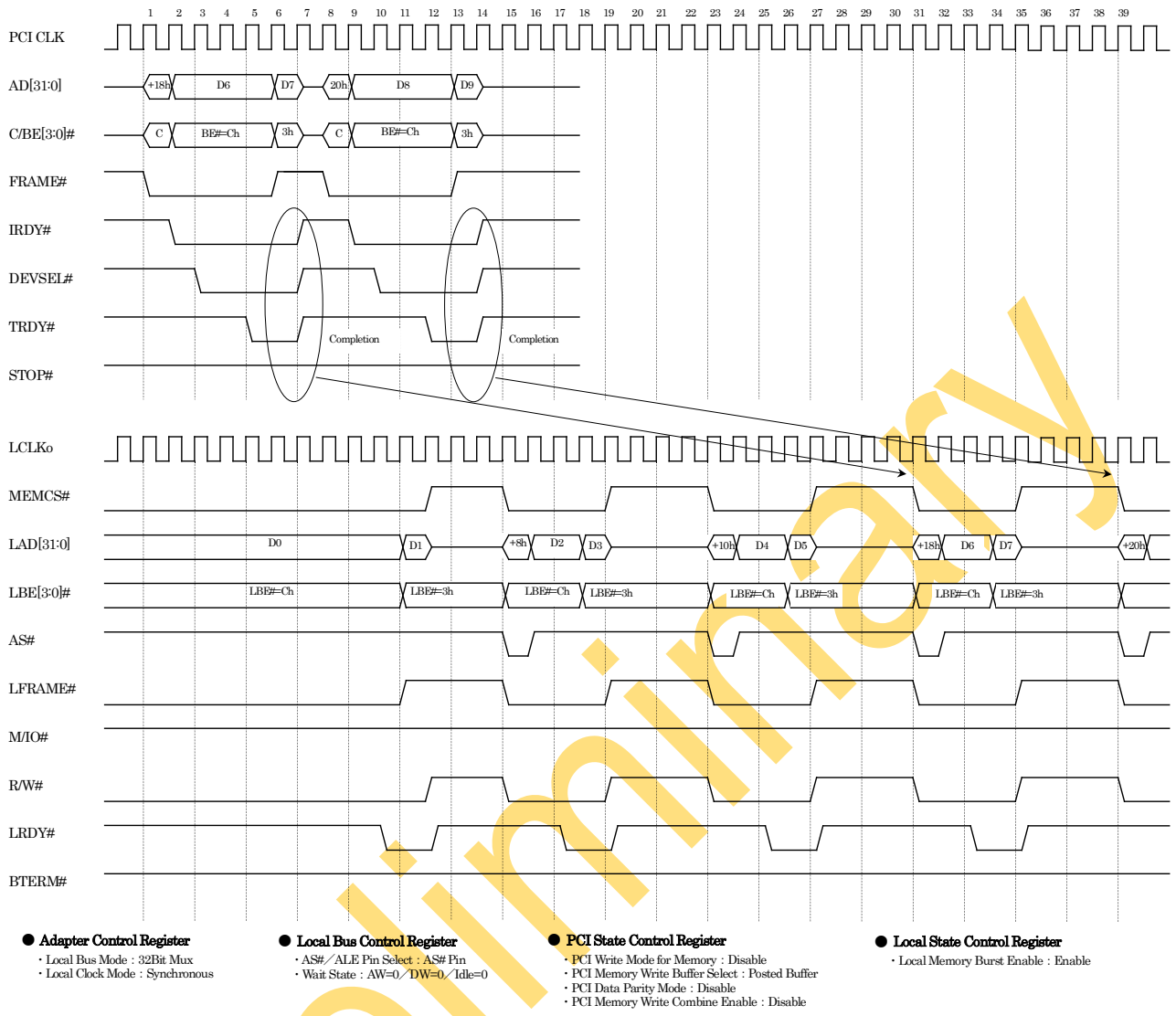


Figure5-50 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Local 32Bit Bus)



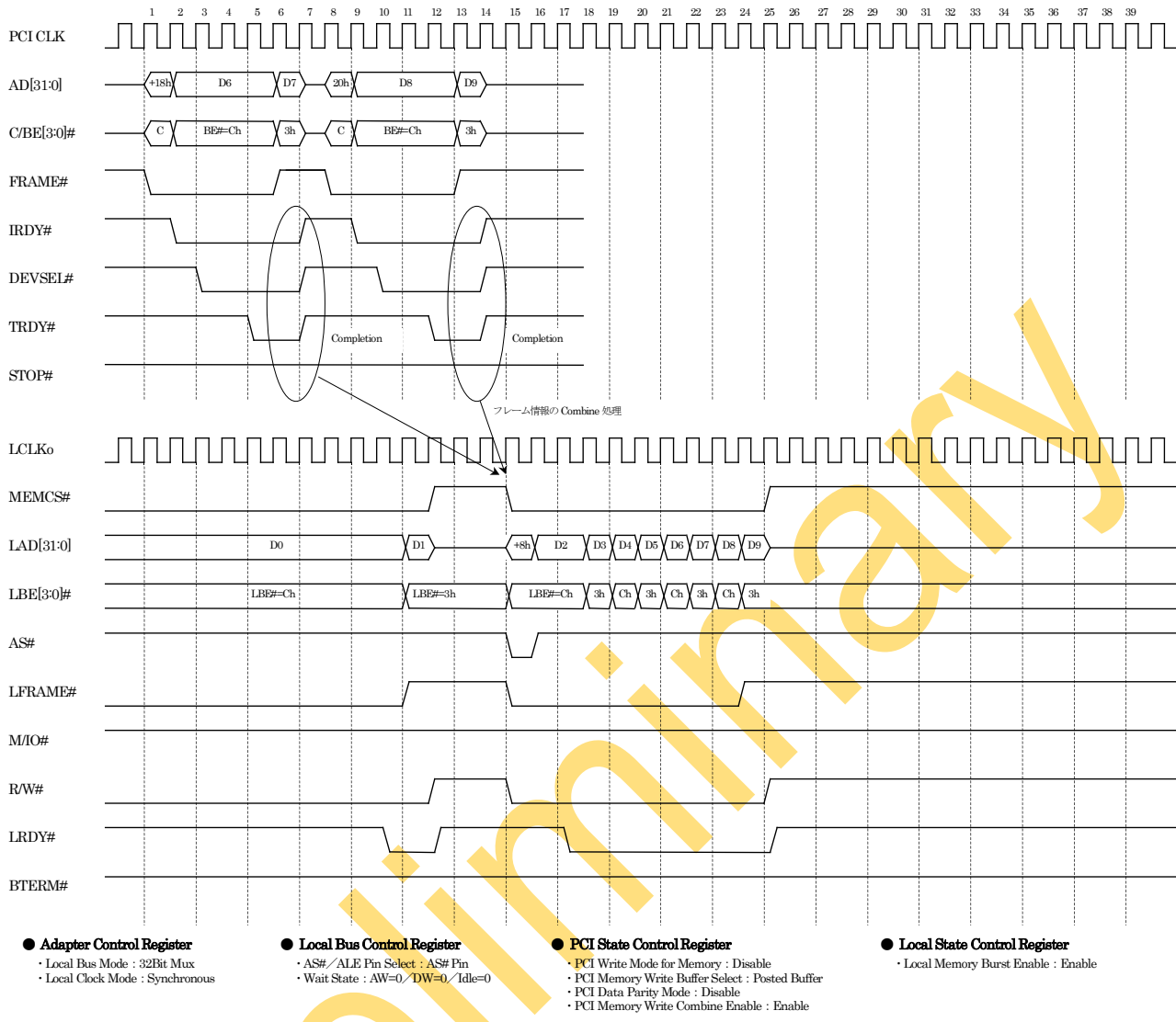


Figure5-51 : メモリ・ライト・タイミング (Burst Cycle/Posted WR/Combine/Local 32Bit Bus)

## 6. ローカル・マスタ機能

ローカル・バスから PCI バスまたは APIC22A 内部レジスタへアクセスを行うための機能がローカル・マスタ機能です。ローカル・マスタは、ローカル・バス上の CPU やバス・アービタを想定しています。

ローカル・マスタ機能では、PCI の I/O 空間およびメモリ空間へのアクセスをサポートしています。また、それぞれの空間用にアドレス・リマップ機能があり、ローカル側のアドレス情報をもとに任意の PCI アドレスに変換することができます。

ローカル・マスタ機能には、データ・パス制御などのステート・コントロール機能があります。

ステート・コントロールは、リード/ライト・アクセスを受けたときのバス動作や内部データ・バッファの取り扱い方法を指定できます。

ローカル・マスタ機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Local Master I/O Remap Address	24h	A4h	2Fh 30h	5Eh ~ 61h	<ul style="list-style-type: none"> <li>・ Bit[0] : I/O LOCK# Status</li> <li>・ Bit[1] : I/O LOCK# Request</li> <li>・ Bit[2] : PCI Space Select</li> <li>・ Bit[31:8] : I/O Remap Address</li> </ul>
Local Master Memory Remap Address	28h	A8h	31h 32h	62h ~ 65h	<ul style="list-style-type: none"> <li>・ Bit[0] : Memory LOCK# Status</li> <li>・ Bit[1] : Memory LOCK# Request</li> <li>・ Bit[31:8] : Memory Remap Address</li> </ul>
PCI State Control	20h	A0h	2Eh	5Ch 5Dh	<ul style="list-style-type: none"> <li>・ Bit[23] : PCI Retry Limit Control</li> <li>・ Bit[31:24] : PCI Retry Limit Count</li> </ul>
Local State Control	2Ch	ACh	33h 34h	66h ~ 68h	<ul style="list-style-type: none"> <li>・ Bit[0] : Local Master Enable</li> <li>・ Bit[1] : Local Master Posted-write Merging Enable</li> <li>・ Bit[5:4] : Local Master I/O RD/WR No PCI Prefetch</li> <li>・ Bit[14] : PCI Memory Prefetch Enable</li> <li>・ Bit[15] : PCI Memory Prefetch Continuous Mode</li> <li>・ Bit[19:16] : PCI Memory Prefetch Count</li> <li>・ Bit[16] : Local Master Access No Local Prefetch</li> <li>・ Bit[18] : PCI Target/DMA No Local Master Access</li> </ul>

### ● ローカル・マスタ機能の許可

「Local State Control Register : Local Master Enable」でイネーブルに指定されるときローカル・マスタ機能が有効となり、PCI アクセスや内部レジスタ・アクセスが可能となります。

ディセーブル設定では、ローカル・マスタからのアクセスを受けても APIC22A は応答しません。

なお、BREQ#/BACK#信号によるローカル・バスのアービトレーションはいつでも有効です。

## 6-1. リマップ・アドレスの設定

PCI の I/O 空間およびメモリ空間それぞれにリマップ・アドレスの設定が可能です。

- ・ PCI I/O Space => 「Local Master I/O Remap Address Register」
- ・ PCI Memory Space => 「Local Master Memory Remap Address Register」

APIC22A のアドレス端子に入力される値と、ここで設定されるリマップ・アドレスとの加算値が PCI アドレスとなります。下位 8 ビットのアドレス (LA[7:0]) は、ローカル・アドレスがそのまま PCI バスへ出力されます。なお、ローカル・バスが 8/16Bit NonMux モードに構成される場合、ローカル・アドレス範囲は最大 128KByte 幅となるため、上位アドレス (LA[31:17]) は値"0"がリマップ・アドレスに加算されます。また、多機能端子のアドレスが IOCSx#端子に構成される時も対象のアドレス・ビットは値"0"として加算されます。

内部レジスタへのアクセスの場合、下位 8 ビットのアドレス (LA[7:0]) がそのまま参照され、リマップ制御はありません。また、上位 24 ビットのアドレス (LA[31:8]) はどのような値でも影響はありません。

### ■ リマップ・アドレスの設定例 (I/O 空間)

I/O 空間を例に Figure6-1 に示します。

Figure6-1 では、Remap Address に"876543xxh"が設定されています。ここで、ローカル・マスタから"00000021h"番地に対する I/O アクセスが発生すると、上位 24 ビット(LA[31:8])のアドレスはリマップ・アドレスの上位 24 ビットの設定値"876543h"に加算されます。結果、PCI アドレスは"87654321h"となります。

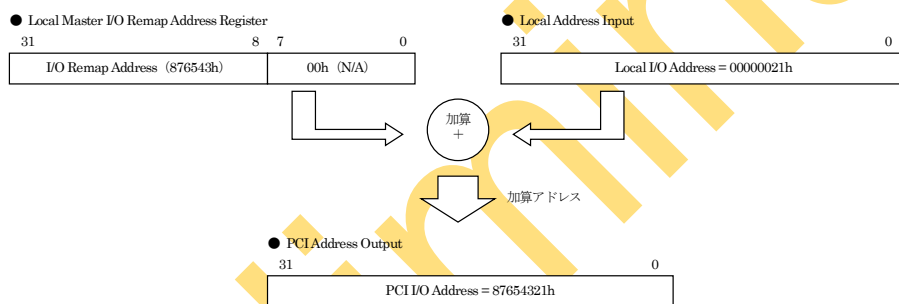


Figure6-1 : I/O空間のリマップ・アドレス設定例

### ■ リマップ・アドレスの設定例 (メモリ空間)

メモリ空間を例に Figure6-2 に示します。

Figure6-2 では、Remap Address に"FFFF00xxh"が設定されています。ここで、ローカル・マスタから"00013210h"番地に対するメモリ・アクセスが発生すると、上位 24 ビット(LA[31:8])のアドレスはリマップ・アドレスの上位 24 ビットの設定値"FFFF00h"に加算されます。結果、PCI アドレスは"00003210h"となります。

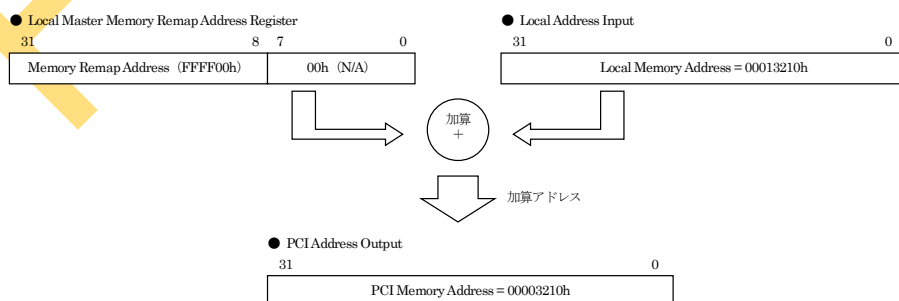


Figure6-2 : メモリ空間のリマップ・アドレス設定例

## 6-2. データ・パス制御

APIC22A のデータ・パス制御は、リード方向とライト方向で独立した制御構造を持ちます。

リード制御は、I/O リードとメモリ・リードは独立した制御構造です。

I/O リードは、PCI 側からのリード・データの準備ができるまでローカル・バス・サイクルを続ける Direct RD で行われます。

メモリ・リードは、I/O リード同様の Direct RD に Prefetch RD が加わります。

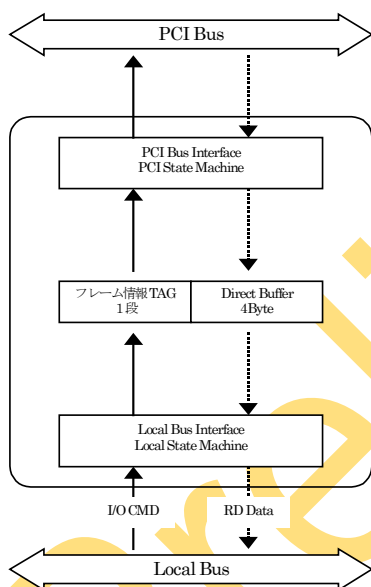
なお、Prefetch RD のときもリード・データの準備ができるまでローカル・バス・サイクルを続けます。

ライト制御は、I/O ライトとメモリ・ライトは共通の制御構造です。ただし、ステート・コントロールにはメモリ・ライト用の制御指定が可能です。

I/O およびメモリのライト・アクセスは、PCI バスの状態に影響されずローカル・マスタからのライト・データを内部データ・バッファ (Posted Buffer) に順次格納する Posted WR で行われます。Posted WR 時のデータ・バッファは、I/O とメモリで共通のバッファを使用します。

### 6-2-1. I/O リード・アクセス

I/O リード動作におけるデータ・パス制御の内部構成を Figure6-3 に示します。



- フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/ローカル・コマンドを管理します。I/O リード動作のフレーム情報の管理 TAG は 1 段です。

- Direct Buffer

Direct RD 用の 4 Byte (1 Dword) 分のデータ・バッファです。PCI バスから読み出されたデータを格納します。

Figure6-3 : I/O リードのデータ・パス制御

#### 6-2-1-1. ローカル・バスの動作

ローカル・マスタからの I/O リード・アクセスは、Direct RD で応答します。

##### ■ Direct RD アクセス

Direct RD は、PCI 側からデータが読み出されるまでローカル・バスはウェイト状態が続きます。

PCI からのリード・データが Direct Buffer に格納されると IORDY(8/16Bit NonMux)/LRDY#(32Bit Mux) をアサートしローカル・バスへデータを出力 (Completion) します。

ローカル・バスが 32Bit Mux モードの場合、ローカル・バス・プロトコルに従ったバースト・アクセスが可能です。アドレッシング・モードは、1つのデータ・フェーズごとに値'4h'が加算されるリニア・インクリメントで行われます。なお、ローカル側がバースト・アクセスであっても、PCI 側は全てシングル・アクセスで処理されるため各データ・フェーズにはウェイトが挿入されます。

### 6-2-1-2. PCIバスの動作

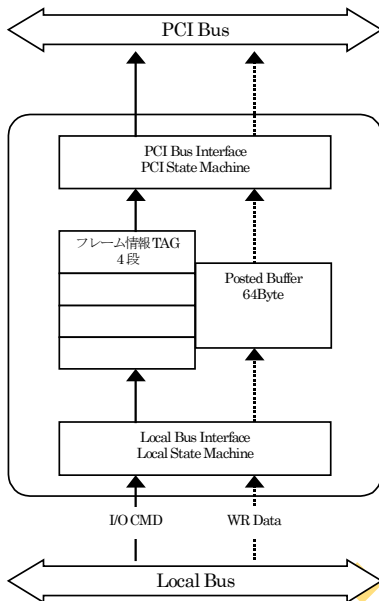
PCIバスへのアクセス要求があると、アービトレーションを行い内部フレーム情報をもとにPCIバス・サイクルを起動します。

PCIアクセスは、全てシングル・アクセスで処理されます。

Target Abort/Master Abort およびリトライ制限でバス・サイクルを終了した場合、内部管理TAGの無効化処理が行われ、ローカル側にはダミー・データ（不定データ）を出力します。

### 6-2-2. I/O ライト・アクセス

I/O ライト動作におけるデータ・パス制御の内部構成を Figure6-4 に示します。



#### ● フレーム情報TAG

フレーム情報TAGは、アドレス/バイト・レーン情報/ローカル・コマンドを管理します。I/O ライト動作のフレーム情報の管理TAGは4段です。なお、メモリ・ライト時も同じ管理TAGが使用されます。

#### ● Posted Buffer

Posted WR用の64Byte (16Dword) 分のデータ・バッファです。ローカル・マスタからの書き込みデータを格納します。なお、メモリ・ライト時も同じPosted Bufferが使用されます。

Figure6-4 : I/O ライトのデータ・パス制御

#### 6-2-2-1. ローカル・バスの動作

ローカル・マスタからのI/O ライト・アクセスは、Posted WRで応答します。

##### ■ Posted WR アクセス

Posted WRは、PCIバスの状態に関わらずPosted Bufferまたは管理TAGの空き領域が無くなるまでローカル・マスタからのライト・データを受け付けます。

ローカル・バスが32Bit Muxモードの場合、ローカル・バス・プロトコルに従ったバースト・アクセスが可能です。アドレッシング・モードは、1つのデータ・フェーズごとに値"4h"が加算されるリニア・インクリメントで行われます。バースト・アクセスでは、Posted Buffer (16Dword) 分の高速転送が可能です。シングル・アクセスでは、管理TAG (4段) 分のデータを少ないウェイト数で受け付けることができます。

#### 6-2-2-2. PCIバスの動作

PCIバスへのアクセス要求があると、アービトレーションを行い内部フレーム情報をもとにPCIバス・サイクルを起動します。

PCIアクセスは、全てシングル・アクセスで処理されます。

Target Abort/Master Abort およびリトライ制限でバス・サイクルを終了した場合、内部管理TAGおよびデータ・バッファの無効化処理が行われます。格納されている次のフレーム情報がある場合は、新規のPCIバス・サイクルを起動します。

### 6-2-3. メモリ・リード・アクセス

メモリ・リード動作におけるデータ・パス制御の内部構成を Figure6-5 に示します。

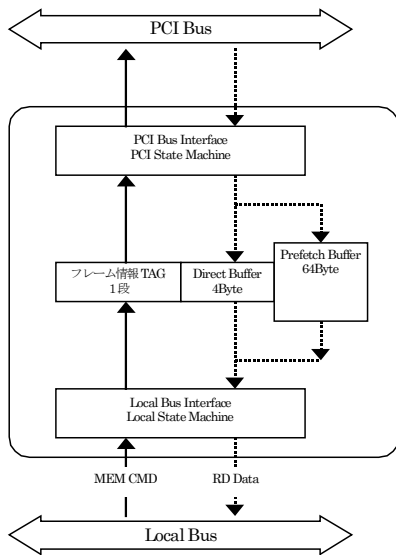


Figure6-5: メモリ・リードのデータ・パス制御

- フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/ローカル・コマンドを管理します。メモリ・リード動作のフレーム情報の管理 TAG は1段です。

- Direct Buffer

Direct RD 用の 4Byte (1Dword) 分のデータ・バッファです。

PCI バスから読み出されたデータを格納します。

「Local State Control Register : PCI Memory Prefetch Enable」がディセーブルに設定されているときに有効です。

- Prefetch Buffer

Prefetch RD 用の 64Byte (16Dword) 分のデータ・バッファです。

PCI バスから読み出されたデータを格納します。

「Local State Control Register : PCI Memory Prefetch Enable」がイネーブルに設定されているときに有効です。

#### 6-2-3-1. ローカル・バスの動作

ローカル・マスタからのメモリ・リード・アクセスは、Direct RD または Prefetch RD で応答します。

##### ■ Direct RD アクセス

内部データ・バッファが Direct Buffer に指定されているとき Direct RD でアクセスが行われます。

Direct RD は、PCI 側からデータが読み出されるまでローカル・バスはウェイト状態が続きます。

PCI からのリード・データが Direct Buffer に格納されると IORDY(8/16Bit NonMux)/LRDY#(32Bit Mux) をアサートしローカル・バスへデータを出力 (Completion) します。

ローカル・バスが 32Bit Mux モードの場合、ローカル・バス・プロトコルに従ったバースト・アクセスが可能です。アドレッシング・モードは、1つのデータ・フェーズごとに値"4h"が加算されるリニア・インクリメントで行われます。なお、Direct RD の場合、ローカル側がバースト・アクセスであっても、PCI 側は全てシングル・アクセスで処理されるため各データ・フェーズにはウェイトが挿入されます。

##### ■ Prefetch RD アクセス

「Local State Control Register : PCI Memory Prefetch Enable」がイネーブルに指定されているときに Prefetch RD が行われます。Prefetch RD は、ローカル・マスタからのリード要求を待たずに PCI 側から指定されるカウント数分のデータを先読みします。プリフェッチ・カウントは、「Local State Control Register : PCI Memory Prefetch Count」で指定します。

ローカル・マスタからアクセスがあると、そのフレーム情報を管理 TAG に登録しプリフェッチ予約が行われます。PCI バスでは、アービトレーションを行いメモリ・リード・サイクルを起動します。ローカル側では最初のデータが読み出されるまでウェイトが挿入されます。

ローカル・バスが 32Bit Mux モードの場合、ローカル・バス・プロトコルに従ったバースト・アクセスが可能です。アドレッシング・モードは、1つのデータ・フェーズごとに値"4h"が加算されるリニア・インクリメントで行われます。バースト・アクセスでは、プリフェッチされたデータ数分の高速転送が可能です。

APIC22A の Prefetch RD は、2つの方法をサポートしています。

### ● Prefetch RD Single Mode

Prefetch RD 方法の1つで、通常のプリフェッチ動作です。

ローカル・バスが 32Bit Mux モードのときに有効です。

「Local State Control Register : PCI Memory Prefetch Continuous Mode」で Single Mode に指定されるとき通常の Prefetch RD が行われます。

Single Mode は、1つのフレーム情報をもとに制御が行われ、ローカル・マスタからのアクセスが完了 (Completion) すると管理 TAG をクリアします。

ローカル・バースト転送がプリフェッチ・カウン트에満たない場合、完了時点で内部管理 TAG がクリアされます。その後のローカル・アクセスは新規アクセスとして取り扱われます。なお、プリフェッチ・カウントを超えるバースト転送があると、フレーム情報は更新されプリフェッチの再予約が行われます。ローカル・シングル転送の場合、プリフェッチは起動しますが、完了時点で内部管理 TAG がクリアされます。

### ● Prefetch RD Continuous Mode

Prefetch RD 方法の1つで、プリフェッチ・カウン트分のプリフェッチ動作を継続します。

ローカル・バスが 8/16Bit NonMux モードのときは Continuous Mode 固定です。

「Local State Control Register : PCI Memory Prefetch Continuous Mode」で Continuous Mode に指定されるとき継続の Prefetch RD が行われます。

Continuous Mode は、連続する複数のフレーム情報に対応できます。ローカル・マスタからのアクセスが完了 (Completion) すると管理 TAG は次の情報に更新されます。

ローカル・バースト転送がプリフェッチ・カウン트에満たない場合、完了時点で 4Byte バウンダリの次のアドレス情報に内部管理 TAG が更新されます。

ローカル・シングル転送の場合、アドレスとバイト・レーン情報が参照されます。Byte/Word 単位のアクセスでは、バス・サイクルの完了時点で次のバイト・レーン情報に内部管理 TAG を更新します。Dword 単位のアクセスでは、4Byte バウンダリの次のアドレス情報に内部管理 TAG を更新します。

### ◆ 8/16Bit NonMux Mode

Local Access Size	フレーム情報 (管理 TAG)			
	1* Access		Next Access	
	Address	BHE#	Address	BHE#
Byte Access(8Bit Bus)	Addr Offset=0h	—	Addr+1h	—
Byte Access(16Bit Bus)	Addr Offset=0h	BHE#=1	Addr+1h	BHE#=0
	Addr Offset=1h	BHE#=0	Addr+2h	BHE#=1
Word Access(16Bit Bus)	Addr Offset=0h	BHE#=0	Addr+2h	BHE#=0
	Addr Offset=2h	BHE#=0	Addr+4h	BHE#=0

### ◆ 32Bit Mux Mode

Local Access Size	フレーム情報 (管理 TAG)			
	1* Access		Next Access	
	Address	LBE#	Address	LBE#
Byte Access	Addr Offset=0h	LBE#=1110	Addr+0h	LBE#=1101
	Addr Offset=0h	LBE#=1101	Addr+0h	LBE#=1011
	Addr Offset=0h	LBE#=1011	Addr+0h	LBE#=0111
	Addr Offset=0h	LBE#=0111	Addr+4h	LBE#=1110
Word Access	Addr Offset=0h	LBE#=1100	Addr+0h	LBE#=0011
	Addr Offset=0h	LBE#=0011	Addr+4h	LBE#=1100
Dword Access	Addr Offset=0h	LBE#=0000	Addr+4h	LBE#=0000

プリフェッチ・カウントを超えるバースト転送があると、フレーム情報は更新されプリフェッチの再予約が行われます。

Prefetch Buffer に有効データが存在するとき、ローカル・マスタから内部フレーム情報に一致しないメモリ・リード・アクセスがあると、内部管理 TAG の無効化処理が行われます。また、メモリ・ライト・アクセスがあるときは、いつでも内部管理 TAG の無効化処理が行われます。

### 6-2-3-2. PCIバスの動作

PCIバスへのアクセス要求があると、アービトレーションを行い内部フレーム情報をもとにPCIバス・サイクルを起動します。

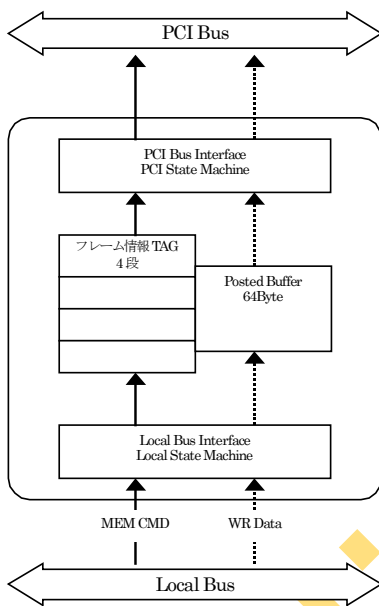
Direct RD アクセスのときは、要求バイト・レーンのシングル・アクセスで処理されます。

Prefetch RD アクセスのときは、プリフェッチ・カウント分のバースト・アクセスで処理されます。

Target Abort/Master Abort およびリトライ制限でバス・サイクルを終了した場合、内部管理 TAG の無効化処理が行われ、ローカル側にはダミー・データ（不定データ）を出力します。

### 6-2-4. メモリ・ライト・アクセス

メモリ・ライト動作におけるデータ・パス制御の内部構成を Figure6-6 に示します。



- フレーム情報 TAG

フレーム情報 TAG は、アドレス/バイト・レーン情報/ローカル・コマンドを管理します。メモリ・ライト動作のフレーム情報の管理 TAG は4段です。なお、I/O ライト時も同じ管理 TAG が使用されます。

- Posted Buffer

Posted WR 用の 64Byte (16Dword) 分のデータ・バッファです。ローカル・マスタからの書き込みデータを格納します。なお、I/O ライト時も同じ Posted Buffer が使用されます。

Figure6-6 : メモリ・ライトのデータ・パス制御

#### 6-2-4-1. ローカル・バスの動作

ローカル・マスタからのメモリ・ライト・アクセスは、Posted WR で応答します。

##### ■ Posted WR アクセス

Posted WR は、PCIバスの状態に関わらず Posted Buffer または管理 TAG の空き領域が無くなるまでローカル・マスタからのライト・データを受け付けます。

ローカル・バスが 32Bit Mux モードの場合、ローカル・バス・プロトコルに従ったバースト・アクセスが可能です。アドレッシング・モードは、1つのデータ・フェーズごとに値"4h"が加算されるリニア・インクリメントで行われます。バースト・アクセスでは、Posted Buffer (16Dword) 分の高速転送が可能です。シングル・アクセスでは、管理 TAG (4段) 分のデータを少ないウェイト数で受け付けることができます。

APIC22A のメモリに対する Posted WR は、2つの方法をサポートしています。

- Normal Posted WR

「Local State Control Register : Local Master Posted-write Merging Enable」がディセーブルに指定されているとき通常の Posted WR 動作となります。

ライト・データのマーキング処理は行われずポストされた順番に PCI 側へ書き込まれます。

シングルの Byte/Word データは、全てことなるフレーム情報として内部管理 TAG に登録されます。管理できるフレーム情報は最大で4種類です。



● **Posted WR Merging**

「Local State Control Register : Local Master Posted-write Merging Enable」がイネーブルに指定されているときポストド・データのマーキング処理が行われます。

内部 Posted Buffer は、4Byte 単位で管理されています。4Byte バウンダリ内の連続する Byte/Word データが書き込まれると、1つのフレーム情報に統合します。シングル・アクセスのとき、4段の管理 TAG を有効に利用できます。

4Byte バウンダリを超える Byte/Word データや Dword データは、そのまま PCI 側へ書き込まれます。また、16PCI クロック以内に次のライト・アクセスがない場合や DEVCS#信号がディアサートされた場合は、直ちに PCI 側へ書き込まれます。

**6-2-4-2. PCI バスの動作**

PCI バスへのアクセス要求があると、アービトレーションを行い内部フレーム情報をもとに PCI バス・サイクルを起動します。

Posted Buffer (1つのフレーム情報上) に複数のデータがあるとき、バースト・アクセスで処理されます。それ以外は、全てシングル・アクセスで処理されます。

Target Abort/Master Abort およびリトライ制限でバス・サイクルを終了した場合、内部管理 TAG およびデータ・バッファの無効化処理が行われます。格納されている次のフレーム情報がある場合は、新規の PCI バス・サイクルを起動します。

Preliminary

### 6-3. ステート・コントロール

代表的なステート・コントロールについて説明します。

#### 6-3-1. Posted WR マージング制御

ローカル・マスタからメモリ・ライト要求があった場合のデータ処理方法を選択します。  
メモリ・ライトが対象で、I/O ライトでは通常の Posted WR 動作となります。

・ Memory Write => 「Local State Control Register : Local Master Posted-write Merging Enable」  
マージング制御の設定によりバスのステート・タイミングが変わります。

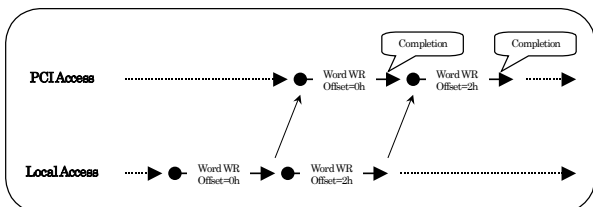


Figure6-7 : マージング制御ディセーブル時のローカル・アクセス

##### ● ディセーブル設定

マージング制御は行われません。

ローカル・マスタからのライト・データはそのまま PCI バスに書き込まれます。

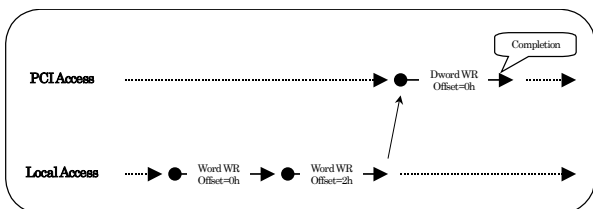


Figure6-8 : マージング制御イネーブル時のローカル・アクセス

##### ● イネーブル設定

マージング制御が行われます。

4Byte バウンダリ内の連続アドレスに対するライト・データは1つのフレーム情報にマージングされます。

4Byte 分のライト・データの準備ができると PCI バスに書き込まれます。

ライト・データが 4Byte に満たない場合は、PCI 制御部で保留状態となります。

16PCI クロックを超えた場合や DEVCS#信号のディアサート状態を検出すると PCI バスに書き込まれます。

#### 6-3-2. I/O アクセスと PCI プリフェッチ制御

ローカル・マスタから I/O リード/ライト要求があった場合の PCI プリフェッチ動作を制御します。  
I/O リードおよび I/O ライトそれぞれに設定が可能です。

・ I/O Read => 「Local State Control Register : Local I/O Read No PCI Prefetch」

・ I/O Write => 「Local State Control Register : Local I/O Write No PCI Prefetch」

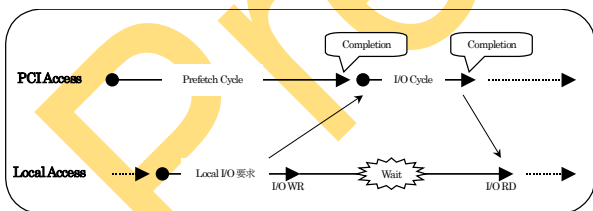


Figure6-9 : Local I/O Read/Write No PCI Prefetch (Disable)

##### ● ディセーブル設定

PCI プリフェッチ起動中にローカル・マスタから I/O アクセス要求が発生しても受け付けられません (ウェイト挿入)。

PCI 側でプリフェッチ・カウント分の読み出しが終了した時点でローカル I/O アクセスが受け付けられます。

プリフェッチ済みのデータは有効状態を保持します。

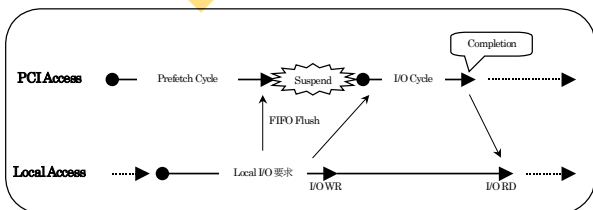


Figure6-10 : Local I/O Read/Write No PCI Prefetch (Enable)

##### ● イネーブル設定

PCI プリフェッチ起動中にローカル・マスタから I/O アクセス要求が発生すると、PCI 側のプリフェッチ・サイクルを中止しローカル I/O アクセスが受け付けられます。内部プリフェッチ・バッファに有効なデータが存在するときは無効化処理 (FIFO Flush/フレーム情報 TAG のクリア) が行われます。

## 6-4. バス・タイミング

### 6-4-1. 8/16Bit NonMux モード

#### 6-4-1-1. 内部レジスタ・リード・タイミング

##### ■ ローカル・クロック非同期モード

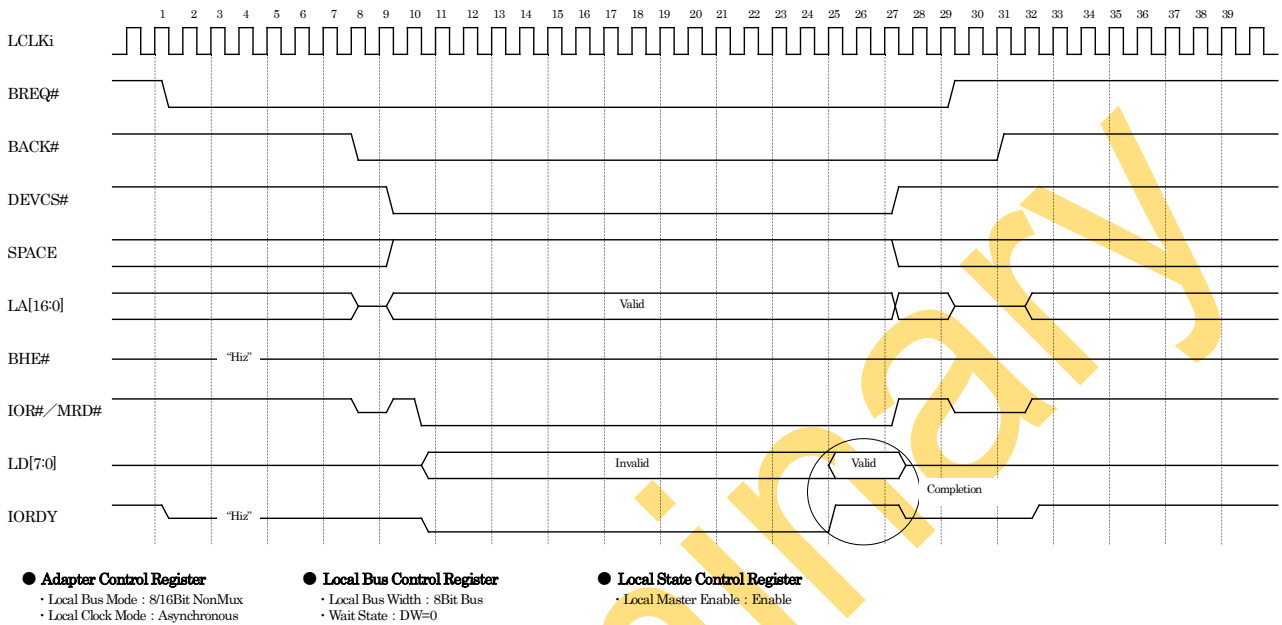


Figure6-11 : 内部レジスタ・リード・タイミング (Local 8Bit Bus)

##### ■ ローカル・クロック同期モード

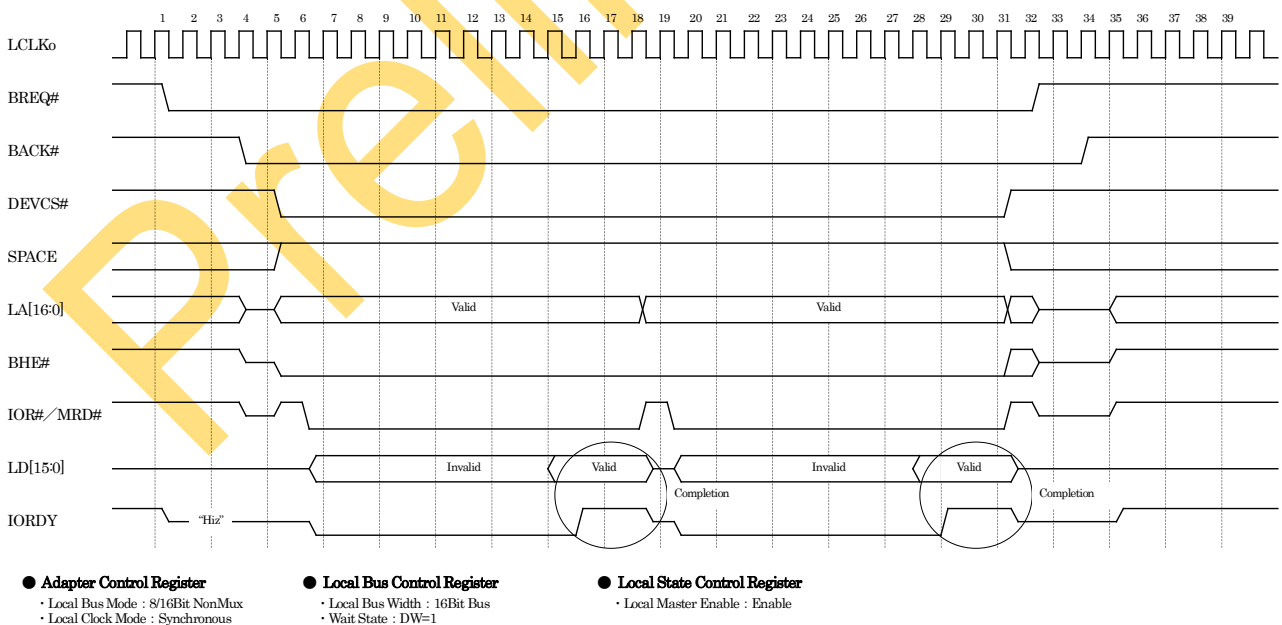


Figure6-12 : 内部レジスタ・リード・タイミング (Local 16Bit Bus)

## 6-4-1-2. 内部レジスタ・ライト・タイミング

### ■ ローカル・クロック非同期モード

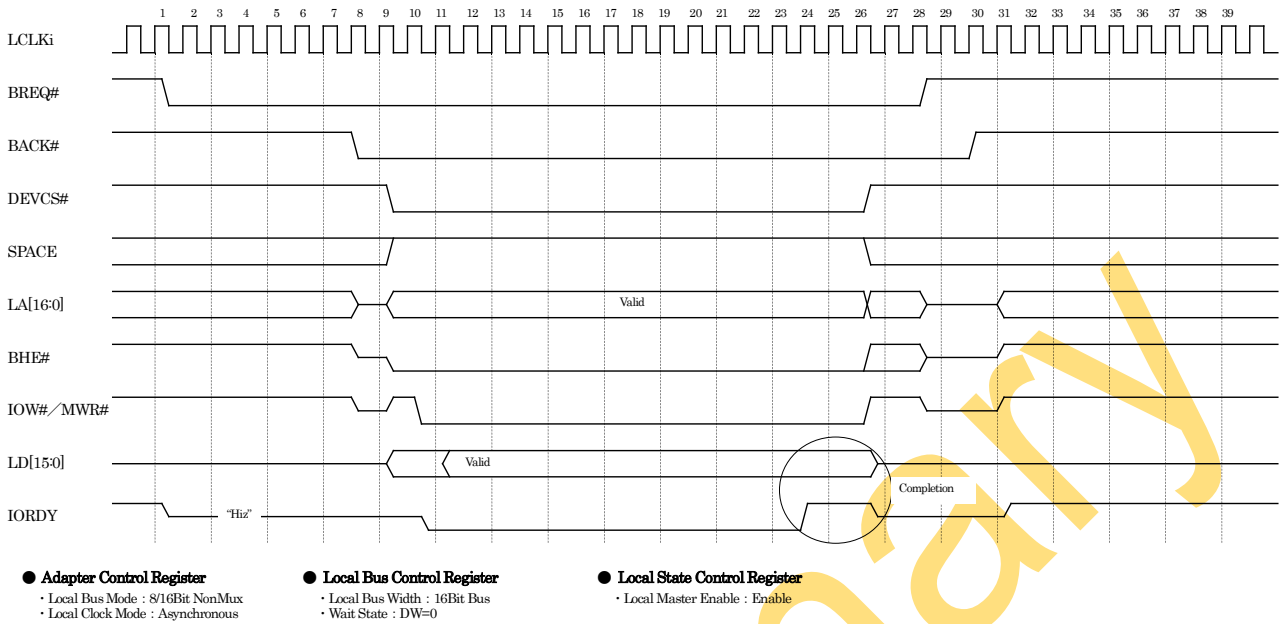


Figure6-13 : 内部レジスタ・ライト・タイミング (Local 16Bit Bus)

### ■ ローカル・クロック同期モード

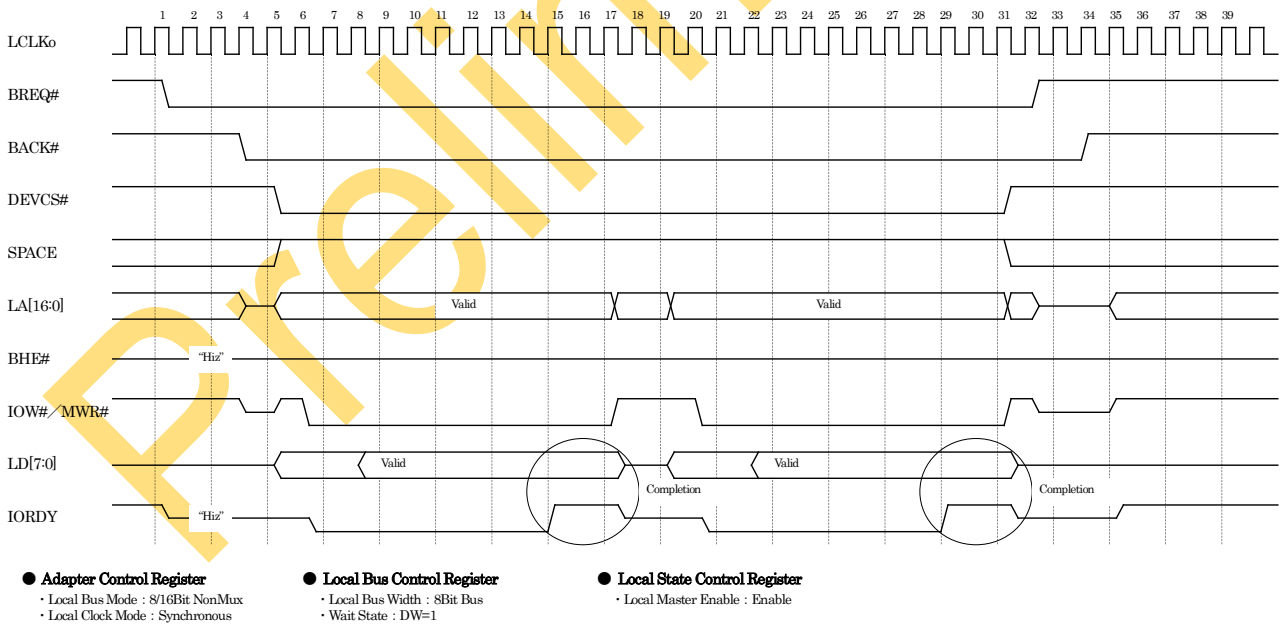


Figure6-14 : 内部レジスタ・ライト・タイミング (Local 8Bit Bus)

### 6-4-1-3. I/O リード・タイミング

#### ■ ローカル・クロック非同期モード

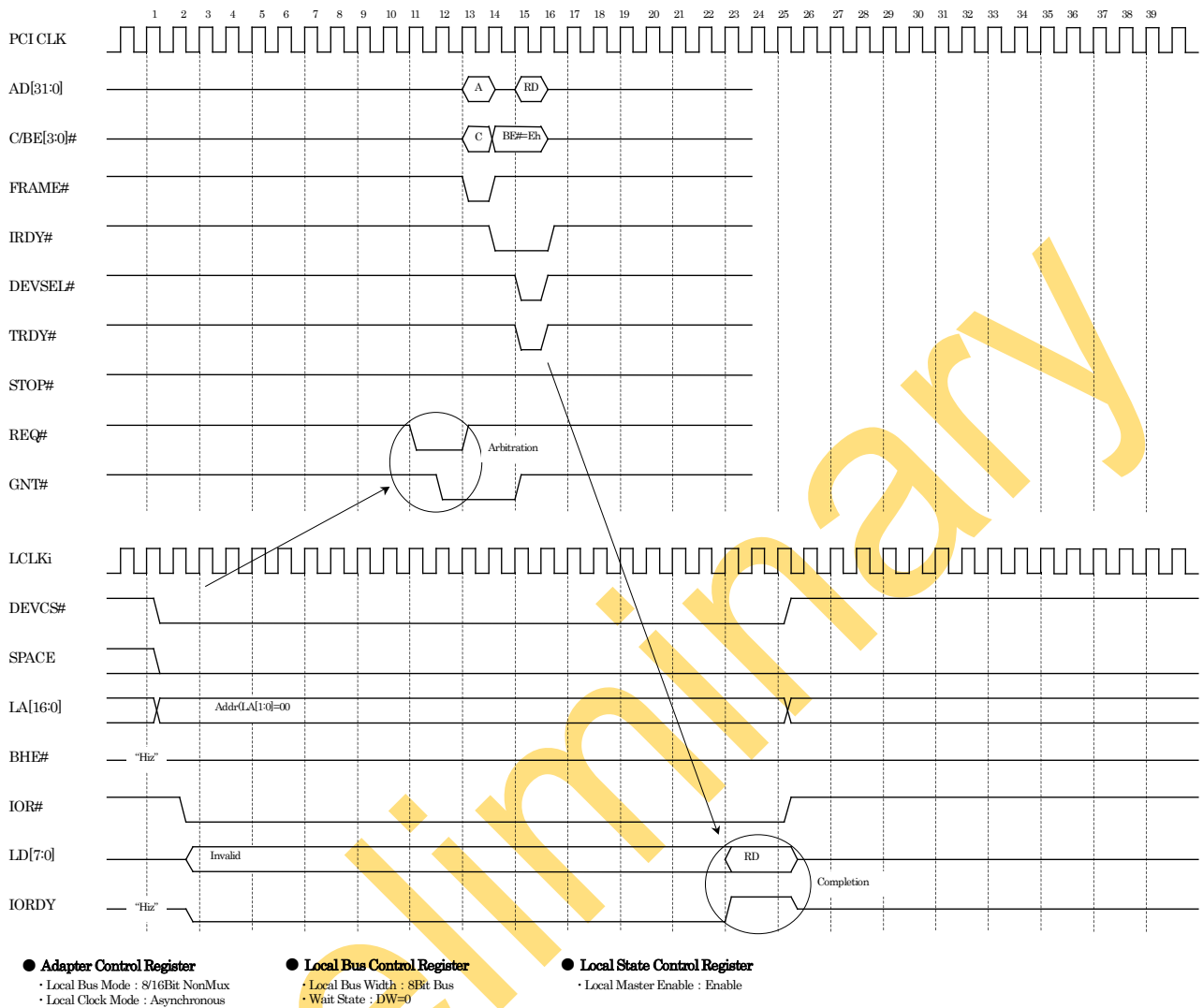


Figure6-15 : I/O リード・タイミング (Direct RD/Local 8Bit Bus)

■ ローカル・クロック同期モード

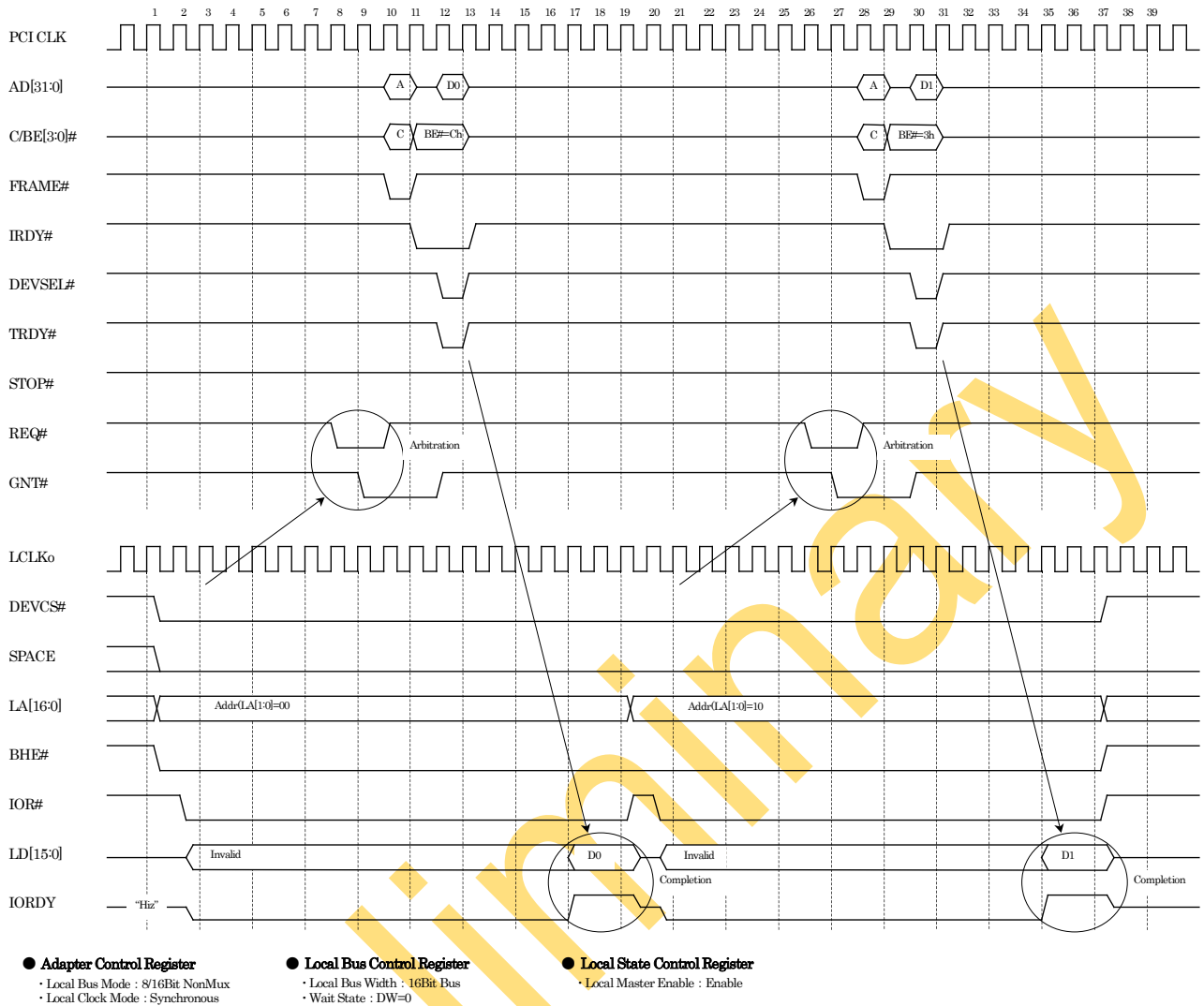


Figure6-16 : I/O リード・タイミング (Direct RD/Local 16Bit Bus)

## 6-4-1-4. I/O ライト・タイミング

### ■ ローカル・クロック非同期モード

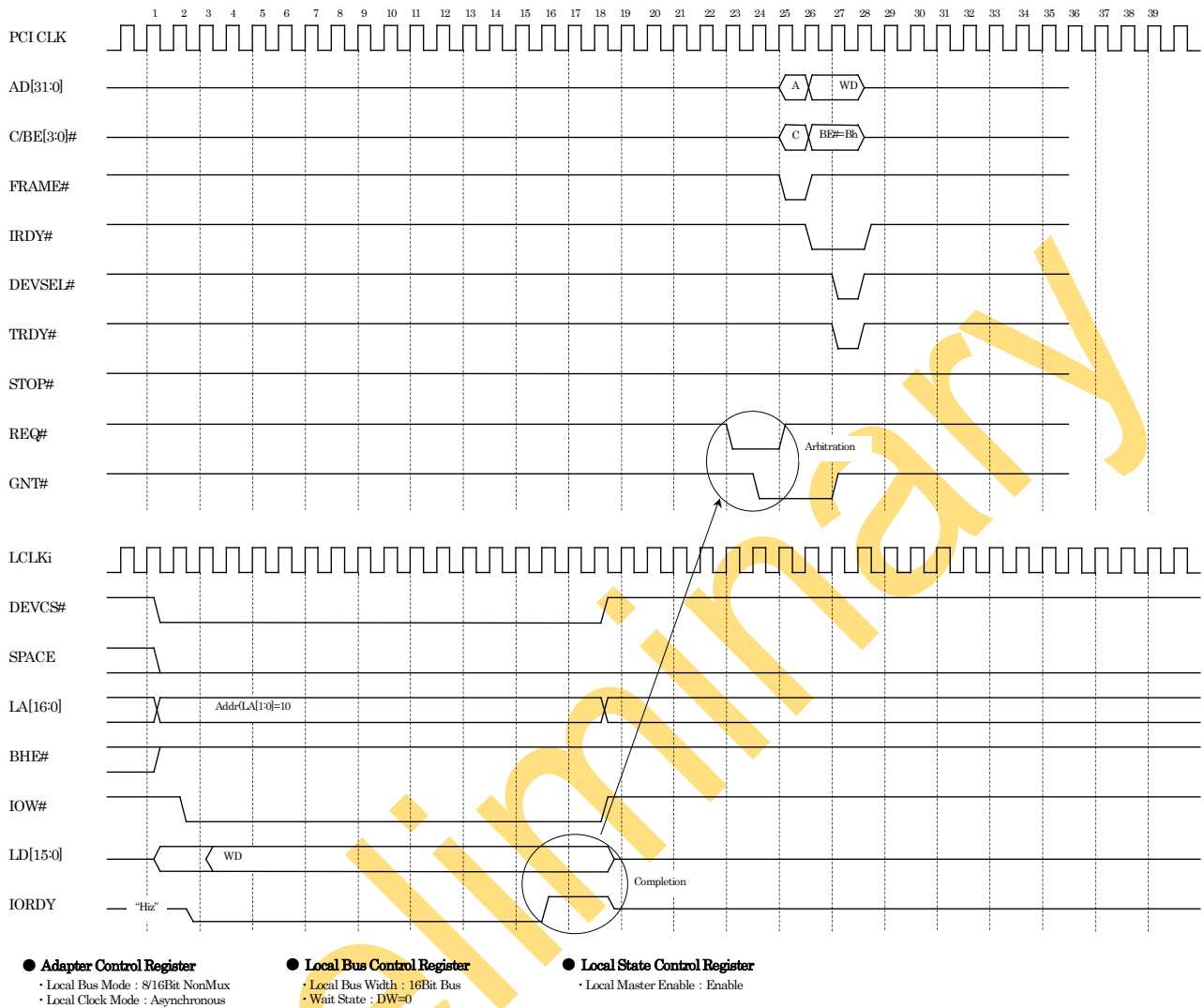
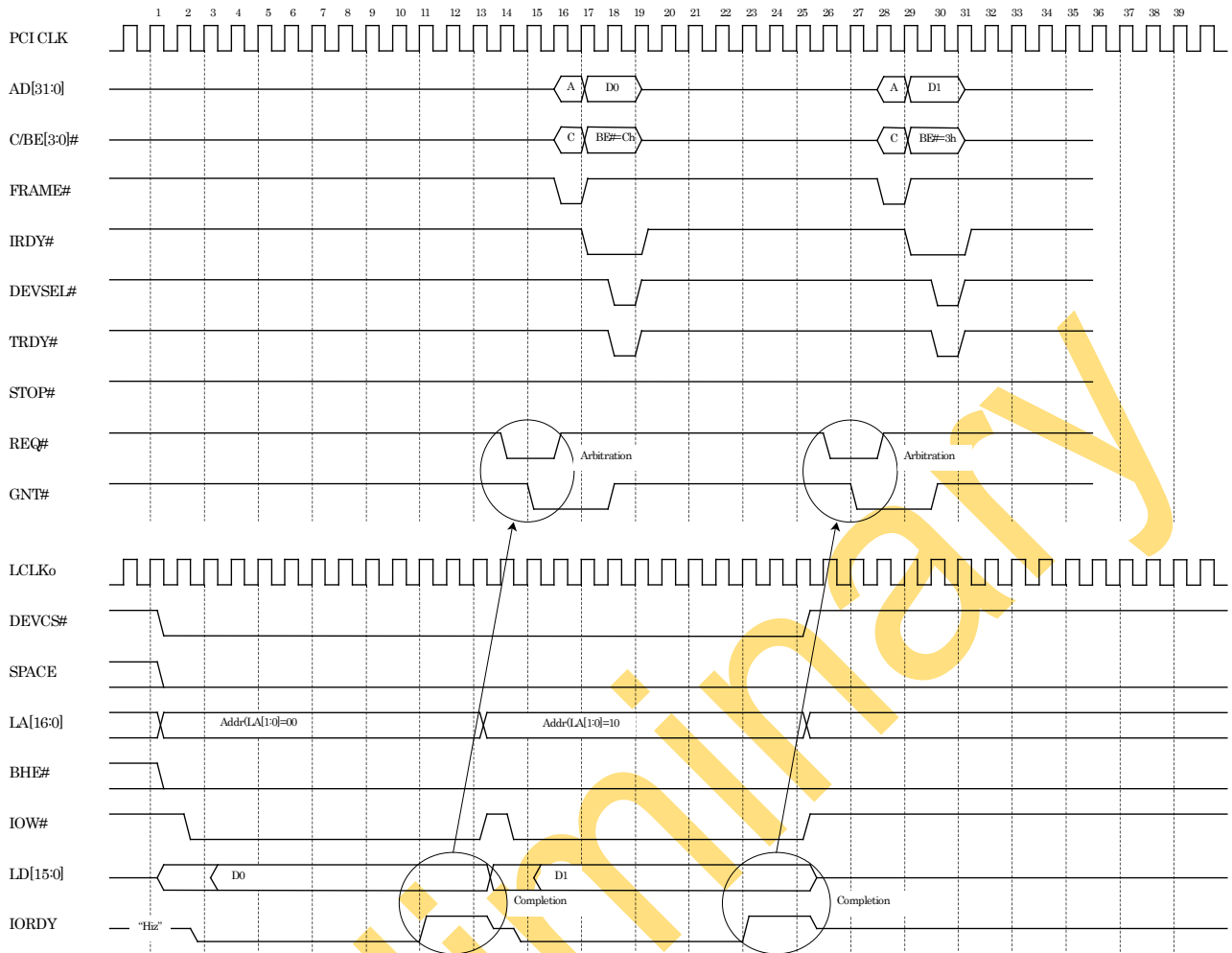


Figure6-17 : I/O ライト・タイミング (Posted WR/Local 16Bit Bus)

■ ローカル・クロック同期モード



● Adapter Control Register

- Local Bus Mode : 8/16Bit NonMux
- Local Clock Mode : Synchronous

● Local Bus Control Register

- Local Bus Width : 16Bit Bus
- Wait State : DW=0

● Local State Control Register

- Local Master Enable : Enable

Figure6-18 : I/O ライト・タイミング (Posted WR/Local 16Bit Bus)



## 6-4-1-5. メモリ・リード・タイミング

### ■ ローカル・クロック非同期モード

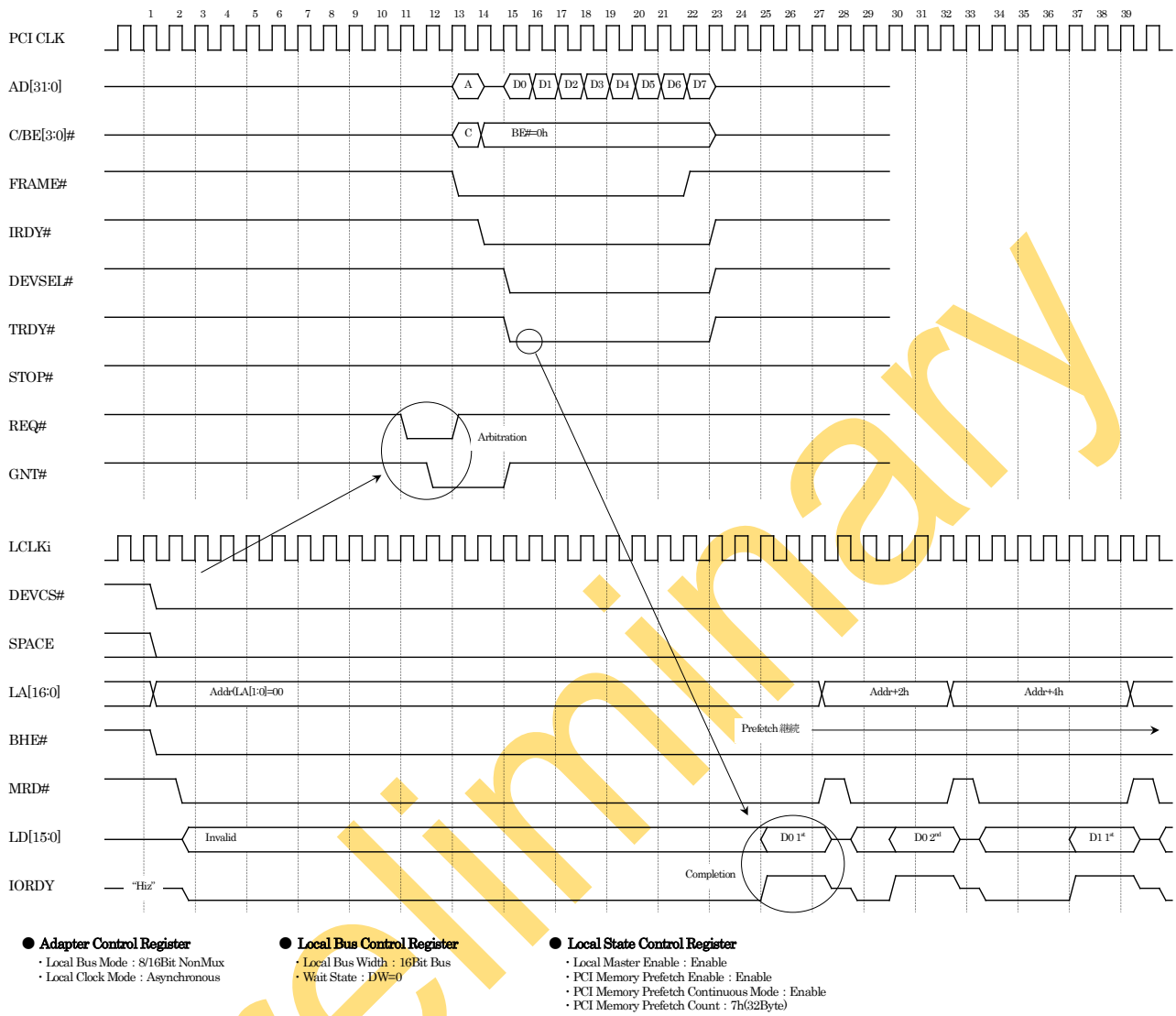


Figure6-19 : メモリ・リード・タイミング (Direct RD to Prefetch RD / Local 16Bit Bus)

■ ローカル・クロック同期モード

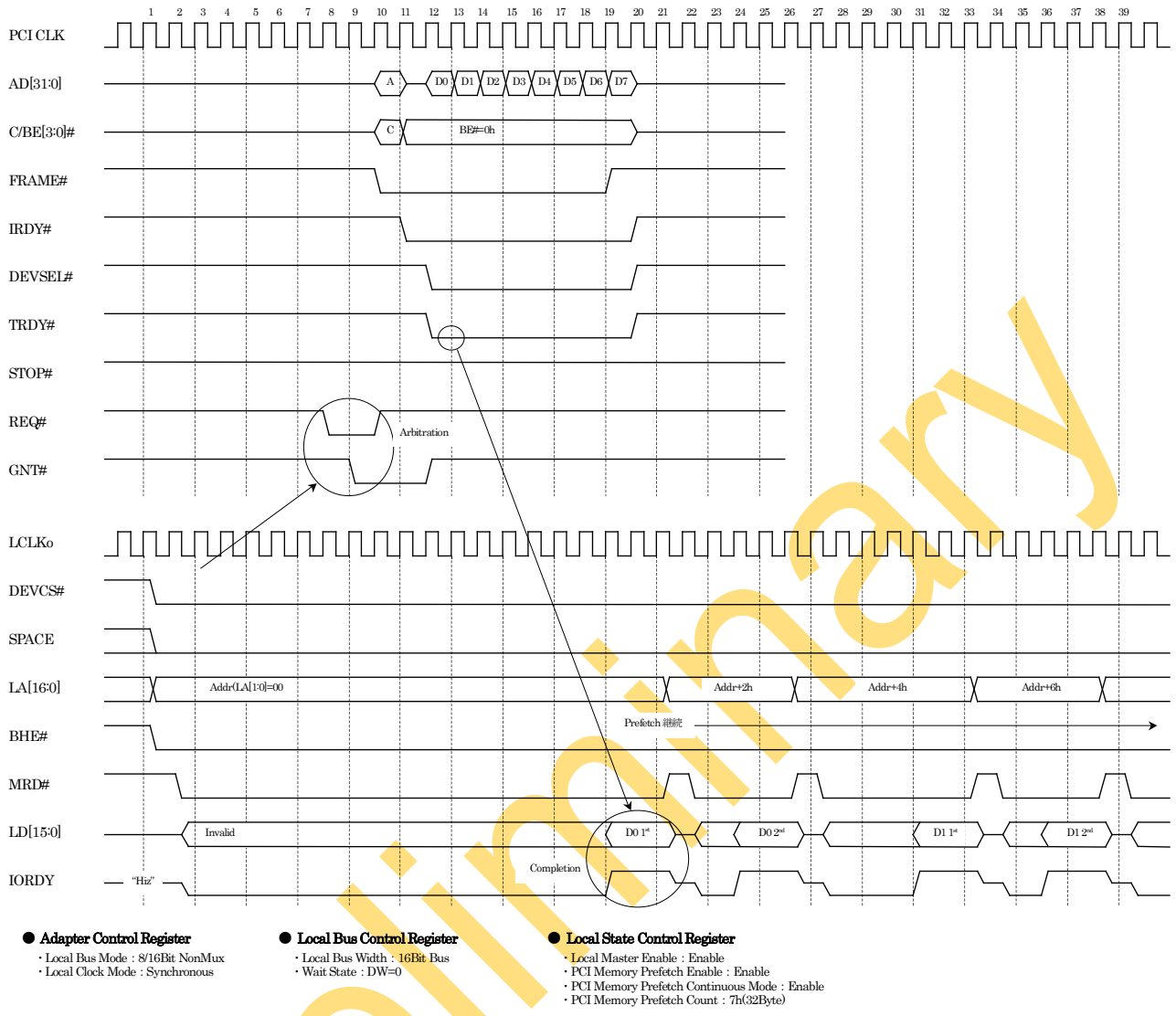


Figure6-20 : メモリ・リード・タイミング (Direct RD to Prefetch RD/Local 16Bit Bus)

## 6-4-1-6. メモリ・ライト・タイミング

### ■ ローカル・クロック非同期モード

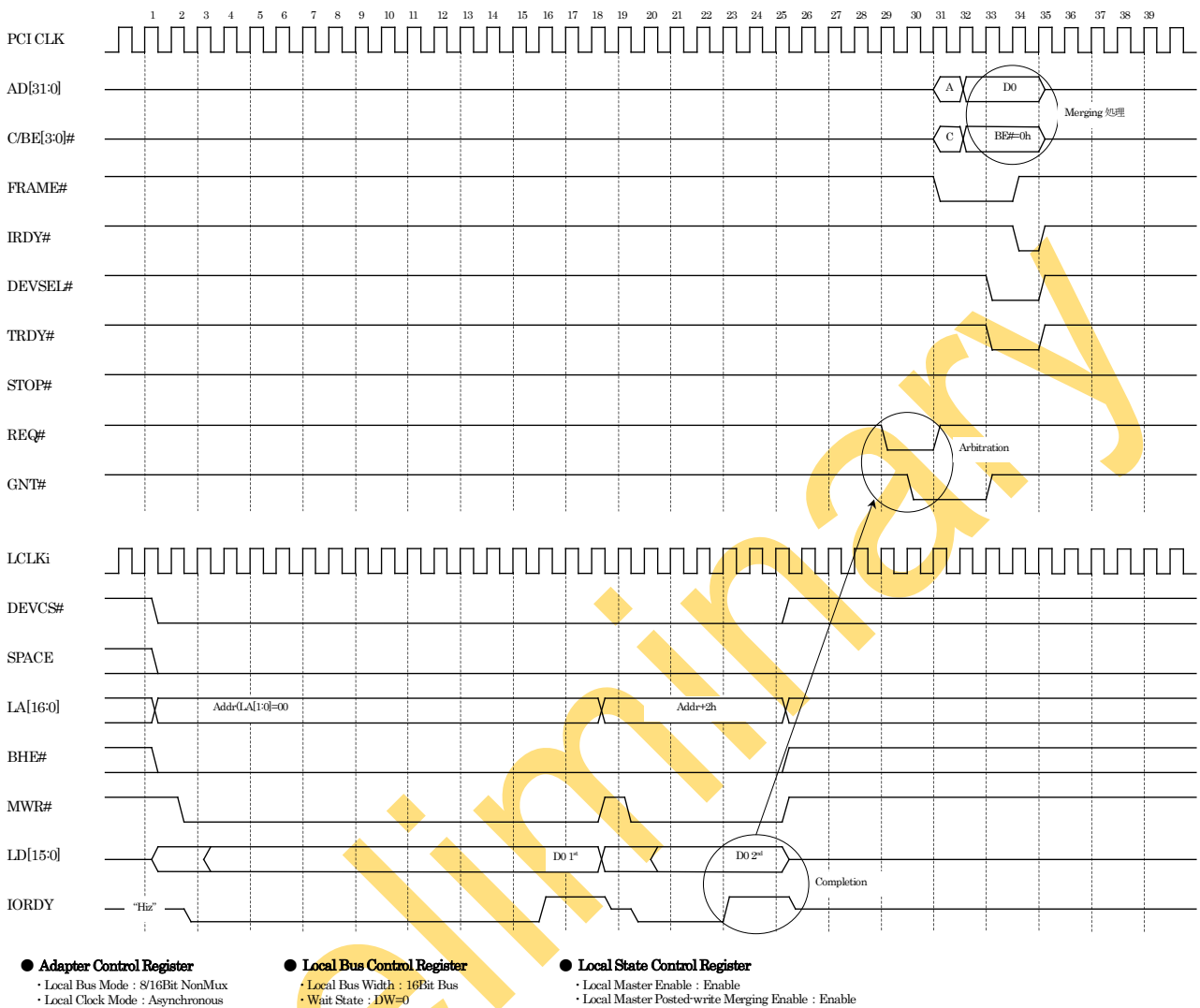


Figure6-21 : メモリ・ライト・タイミング (Posted WR/Merging/Local 16Bit Bus)

■ ローカル・クロック同期モード

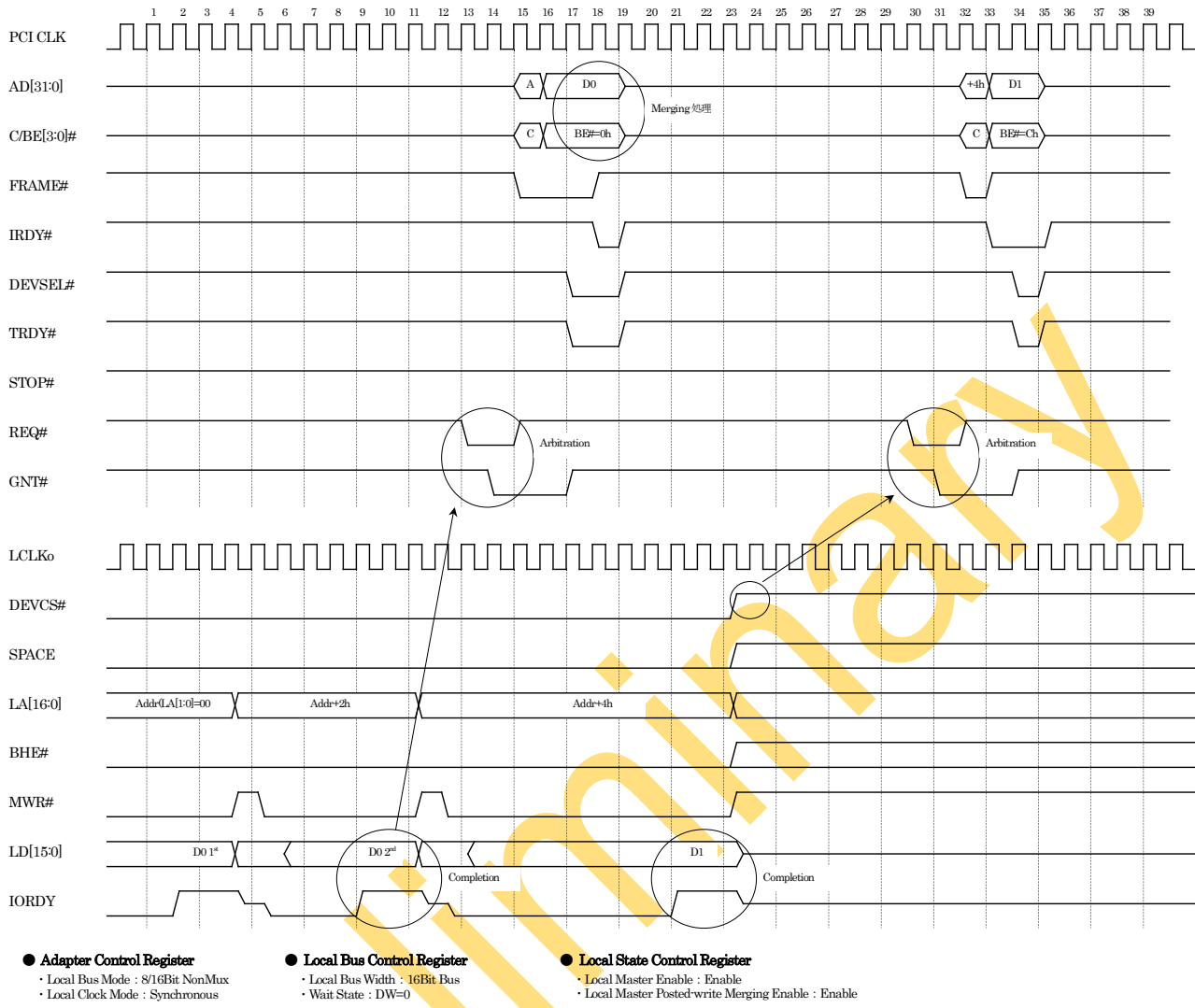


Figure6-22 : メモリ・ライト・タイミング (Posted WR/Merging/Local 16Bit Bus)

## 6-4-2. 32Bit Mux モード

### 6-4-2-1. 内部レジスタ・リード・タイミング

#### ■ ローカル・クロック非同期モード

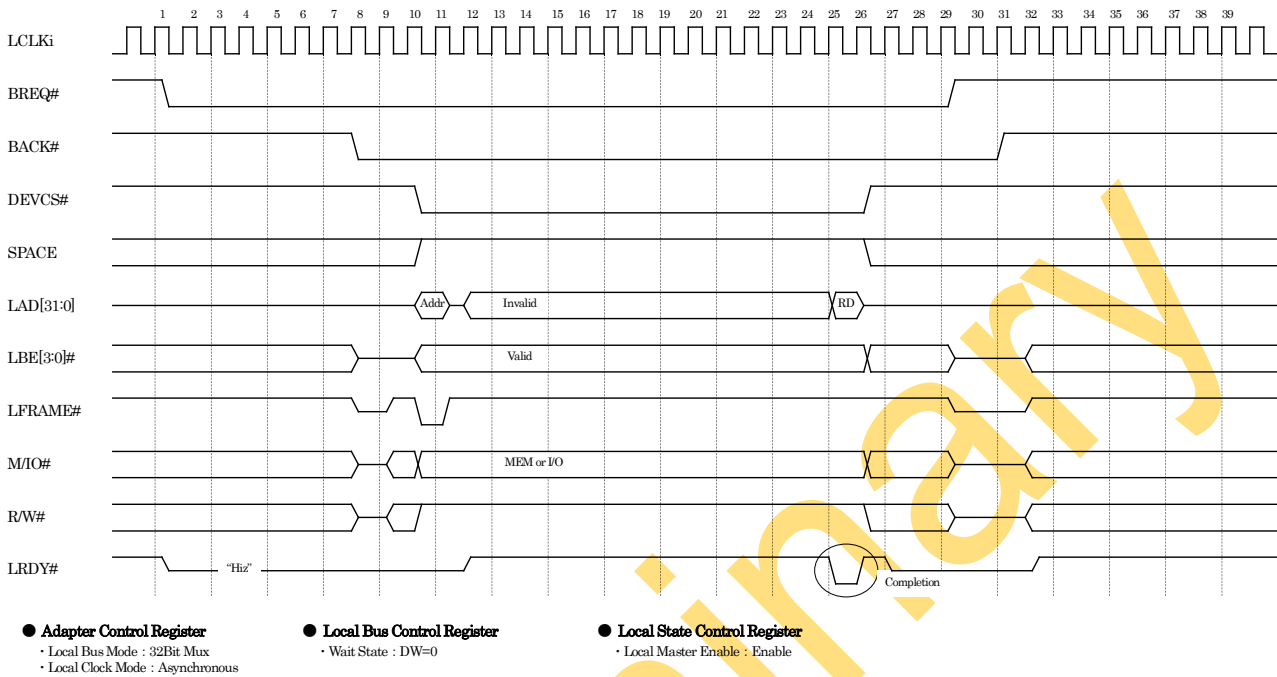


Figure6-23 : 内部レジスタ・リード・タイミング (Local 32Bit Bus)

#### ■ ローカル・クロック同期モード

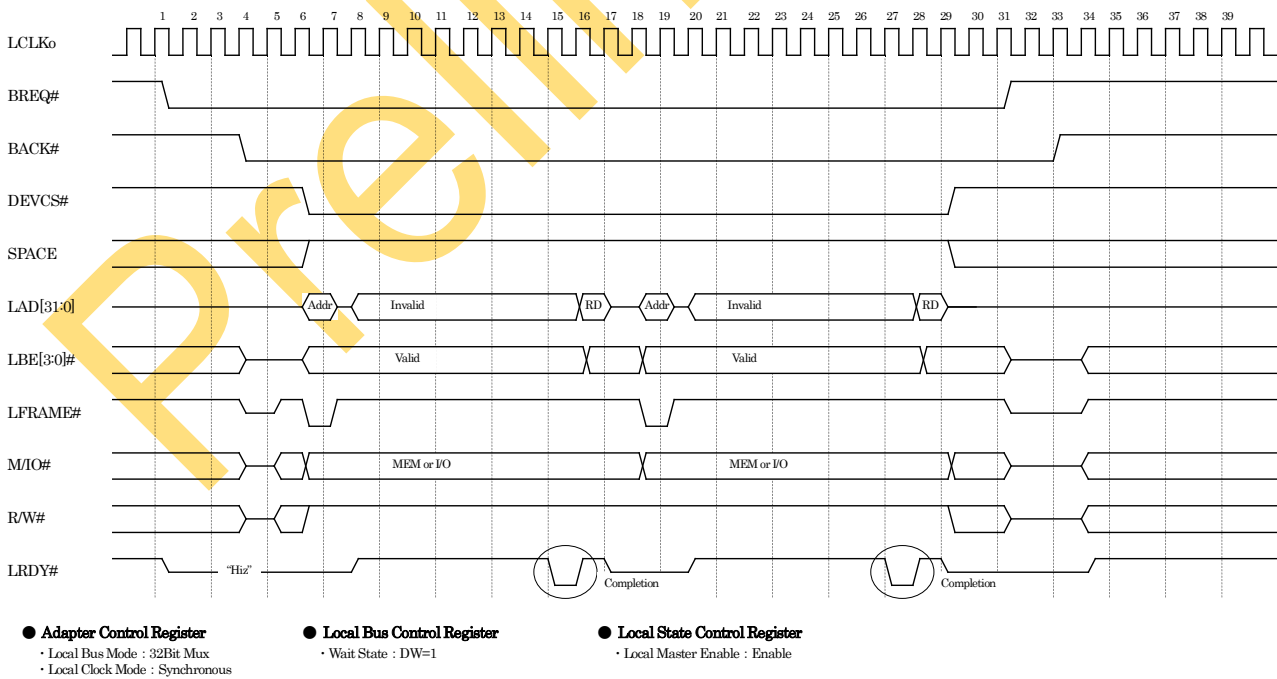


Figure6-24 : 内部レジスタ・リード・タイミング (Local 32Bit Bus)

## 6-4-2-2. 内部レジスタ・ライト・タイミング

### ■ ローカル・クロック非同期モード

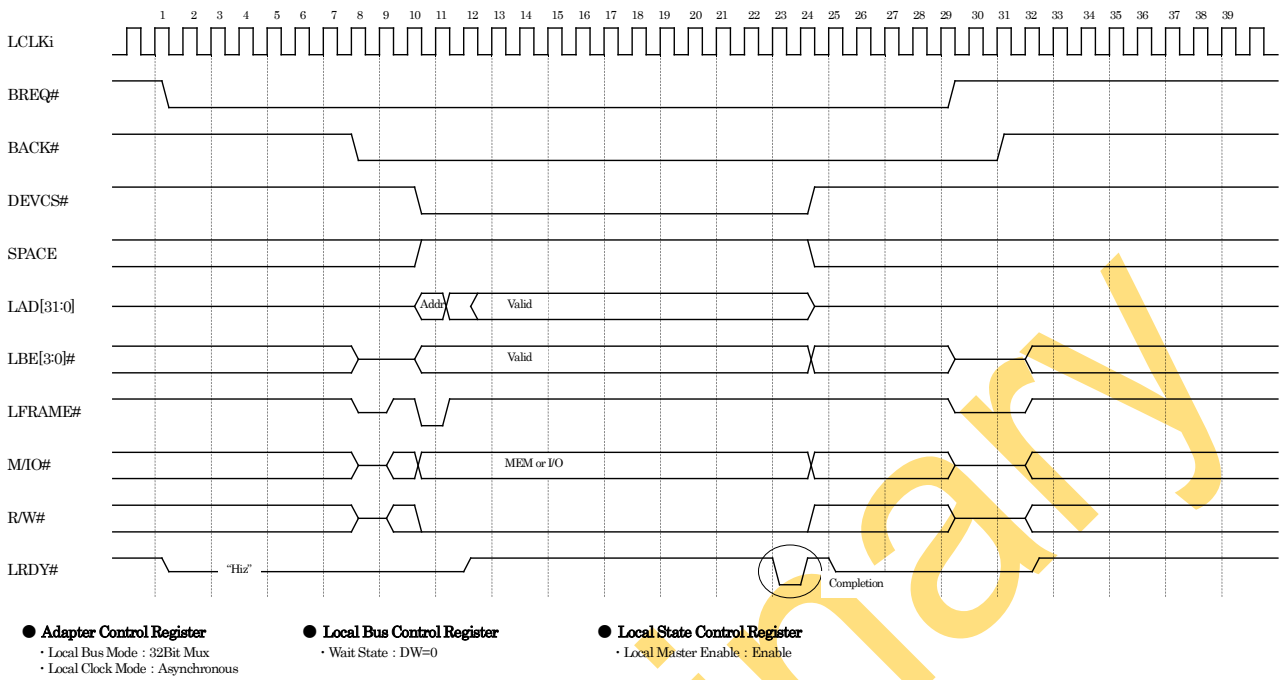


Figure6-25 : 内部レジスタ・ライト・タイミング (Local 32Bit Bus)

### ■ ローカル・クロック同期モード

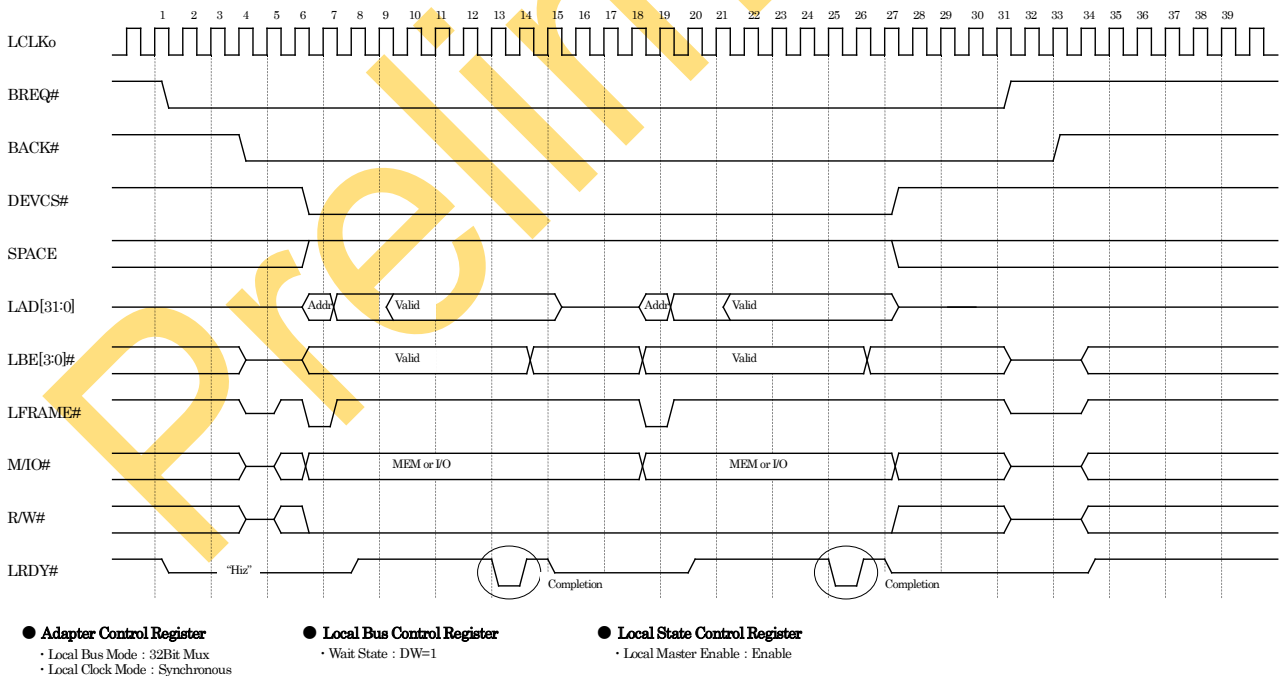


Figure6-26 : 内部レジスタ・ライト・タイミング (Local 32Bit Bus)

### 6-4-2-3. I/O リード・タイミング

#### ■ ローカル・クロック非同期モード

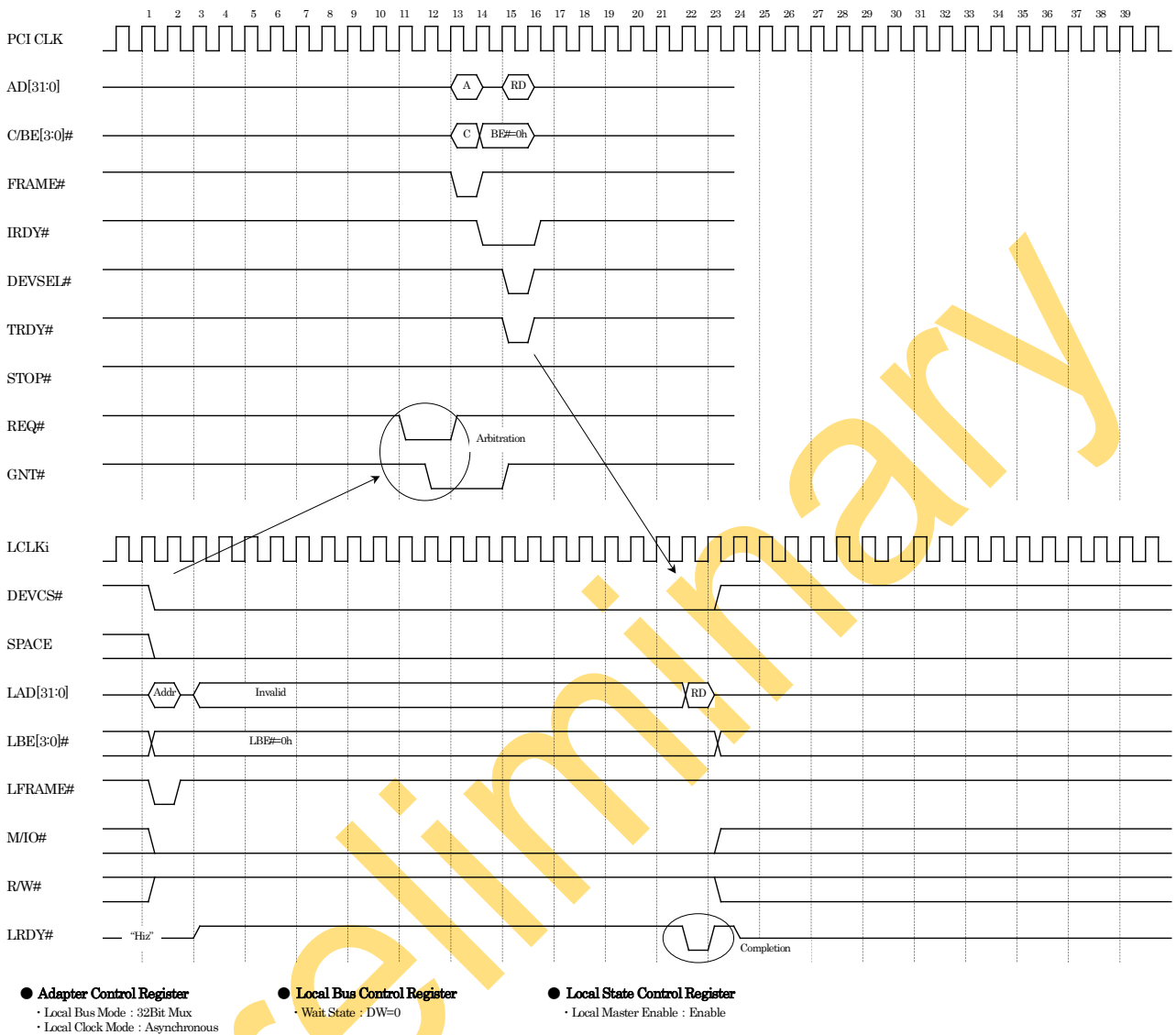
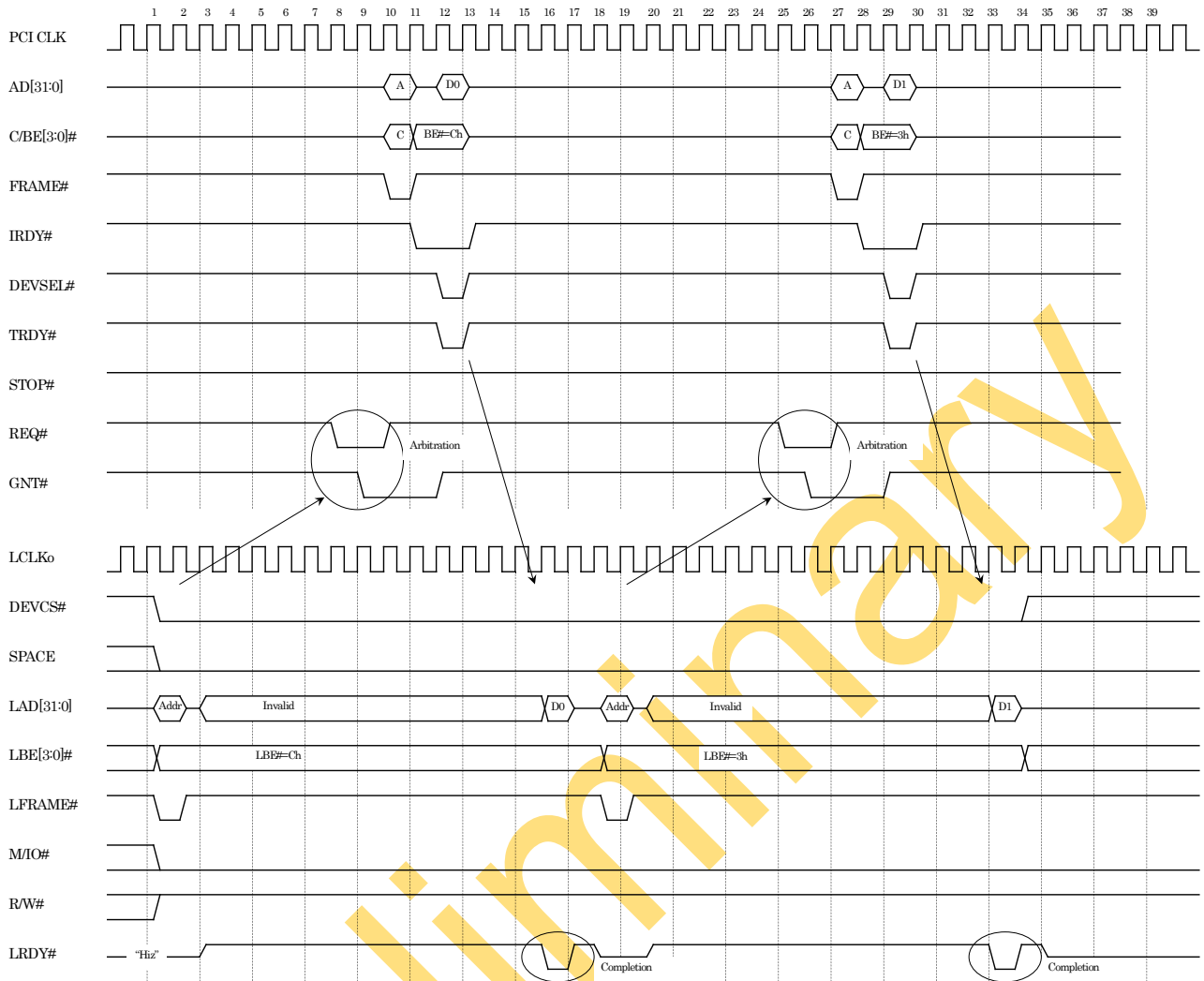


Figure6-27 : I/O リード・タイミング (Direct RD/Local 32Bit Bus)

■ ローカル・クロック同期モード



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Wait State : DW=0

- **Local State Control Register**
  - Local Master Enable : Enable

Figure6-28 : I/O リード・タイミング (Direct RD/Local 32Bit Bus)



## 6-4-2-4. I/O ライト・タイミング

### ■ ローカル・クロック非同期モード

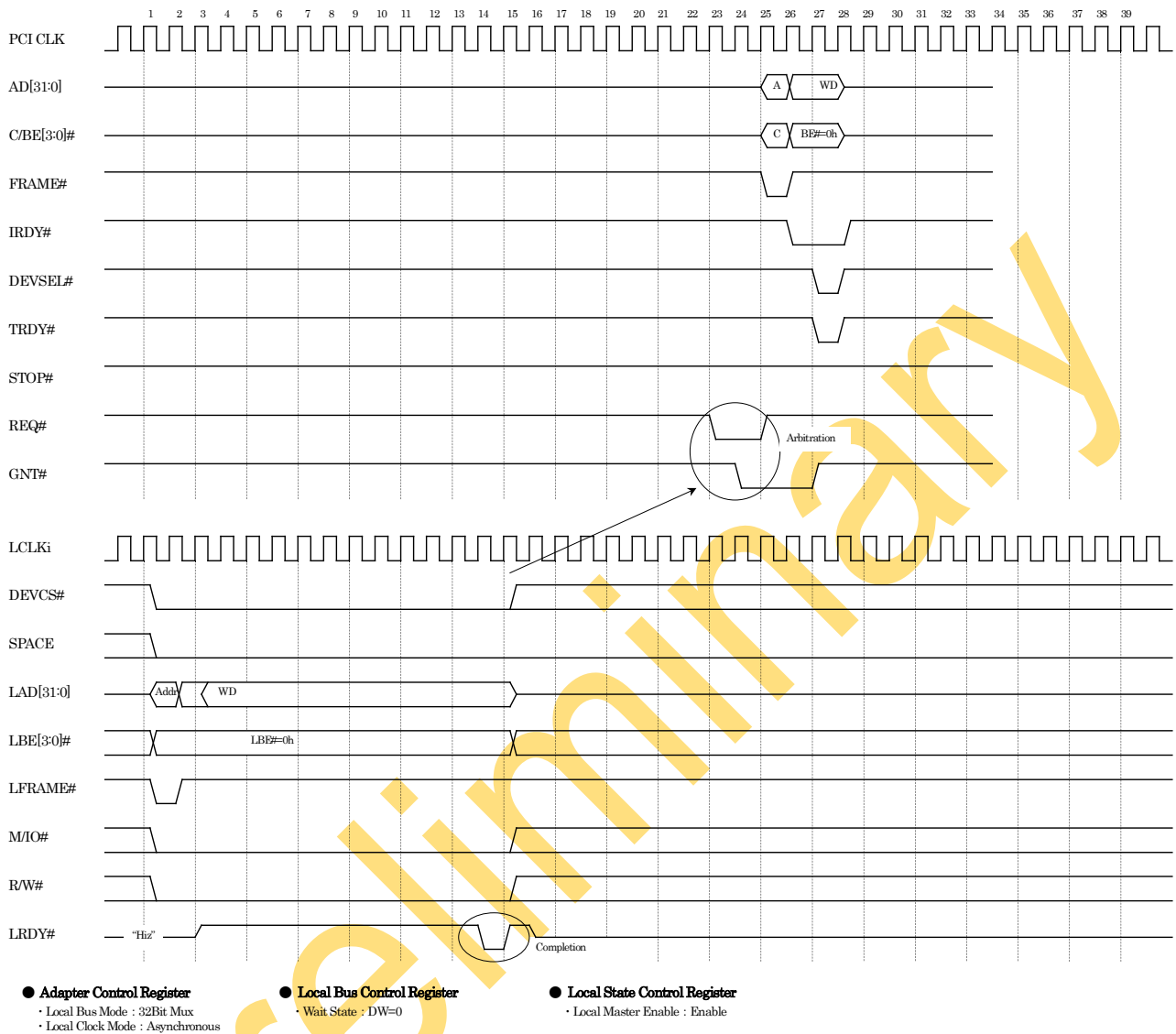
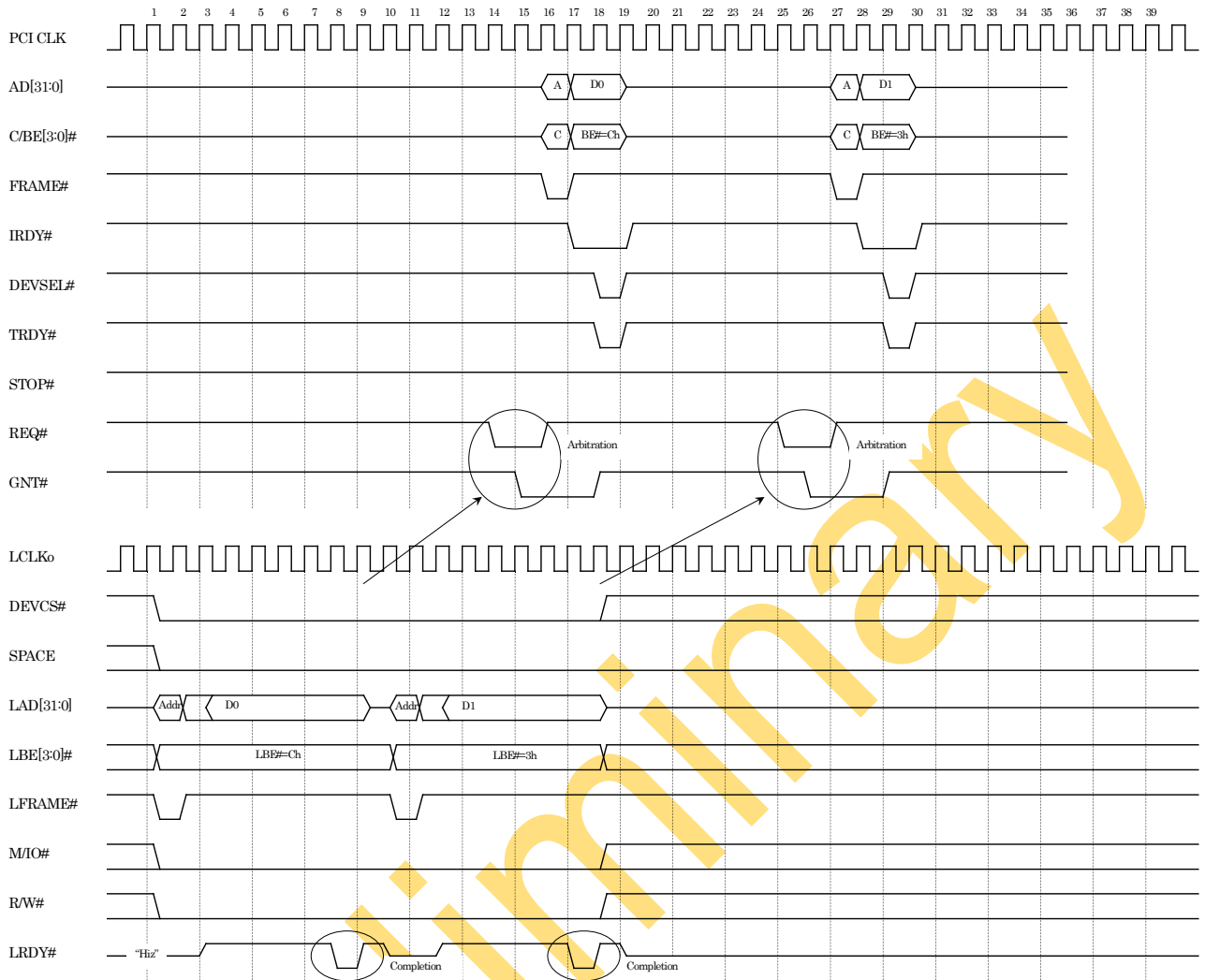


Figure 6-29 : I/O ライト・タイミング (Posted WR/Local 32Bit Bus)

■ ローカル・クロック同期モード



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Wait State : DW=0

- **Local State Control Register**
  - Local Master Enable : Enable

Figure6-30 : I/O ライト・タイミング (Posted WR/Local 32Bit Bus)

## 6-4-2-5. メモリ・リード・タイミング

### ■ ローカル・クロック非同期モード

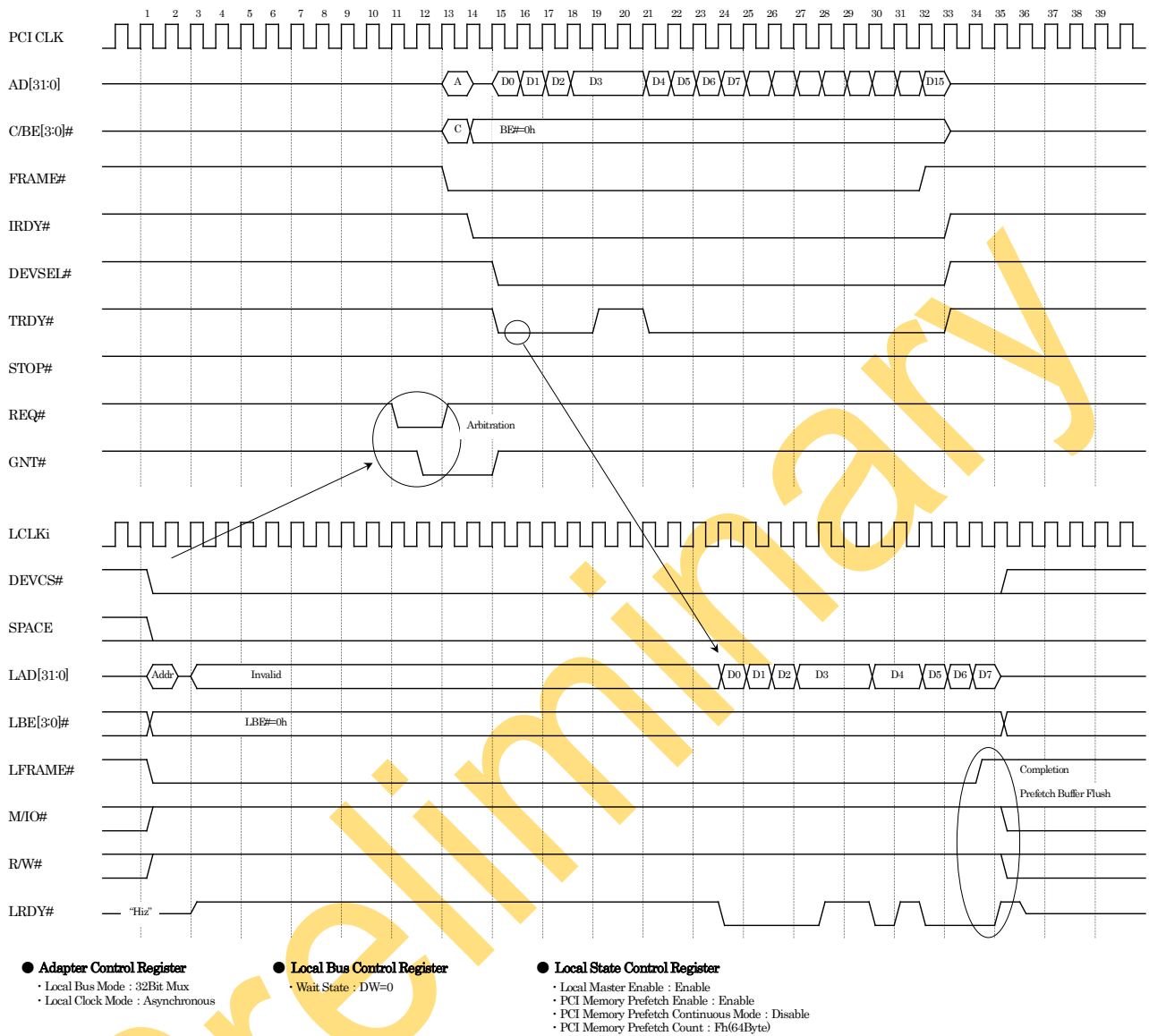
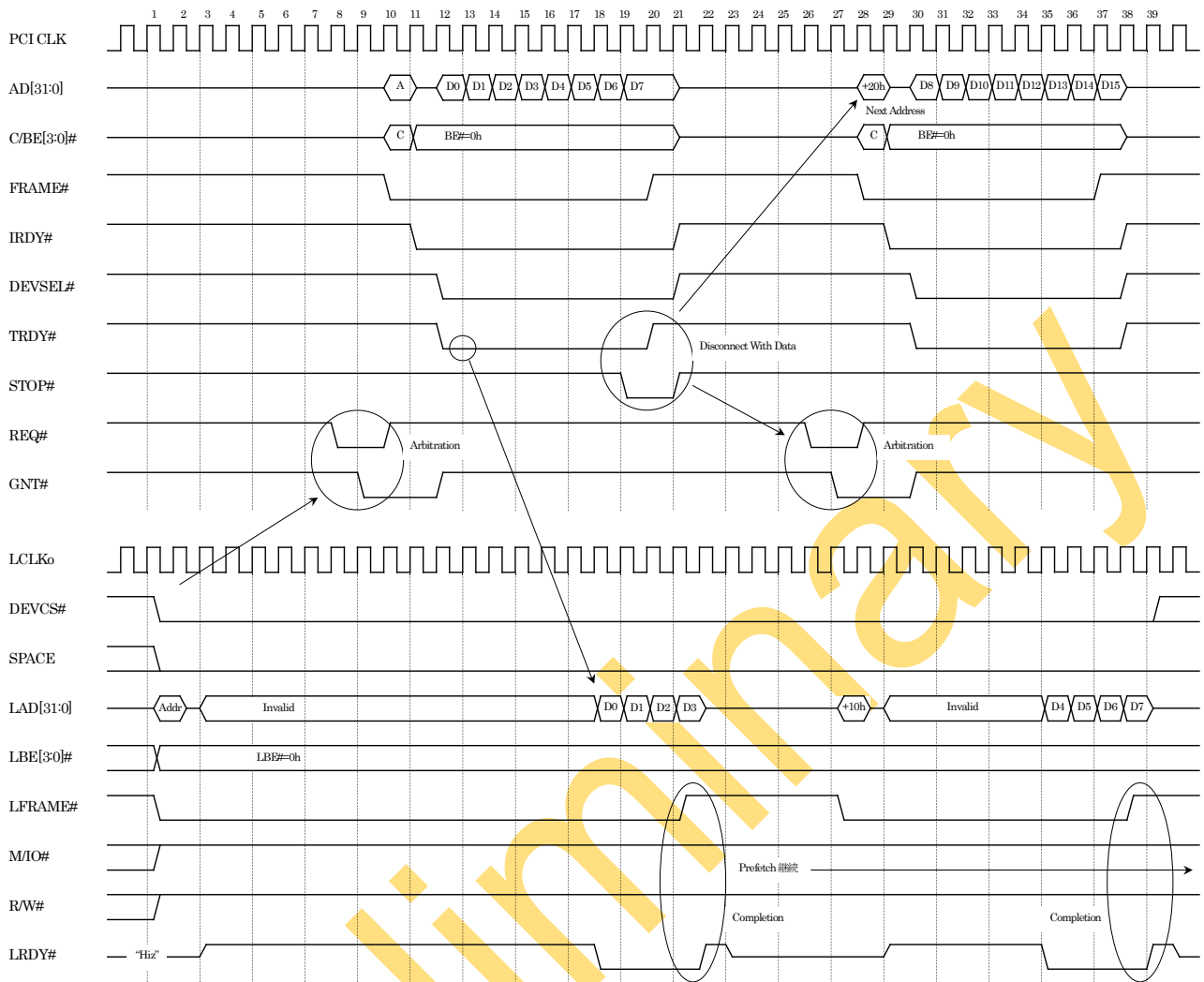


Figure6-31 : メモリ・リード・タイミング (Burst Cycle/Direct RD to Prefetch RD/Local 32Bit Bus)

■ ローカル・クロック同期モード



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Wait State : DW=0

- **Local State Control Register**
  - Local Master Enable : Enable
  - PCI Memory Prefetch Enable : Enable
  - PCI Memory Prefetch Continuous Mode : Enable
  - PCI Memory Prefetch Count : Ph(64Byte)

Figure6-32 : メモリ・リード・タイミング (Burst Cycle/Direct RD to Prefetch RD/Local 32Bit Bus)

## 6-4-2-6. メモリ・ライト・タイミング

### ■ ローカル・クロック非同期モード

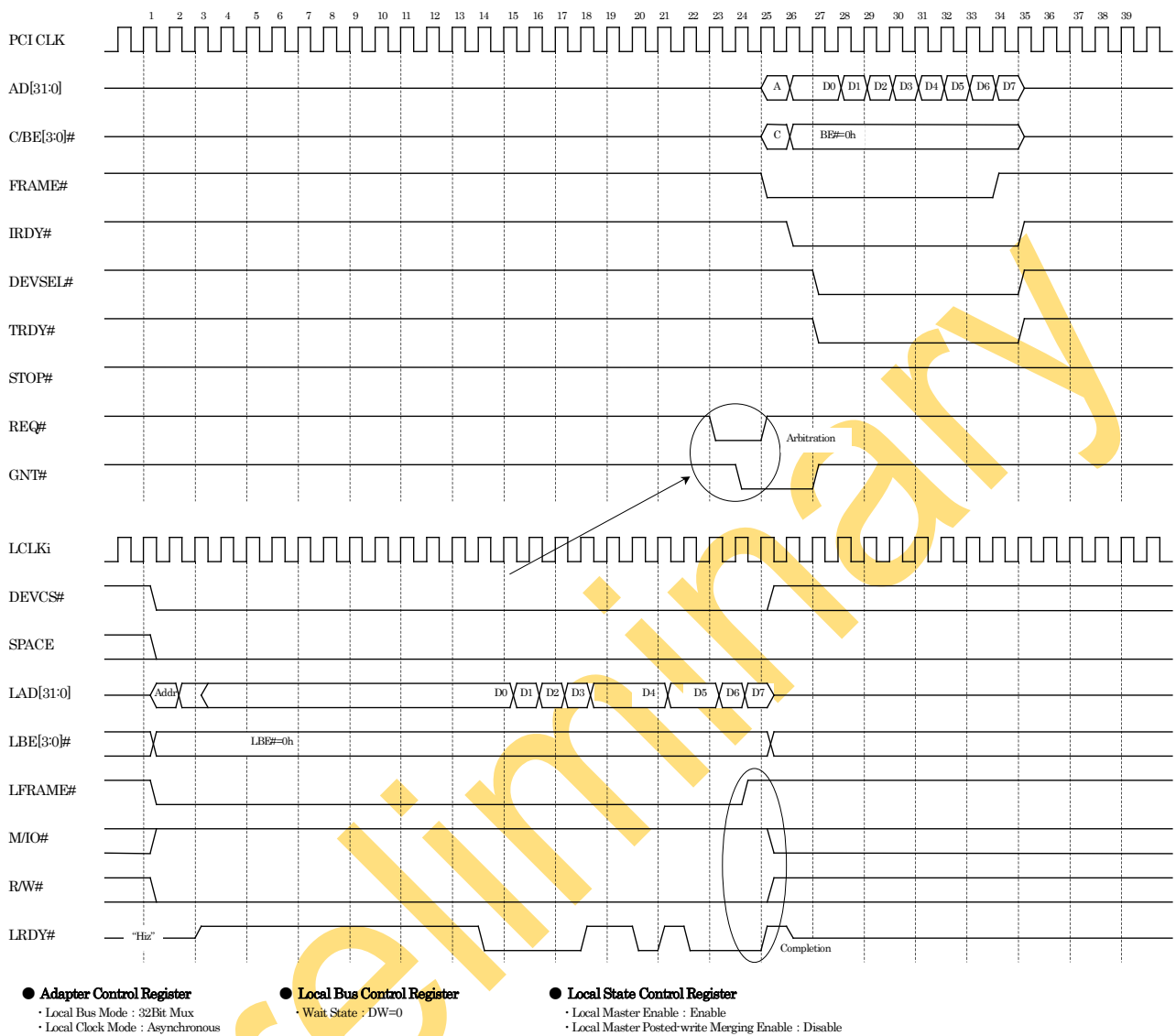
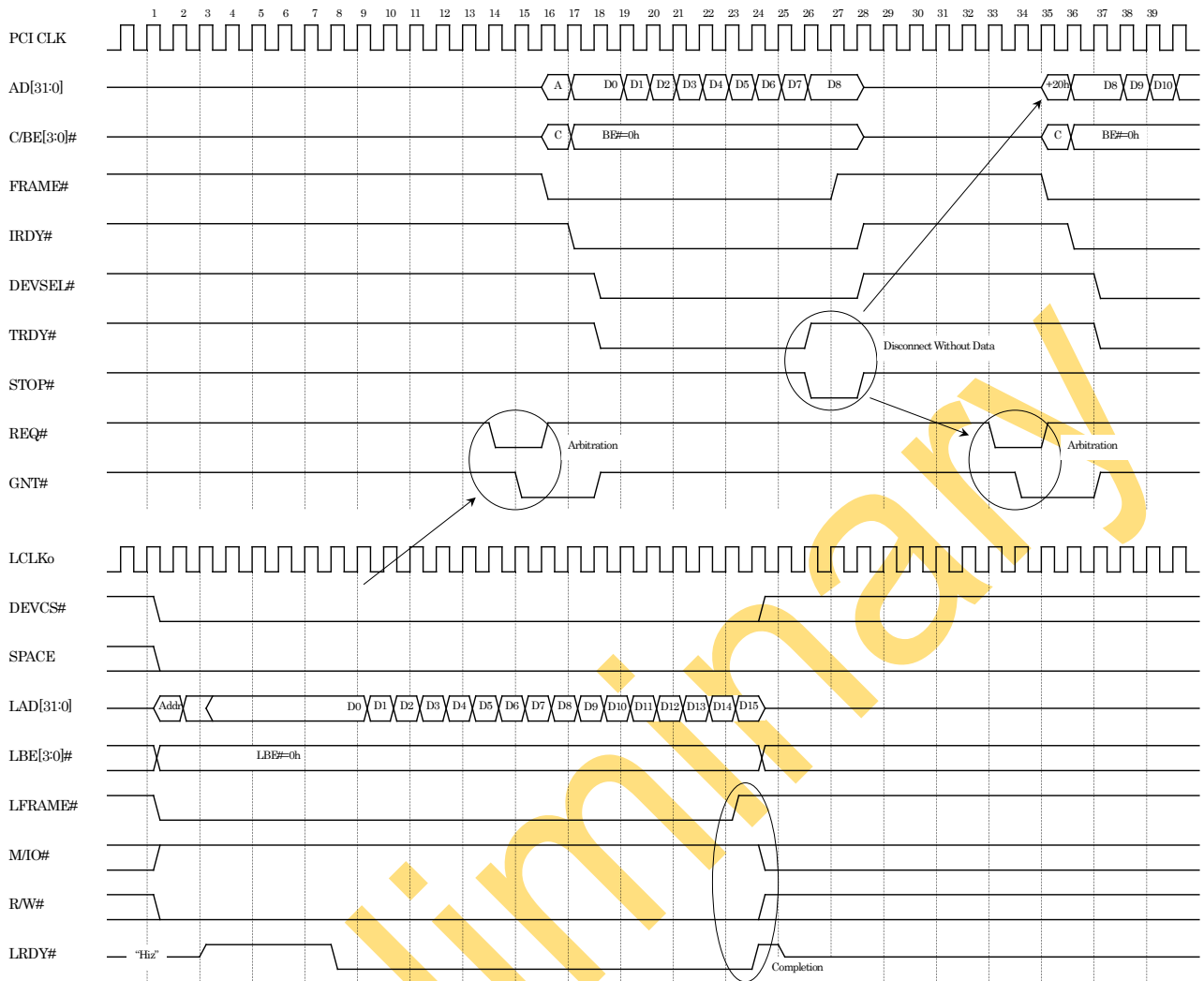


Figure6-33 : メモリ・ライト・タイミング (Burst Cycle/Posted WR /Local 32Bit Bus)

■ ローカル・クロック同期モード



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Wait State : DW=0

- **Local State Control Register**
  - Local Master Enable : Enable
  - Local Master Posted-write Merging Enable : Disable

Figure6-34 : メモリ・ライト・タイミング (Burst Cycle/Posted WR /Local 32Bit Bus)

## 7. DMA 機能

APIC22A は、1 チャンネルの DMA (Direct Memory Access) 機能を内蔵しています。

DMA 機能は、CPU を通さずに直接メモリや I/O デバイスとのデータ転送を行うことができるためシステム・パフォーマンスが向上します。

データ転送モードは、「Local to PCI」または「PCI to Local」から選択が可能で、メモリ空間または I/O 空間を指定できます。転送アドレスは、PCI 側とローカル側共に 4Gbyte 空間を任意に指定できます。転送データ数は、最大 16Mbyte まで可能です。

APIC22A の DMA 制御は、大きく分けて 2 つの方法をサポートしています。

1 つは、APIC22A 内部レジスタの直接操作により DMA 転送を制御する方法です。この方法を通常 DMA 制御 (Normal DMA Control) といいます。

通常 DMA 制御は、内部レジスタで指定される内容で DMA 転送を行い、指定転送数に達したときに終了します。DMA 転送は、ソフトウェアにより次の指示があるまで行われません。

もう一つは、DMA の制御ワード (Control-word) を PCI またはローカル側のリソース空間に配置し DMA 転送を制御する方法です。この方法を間接 DMA 制御 (Indirect DMA Control) といいます。

間接 DMA 制御は、DMA 転送の開始指示があると外部リソースに配置される制御ワードを読み出し、その内容に従った DMA 転送が行われます。

間接 DMA 制御では、単位 (指定転送数) ごとの DMA 転送を続けて行うことができるため仮想的な複数チャンネルの DMA として取り扱うことができます。

外部イベントによる DMA 転送の開始制御をサポートしています。また、DMA 転送の終了による割り込みイベントの生成が可能です。

DMA 機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR)	Local	EEPROM		
			3W	2W	
DMA PCI Address	30h	B0h	—	—	• Bit[31:0] : DMA PCI Address
DMA Local Address	34h	B4h	—	—	• Bit[31:0] : DMA Local Address
DMA Transfer Count / Control	38h	B8h	—	—	• Bit[21:0] : DMA Transfer Count • Bit[24:22] : Transfer Mode • Bit[25] : DREQ# Enable • Bit[27:26] : Addressing Mode • Bit[29:28] : DMA PCI Data Size • Bit[31:30] : DMA Local Data Size
DMA Indirect Control-word Address	3Ch	BCh	—	—	• Bit[0] : Indirect Control Enable • Bit[2:1] : Control Word Space • Bit[31:4] : Indirect Control-word Address
DMA Control	40h	C0h	—	—	• Bit[0] : DMA Enable • Bit[1] : DMA Start Factor Select • Bit[3:2] : Start Factor IRQ Select • Bit[4] : DMA Start Factor Mode • Bit[5] : DMATC Interrupt Mode • Bit[6] : PCI I/O Burst Enable • Bit[7] : Local Burst Enable
PCI State Control	20h	A0h	2Eh	5Ch 5Dh	• Bit[20] : Force DMA Mode • Bit[23] : PCI Retry Limit Control • Bit[31:24] : PCI Retry Limit Count
Local State Control	2Ch	ACh	34h	68h 69h	• Bit[17] : DMA No Local Prefetch • Bit[18] : PCI Target / DMA No Local Master Access • Bit[23] : Local Wait Limit Control • Bit[31:24] : Local Wait Limit Count

## 7-1. 通常 DMA 制御

通常の DMA 制御について説明します。

通常 DMA 制御は、内部レジスタの直接操作により DMA 転送を行います。

なお、本項目で説明のある各機能ビットの内容は、間接 DMA 制御時と同じ内容で取り扱われます。

### 7-1-1. 転送アドレスの設定

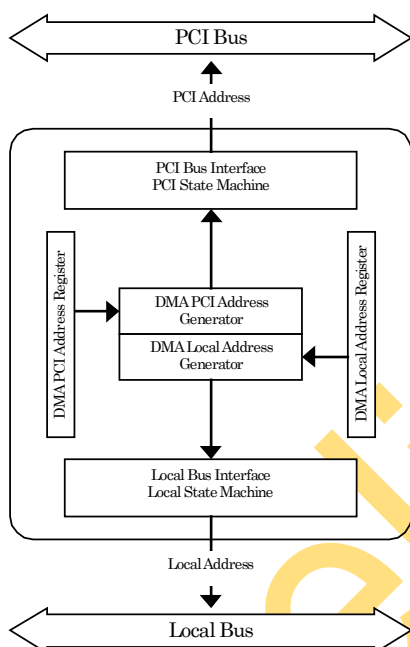
PCI およびローカルの DMA 転送開始アドレスを設定します。

- PCI Address => 「DMA PCI Address Register」
- Local Address => 「DMA Local Address Register」

それぞれのアドレスは、DMA 転送を開始する前に設定しなければなりません。

設定されたアドレスは、DMA の開始指示があると DMA アドレス・ジェネレータにロードされます。

DMA アドレス・ジェネレータでは、アドレッシング・モードとデータ・サイズの設定に従い、1つのデータ転送ごとにアドレスを更新します。



データ・サイズにより設定できるアドレス範囲が変わります。

- **データ・サイズ = 8Bit (Byte) :**  
32Bit の DMA アドレス (A[31:0]) は全て有効です。  
アドレッシング・モードがインクリメントに指定されるときは、値+1加算で処理されます。
- **データ・サイズ = 16Bit (Word) :**  
DMA アドレスの上位 31Bit (A[31:1]) が有効で下位 1Bit (A[0]) は値'0'固定です。  
アドレッシング・モードがインクリメントに指定されるときは、値+2加算で処理されます。指定できる転送アドレスは、2Byte のアドレス・バウンダリに固定されます。
- **データ・サイズ = 32Bit (Dword) :**  
DMA アドレスの上位 30Bit (A[31:2]) が有効で下位 2Bit (A[1:0]) は値'0'固定です。  
アドレッシング・モードがインクリメントに指定されるときは、値+4加算で処理されます。指定できる転送アドレスは、4Byte のアドレス・バウンダリに固定されます。

Figure7-1 : DMA アドレスの制御

### 7-1-2. 転送カウント

DMA の転送回数を設定します。DMA の開始指示があると設定値を転送カウンタにロードします。

ここで指定される回数分のデータ転送が 1 単位の DMA 転送となります。

- Transfer Count => 「DMA Transfer Count/Control Register : DMA Transfer Count」

転送カウンタは、22Bit のダウン・カウンタで構成され最大 4M 回数まで指定できます。

- 転送回数 (単位 DMA 転送) = 設定値 (Transfer Count) + 1

ダウン・カウンタは、転送元 (Source) のデータ・サイズで指定される幅のデータ転送ごとにカウントされ、カウンタ・ボローの検出で終了します。

- **データ・サイズと転送データ数**

データ・サイズ	転送データ数
8Bit (Byte)	最大 4Mbyte
16Bit (Word)	最大 8Mbyte
32Bit (Dword)	最大 16Mbyte



### 7-1-3. 転送モード

DMA 機能には、8 種類の転送モードがあり、データ転送の方向や転送元 (Source) と転送先 (Destination) のリソース空間を指定します。

転送方向は、ローカル側が転送元となる「Local to PCI」と PCI 側が転送元となる「PCI to Local」から選択します。リソース空間は、PCI 側とローカル側共にメモリ空間または I/O 空間を指定可能で、転送方向と合わせて設定します。

・DMA Transfer Mode => 「DMA Transfer Count/Control Register : Transfer Mode」

#### ● 転送方向とリソース空間の指定

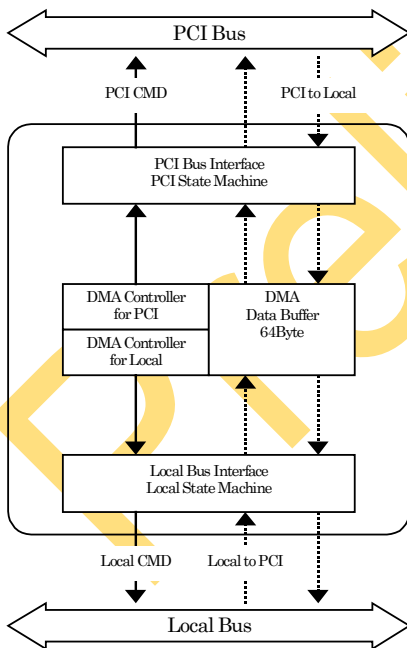
Transfer Mode Bit	転送方向	リソース空間	
		Local Bus	PCI Bus
000	Local to PCI	I/O	Memory
001	Local to PCI	I/O	I/O
010	PCI to Local	I/O	Memory
011	PCI to Local	I/O	I/O
100	Local to PCI	Memory	Memory
101	Local to PCI	Memory	I/O
110	PCI to Local	Memory	Memory
111	PCI to Local	Memory	I/O

#### 7-1-3-1. データ・パス制御

DMA 機能におけるデータ転送は、プリフェッチド・ライト (Prefetched WR) で行われます。

プリフェッチド・ライトは、転送元からデータを先読み (Prefetch RD) し同時に転送先へ書き込む動作です。

DMA 転送におけるデータ・パス制御の内部構成を Figure7-2 に示します。



#### ● DMA Controller

PCI およびローカルのバス・コマンドを生成します。

また、アドレス/転送カウンタおよびバス・タイミング制御を管理します。

#### ● DMA Data Buffer

DMA 転送用の 64Byte (16Dword) 分の双方向データ・バッファです。

「Local to PCI」および「PCI to Local」で同じデータ・バッファが使用されます。

転送元からは、データ・バッファの空き領域があるとき Prefetch RD が行われます。

転送先には、データ・バッファに有効なデータがあるとき書き込みが行われます。

転送カウント分のデータの読み出しが完了しても内部データ・バッファに有効データがある場合、DMA 転送は続いている状態です。有効データが全て転送先に引き渡されたとき DMA 転送は終了します。終了状態は、「DMA Control Register : DMA Enable」で確認できます。

なお、PCI バスにおける Target Abort/Master Abort およびリトライ制限でバス・サイクルを終了した場合、DMA 転送は終了し内部データ・バッファの無効化処理が行われます。また、ローカル・バスにおけるウェイト制限でバス・サイクルを終了した場合も DMA 転送は終了し内部データ・バッファの無効化処理が行われます。

Figure7-2 : DMA 転送のデータ・パス制御

## 7-1-4. アドレッシング・モードとデータ・サイズ

DMA 転送におけるアドレスの更新方法と転送データの単位幅を指定します。

アドレス更新方法は、PCI/ローカルそれぞれに指定が可能で、固定モード (Fix) とインクリメント・モード (Increment) から選択します。

データ・サイズは、PCI/ローカルそれぞれに指定が可能で、8Bit(Byte)/16Bit(Word)および 32Bit(Dword)から選択します。転送元のデータ・サイズ単位で転送カウンタが更新されます。

- ・DMA Addressing Mode => 「DMA Transfer Count/Control Register : Addressing Mode」
- ・DMA PCI Data Size => 「DMA Transfer Count/Control Register : PCI Data Size」
- ・DMA Local Data Size => 「DMA Transfer Count/Control Register : Local Data Size」

アドレッシング・モードとデータ・サイズの指定によりバス動作が変わります。

### 7-1-4-1. PCIバスの動作

#### ■ データ・サイズ

データ・サイズが 8Bit/16Bit のときは、転送空間に関わらず全てシングル・アクセスで行われます。

データ・サイズが 32Bit のメモリ空間に対する転送のとき、バースト・アクセスで行われます。ただし、内部データ・バッファの状態によりシングル・アクセスになる場合があります。

データ・サイズが 32Bit の I/O 空間に対する転送のとき、「DMA Control Register : PCI I/O Burst Enable」でイネーブルに指定されているときバースト・アクセスで行われます。ただし、内部データ・バッファの状態によりシングル・アクセスになる場合があります。ディセーブルに指定されているときは、全てシングル・アクセスで行われます。

#### ● データ・サイズとバス動作の関係

PCI Data Size	PCI Access	
	I/O Space	Memory Space
8Bit(Byte)	Single Access	Single Access
16Bit(Word)	Single Access	Single Access
32Bit(Dword)	Single/Burst Access *1	Single/Burst Access

Notes :

\*1 I/O バースト転送は内部レジスタで選択します。

#### ■ アドレッシング・モード

アドレッシング・モードが固定モードのとき、「DMA PCI Address Register」の設定値がそのまま反映されアドレスやバイト・レーンの更新は行われません。

アドレッシング・モードがインクリメント・モードのとき、指定データ・サイズ単位でアドレスとバイト・レーンの更新が行われます。

#### ● アドレッシング・モードとバス動作の関係

Addressing Mode	PCI Data Size	PCI Bus Cycle							
		1 <sup>st</sup> Access		2 <sup>nd</sup> Access		3 <sup>rd</sup> Access		4 <sup>th</sup> Access	
		Addr	BE#	Addr	BE#	Addr	BE#	Addr	BE#
Fix	8Bit(Byte)	0h	1110	+0h	1110	+0h	1110	+0h	1110
	16Bit(Word)	0h	1100	+0h	1100	+0h	1100	+0h	1100
	32Bit(Dword)	0h	0000	+0h	0000	+0h	0000	+0h	0000
Increment	8Bit(Byte)	0h	1110	+1h	1101	+2h	1011	+3h	0111
	16Bit(Word)	0h	1100	+2h	0011	+4h	1100	+6h	0011
	32Bit(Dword)	0h	0000	+4h	0000	+8h	0000	+Ch	0000

Notes : メモリ・アクセスの場合、Addr[1:0]は値"0"に固定されます。

## 7-1-4-2. ローカル・バスの動作

### ■ データ・サイズ

ローカル・バスが 8/16Bit NonMux モードの場合、指定データ・サイズにより起動するバス・サイクル数が変わります。

### ● データ・サイズとバス・サイクル数の関係 (8/16Bit NonMux Mode)

Local Data Size	Local Bus Cycle	
	8Bit Bus	16Bit Bus
8Bit(Byte)	Bus Cycle = 1	Bus Cycle = 1
16Bit(Word)	Bus Cycle = 2	Bus Cycle = 1
32Bit(Dword)	Bus Cycle = 4	Bus Cycle = 2

ローカル・バスが 8Bit 幅のときを例に Figure7-3 に示します。

Figure7-3 では、データ・サイズを 32Bit (Dword) としています。1 単位のデータ転送に 4 回のバス・サイクル (1<sup>st</sup> Addr~4<sup>th</sup> Addr) が起動します。また、転送カウンタも 4 回のバス・サイクルごとに更新されます。

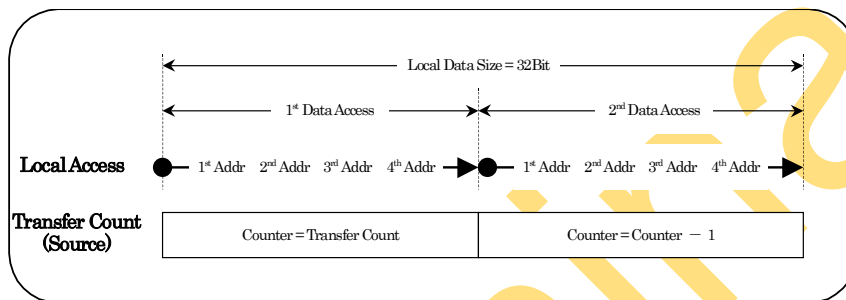


Figure7-3 : 8Bit ローカル・バス時のバス・サイクル数

ローカル・バスが 32Bit Mux モードの場合、32Bit のバス幅で転送が行われるため指定データ・サイズとバス・サイクル数の関係は同じです。

32Bit Mux モードでは、シングル・アクセスまたはバースト・アクセスを選択可能です。

「DMA Control Register : Local Burst Enable」がディセーブルに指定されるときは、全てシングル・アクセスで行われます。イネーブルに指定されるときは、バースト・アクセスで行われます。ただし、内部データ・バッファの状態によりシングル・アクセスになる場合があります。

### ■ アドレッシング・モード

ローカル・バスが 8/16Bit NonMux モードの場合、指定データ・サイズによりアドレスの更新方法が変わります。

アドレッシング・モードが固定モードのとき、バス幅を超えるデータ・サイズが指定されていると、「DMA Local Address Register」の設定値を基準に指定データ・サイズ分のアドレスとバイト・レーンの更新を繰り返し行います。バス幅と同じか、それ以下のデータ・サイズが指定されているときは、「DMA Local Address Register」の設定値がそのまま反映されアドレスやバイト・レーンの更新は行われません。

ローカル・バスが 32Bit Mux モードの場合、アドレッシング・モードが固定モードのときは、「DMA Local Address Register」の設定値がそのまま反映されアドレスやバイト・レーンの更新は行われません。

アドレッシング・モードがインクリメント・モードのときは、「DMA Control Register : Local Burst Enable」の設定状態により更新方法が変わります。

ディセーブル設定では、シングル・アクセス・ルールが適用され、指定データ・サイズ単位でアドレスとバイト・レーンの更新が行われます。

イネーブル設定では、バースト・アクセス・ルールが適用され、4Byte バウンダリ (+4h) 単位のアドレス加算で更新されます。ただし、バイト・レーンの更新は行われません。また、内部データ・バッファの状態によるシングル・アクセスでもバースト・アクセス・ルールが適用されます。

なお、バースト・アクセスが許可されている場合でも DREQ#/DACK#信号によるハンドシェイク制御のときはシングル・アクセス・ルールが適用されます。

● アドレッシング・モードとバス動作の関係 (8/16Bit NonMux Mode : 8Bit Bus)

Addressing Mode	Local Data Size	Local Bus Cycle							
		1 <sup>st</sup> Data Access				2 <sup>nd</sup> Data Access			
		1 <sup>st</sup> Addr	2 <sup>nd</sup> Addr	3 <sup>rd</sup> Addr	4 <sup>th</sup> Addr	1 <sup>st</sup> Addr	2 <sup>nd</sup> Addr	3 <sup>rd</sup> Addr	4 <sup>th</sup> Addr
Fix	8Bit(Byte)	0h	—	—	—	+0h	—	—	—
	16Bit(Word)	0h	+1h	—	—	+0h	+1h	—	—
	32Bit(Dword)	0h	+1h	+2h	+3h	+0h	+1h	+2h	+3h
Increment	8Bit(Byte)	0h	—	—	—	+1h	—	—	—
	16Bit(Word)	0h	+1h	—	—	+2h	+3h	—	—
	32Bit(Dword)	0h	+1h	+2h	+3h	+4h	+5h	+6h	+7h

● アドレッシング・モードとバス動作の関係 (8/16Bit NonMux Mode : 16Bit Bus)

Addressing Mode	Local Data Size	Local Bus Cycle							
		1 <sup>st</sup> Data Access				2 <sup>nd</sup> Data Access			
		1 <sup>st</sup> Address		2 <sup>nd</sup> Address		1 <sup>st</sup> Address		2 <sup>nd</sup> Address	
		Addr	BHE#	Addr	BHE#	Addr	BHE#	Addr	BHE#
Fix	8Bit(Byte)	0h	1	—	—	+0h	1	—	—
	16Bit(Word)	0h	0	—	—	+0h	0	—	—
	32Bit(Dword)	0h	0	+2h	0	+0h	0	+2h	0
Increment	8Bit(Byte)	0h	1	—	—	+1h	0	—	—
	16Bit(Word)	0h	0	—	—	+2h	0	—	—
	32Bit(Dword)	0h	0	+2h	0	+4h	0	+6h	0

● アドレッシング・モードとバス動作の関係 (32Bit Mux Mode : Single Access Rule)

Addressing Mode	Local Data Size	Local Bus Cycle							
		1 <sup>st</sup> Access		2 <sup>nd</sup> Access		3 <sup>rd</sup> Access		4 <sup>th</sup> Access	
		Addr	LBE#	Addr	LBE#	Addr	LBE#	Addr	LBE#
Fix	8Bit(Byte)	0h	1110	+0h	1110	+0h	1110	+0h	1110
	16Bit(Word)	0h	1100	+0h	1100	+0h	1100	+0h	1100
	32Bit(Dword)	0h	0000	+0h	0000	+0h	0000	+0h	0000
Increment	8Bit(Byte)	0h	1110	+1h	1101	+2h	1011	+3h	0111
	16Bit(Word)	0h	1100	+2h	0011	+4h	1100	+6h	0011
	32Bit(Dword)	0h	0000	+4h	0000	+8h	0000	+Ch	0000

Notes : 「DMA Control Register : Local Burst Enable」が値"0"のとき適用します。

● アドレッシング・モードとバス動作の関係 (32Bit Mux Mode : Burst Access Rule)

Addressing Mode	Local Data Size	Local Bus Cycle							
		1 <sup>st</sup> Access		2 <sup>nd</sup> Access		3 <sup>rd</sup> Access		4 <sup>th</sup> Access	
		Addr	LBE#	Addr	LBE#	Addr	LBE#	Addr	LBE#
Fix	8Bit(Byte)	0h	1110	+0h	1110	+0h	1110	+0h	1110
	16Bit(Word)	0h	1100	+0h	1100	+0h	1100	+0h	1100
	32Bit(Dword)	0h	0000	+0h	0000	+0h	0000	+0h	0000
Increment	8Bit(Byte)	0h	1110	+4h	1110	+8h	1110	+Ch	1110
	16Bit(Word)	0h	1100	+4h	1100	+8h	1100	+Ch	1100
	32Bit(Dword)	0h	0000	+4h	0000	+8h	0000	+Ch	0000

Notes : 「DMA Control Register : Local Burst Enable」が値"1"のとき適用します。

### 7-1-5. DREQ#信号による転送制御

DREQ#信号と DACK#信号によるハンドシェイク制御でデータ転送を行うことができます。  
ハンドシェイク制御は、I/O 空間およびメモリ空間共に有効です。

- DREQ# Control => 「DMA Transfer Count/Control Register : DREQ# Enable」

ハンドシェイク制御が許可状態で DMA の開始指示があると DREQ#端子のレベルを監視します。  
DREQ#="Low"レベルを検出すると DACK#をアサートし DMA のバス・サイクルを起動します。このときの DMA サイクルは、「DMA Transfer Count/Control Register : DMA Local Data Size」で指定されるデータ・サイズ分のバス・サイクルが起動します。

1 単位 (データ・サイズ) の DMA サイクルの終了点で DREQ#がディアサートされている場合は、次に DREQ#  
がアサートされるまで DMA 転送は保留状態となります。DREQ#のアサート状態が続いている場合は、続けて DMA サイクルが起動します。

DREQ#のアサート状態は、DACK#がアサートされるまで保持してください。DACK#のアサート前に DREQ#  
がディアサートされた場合、動作は保証されません。

ハンドシェイク制御の基本タイミングを Figure7-4 に示します。

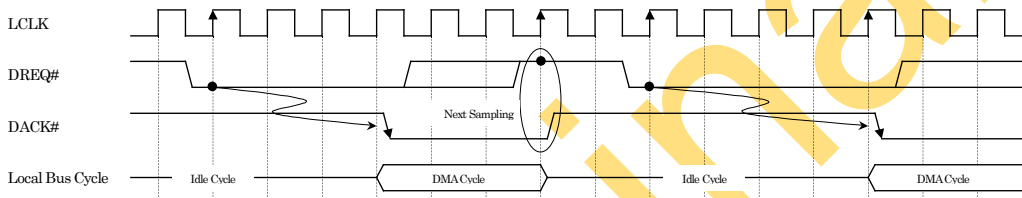


Figure7-4 : DREQ#/DACK#によるハンドシェイク制御

ローカル・バスが 32Bit Mux モードのとき、バースト・アクセスが許可されている場合でもシングル・アクセス・  
ルールで DMA 転送が行われます。

## 7-1-6. DMA 転送の開始制御

DMA 転送の開始制御は、「DMA Control Register」の操作により行います。

「DMA Control Register」は、DMA 機能のマスタ制御レジスタです。なお、間接 DMA 転送時も同レジスタで開始制御を行います。

通常 DMA 転送を開始する前に以下のレジスタを設定しておかなければなりません。

1. DMA PCI Address Register
2. DMA Local Address Register
3. DMA Transfer Count/Control Register

転送終了 (DMA Terminal Count) による割り込みを使用する場合は、以下のレジスタを設定しておきます。

1. Internal Interrupt Control for PCI Register : DMATC INTA# Enable (PCI 割り込み使用時)
2. Internal Interrupt Control for Local Register : DMATC LINT# Enable (ローカル割り込み使用時)

### 7-1-6-1. DMA コントロール・レジスタ

#### ■ DMA Control Register

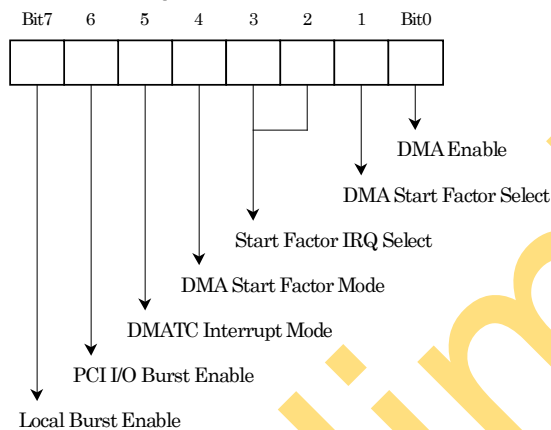


Figure7-5 : DMA Control Register Format

#### ● Start Factor IRQ Select

開始要因が IRQ に指定された場合の IRQ<sub>x</sub> 端子を選択します。本 Bit の内容は通常 DMA 転送/間接 DMA 転送で有効です。  
00 : IRQ0 01 : IRQ1 10 : IRQ2 11 : IRQ3

#### ● DMA Start Factor Mode

開始要因が IRQ に指定された場合の開始制御の方法を選択します。本 Bit の内容は間接 DMA 転送で有効です。通常 DMA 転送では使用されません。  
0 : Simple Control 1 : Complex Control

#### ● DMATC Interrupt Mode

DMATC (DMA Terminal Count) による割り込みの発生方法を選択します。本 Bit の内容は間接 DMA 転送で有効です。通常 DMA 転送では使用されません。  
0 : All DMATC Interrupt 1 : Last DMATC Interrupt

#### ● DMA Enable

DMA 機能のマスタ・イネーブルです。値"1"が設定されると通常 DMA 転送/間接 DMA 転送を開始します。DMA 転送が終了すると値"0"にクリアされます。DMA 転送中、値"0"を設定することにより中止することができます。このとき内部データ・バッファの無効化処理が行われます。

#### ● DMA Start Factor Select

DMA 転送の開始要因を選択します。本 Bit の内容は通常 DMA 転送/間接 DMA 転送で有効です。

Bit1	Bit0	開始要因	DMA 転送
1/0	0	—	DMA 機能ディセーブル
0	1	DMA Enable	直ちに DMA 転送を開始
1	1	IRQ	IRQ 入力で DMA 転送開始

開始要因が IRQ に指定される場合、「Start Factor IRQ Select」で選択される IRQ<sub>x</sub> 端子に有効入力があると DMA 転送を開始します。このとき、IRQ<sub>x</sub> 端子の状態は、LCLK によるアクティブ"Low"の同期エッジで検出されます。

なお、実際の検出は「DMA Enable」が値"1"のときに行われます。それ以外の IRQ<sub>x</sub> 端子入力は無効です。

#### ● PCI I/O Burst Enable

DMA 転送における PCI I/O バースト転送を行うかどうかを選択します。本 Bit の内容は通常 DMA 転送/間接 DMA 転送で有効です。PCI 側のデータ・サイズが 32Bit (Dword) に指定されているとき、I/O バースト転送が行われます。I/O バースト転送を行う場合は、アドレス更新方法などのルールを、転送対象となるターゲット・デバイスと事前に取り決めておかなければなりません。また、PCI-PCI ブリッジなど、I/O バーストに対応できない場合があるため注意が必要です。

#### ● Local Burst Enable

DMA 転送におけるローカル・バースト転送を行うかどうかを選択します。本 Bit の内容は通常 DMA 転送/間接 DMA 転送で有効です。バースト転送は、ローカル・バスが 32Bit Mux モードのときに有効です。また、間接 DMA 制御のコントロール・ワードのリード・サイクルも本 Bit の内容が反映されます。設定される値でアドレス更新方法が変わります。  
0 : Single Access Rule 1 : Burst Access Rule  
なお、DREQ#/DACK#によるハンドシェイク制御ではシングル・アクセス・ルールで処理されます。

### 7-1-6-2. 通常 DMA 転送の動作フロー

ソフトウェアにより DMA の各制御ワードを内部レジスタに設定します。その後、「DMA Control Register : DMA Enable」がイネーブルに設定されると APIC22A は DMA 転送を開始します。開始要因が IRQ に指定されているときは、有効な IRQx 端子入力で DMA 転送を開始します。

転送カウンタは、転送元のデータ・サイズ単位で更新され、カウンタ・ボロー (DMATC) 検出で DMA 転送を終了します。

ソフトウェアは、「DMA Enable="0"」のフラグ・センスを行うか、割り込みで終了状態を識別します。

通常 DMA 転送の基本的な動作フローを Figure7-6 に、全体的なタイミング関係を Figure7-7 に示します。

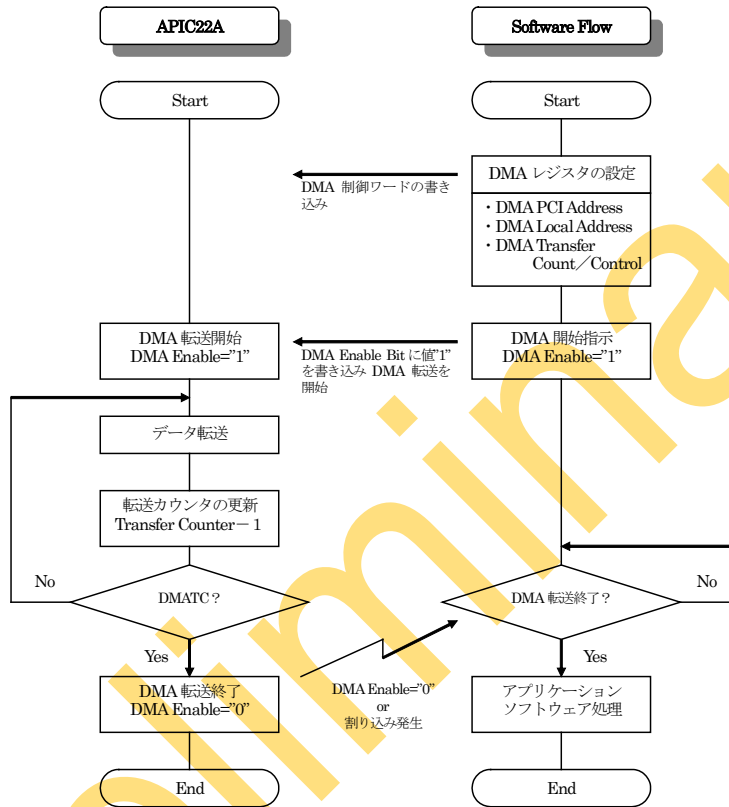


Figure7-6 : 通常 DMA 転送の動作フロー

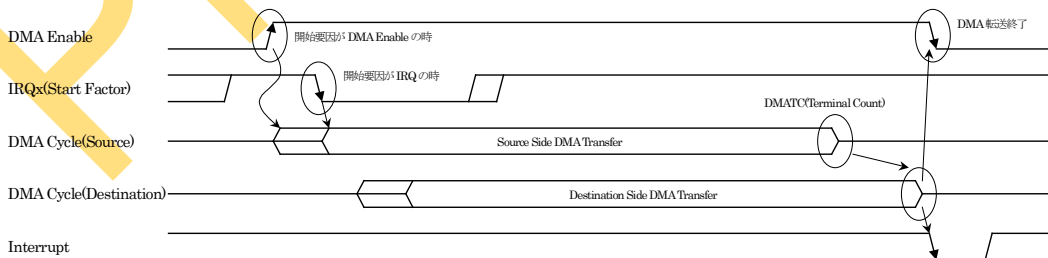


Figure7-7 : 通常 DMA 転送の基本タイミング

## 7-2. 間接 DMA 制御

間接 DMA 制御について説明します。

間接 DMA 制御は、外部リソース空間に配置される制御ワード (Control-word) を読み出し、その内容に従い DMA 転送を行います。制御ワードの配置空間は、PCI リソースまたはローカル・リソースを選択可能です。

### 7-2-1. 制御ワードの設定

制御ワードは、PCI 側またはローカル側のリソース空間に設定します。リソース空間は、メモリまたは I/O 空間を選択できます。

DMA 転送の開始指示があると、制御ワードのリード・サイクルを起動します。読み出された制御ワードは、内部レジスタに格納しデータ転送を開始します。なお、内部的には制御ワードの読み出し動作も DMA 転送の一部として取り扱われています。

1 単位の制御ワードは、16Byte (4Dword) 分のデータで構成されます。外部リソースへの登録は、16Byte バウンダリのアドレスを基準に設定します。

#### ● 制御ワードのフォーマット

外部リソースに配置される各制御ワードの機能は、APIC22A 内部の DMA 制御レジスタと同じです。また、それぞれのビット・フォーマットやビット機能も内部レジスタと同じです。

Offset	Data Size	Indirect Control-word	APIC22A Internal Register
0h	4Byte	DMA PCI Address	Bit Format = DMA PCI Address
4h	4Byte	DMA Local Address	Bit Format = DMA Local Address
8h	4Byte	DMA Transfer Count/Control	Bit Format = DMA Transfer Count/Control
Ch	4Byte	DMA Indirect Control-word Address	Bit Format = DMA Indirect Control-word Address

#### ● 制御ワードの配置方法の例

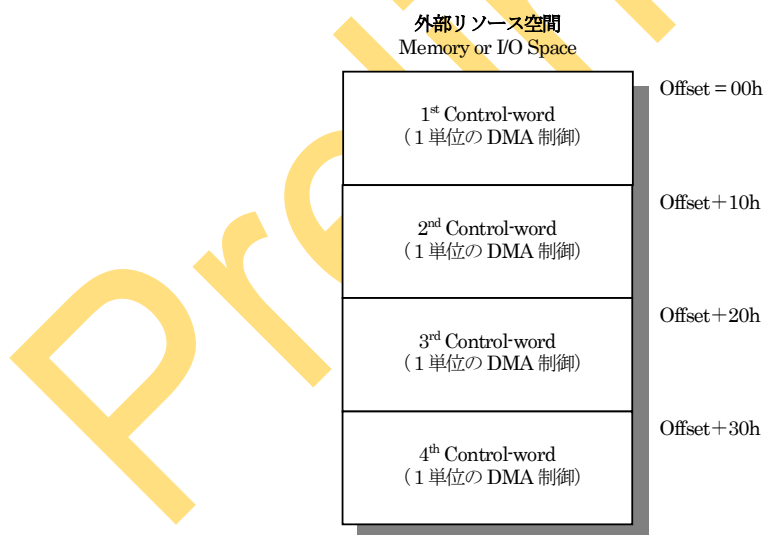


Figure7-8 : 制御ワードの配置方法



## 7-2-2. 制御ワードのアドレス設定

間接 DMA 転送を開始する前に、制御ワードが登録されている外部リソースのアドレスや空間を設定します。また、間接 DMA 転送を行うかどうかもここで設定します。

### ■ DMA Indirect Control-word Address Register

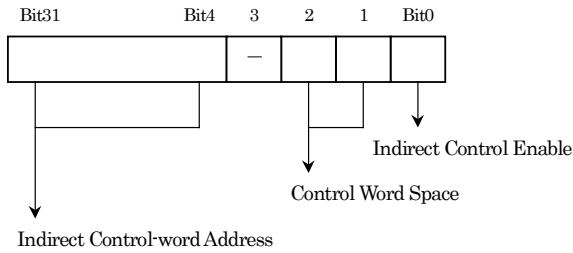


Figure7-9 : DMA Indirect Control-word Address Format

### ● Indirect Control Enable

間接 DMA 転送を行う場合、イネーブルに設定します。

ディセーブル設定では、通常 DMA 転送となります。

イネーブル設定で DMA の開始指示があると、制御ワードを読み出し DMA 転送が開始されます。

本 Bit は、読み出された制御ワードにより更新されます。値「1」に更新されるときは、実行中の単位 DMA 転送が終了すると次の制御ワードのリード・サイクルを起動し DMA 転送が続きます。値「0」に更新されたときは、実行中の単位 DMA 転送が最終転送となり、転送終了後「DMA Control Register : DMA Enable」が値「0」にクリアされます。

### ● Control Word Space

制御ワードが配置されている外部リソース空間を設定します。

Bit2	Bit1	Control Word Space
0	0	Local I/O Space
0	1	Local Memory Space
1	0	PCI I/O Space
1	1	PCI Memory Space

本 Bit は、読み出された制御ワードにより更新され、次の制御ワード配置空間を示します。

PCI メモリ空間に指定される時、制御ワードの読み出しはバースト・アクセスで行われます。

PCI I/O 空間に指定される時は、「DMA Control Register : PCI I/O Burst Enable」で設定されるバス・サイクルで行われます。

ローカル・リソース（メモリ/I/O）に指定される時は、「DMA Control Register : Local Burst Enable」で設定されるバス・サイクルで行われます。

### ● Indirect Control-word Address

制御ワードが配置されている外部リソース空間のアドレスを設定します。

本 Bit は、読み出された制御ワードにより更新され、次の制御ワード配置空間のアドレスを示します。設定されるアドレスは、PCI/ローカル・バスにそのまま出力されます。アドレスの下位 4Bit (A[3:0]) は値「0」から開始し、制御ワードの読み出しごとに加算されます。

ローカル・バスが 8/16Bit NonMux モードの場合、ローカル・リソースに指定される時は上位 15Bit (A[31:17]) の設定値は参照されません。また、多機能端子のアドレスが IOCSx 端子に構成される時対象のアドレス・ビットは無効です。

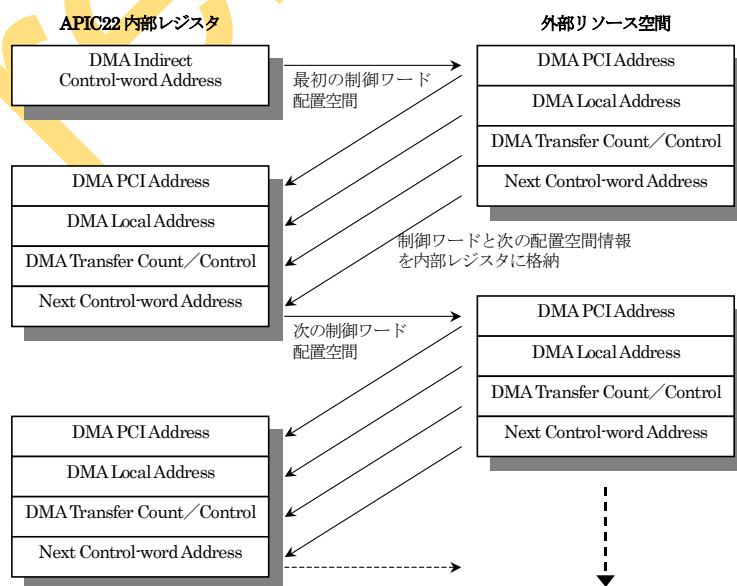


Figure7-10 : 制御ワードと内部レジスタの関係

### 7-2-3. DMA 転送の開始制御

DMA 転送の開始制御は、「DMA Control Register」の操作により行います。

ここでは、間接 DMA 転送時の開始制御について示します。その他内容は、通常 DMA 制御の項目を参照ください。

間接 DMA 転送を開始する前に以下の内容を設定しておかなければなりません。

1. 外部リソースの制御ワード登録
2. DMA Indirect Control-word Address Register

転送終了 (DMA Terminal Count) による割り込みを使用する場合は、以下のレジスタを設定しておきます。

1. Internal Interrupt Control for PCI Register : DMATC INTA# Enable (PCI 割り込み使用時)
2. Internal Interrupt Control for Local Register : DMATC LINT# Enable (ローカル割り込み使用時)

#### 7-2-3-1. DMA コントロール・レジスタ

##### ■ DMA Control Register

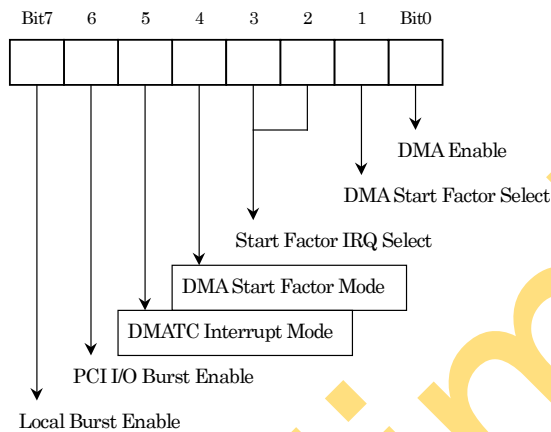


Figure7-11 : DMA Control Register Format

##### ● DMA Start Factor Mode

開始要因が IRQ に指定された場合の開始制御の方法を選択します。本 Bit は間接 DMA 転送の固有機能です。

0 : Simple Control 1 : Complex Control

値"0"に設定される場合、最初の IRQ<sub>x</sub> 端子入力で転送を開始し、終了指示があるまで DMA 転送が続きます。

終了指示は、「DMA Indirect Control-word Address Register : Indirect Control Enable」で行われます。

値"1"に設定される場合、IRQ<sub>x</sub> 端子入力による単位 DMA 転送ごとの開始制御を行います。1 単位の DMA 転送が終了すると、次に有効な IRQ 入力があるまで DMA 転送は保留状態となります。

なお、IRQ<sub>x</sub> 端子入力の検出は、DMA 機能が許可 (DMA Enable) されているとき常に行われます。DMA 転送中に有効入力があると、転送終了後、続けて制御ワードが読み出され DMA 転送が行われます。

##### ● DMA Enable

DMA 機能のマスター・イネーブルです。

本 Bit の内容は通常 DMA 転送時と同じです。

値"1"が設定されると間接 DMA 転送を開始します。

##### ● DMA Start Factor Select

DMA 転送の開始要因を選択します。

本 Bit の内容は通常 DMA 転送時と同じです。

0 : DMA Enable 1 : IRQ

開始要因が IRQ に指定される場合、「Start Factor IRQ Select」で選択される IRQ<sub>x</sub> 端子に有効入力があると制御ワードの読み出しを開始します。その後、制御ワードの内容に従い DMA 転送が行われます。

##### ● DMA Start Factor Select

開始要因が IRQ に指定された場合の IRQ<sub>x</sub> 端子を選択します。

本 Bit の内容は、通常 DMA 転送時と同じです。

00 : IRQ0 01 : IRQ1 10 : IRQ2 11 : IRQ3

##### ● DMATC Interrupt Mode

DMATC (DMA Terminal Count) による割り込みの発生方法を選択します。本 Bit は間接 DMA 転送の固有機能です。

0 : All DMATC Interrupt 1 : Last DMATC Interrupt

値"0"に設定される場合、単位 DMA 転送の終了ごとに割り込みが発生します。

値"1"に設定される場合、終了指示のある最後の DMA 転送で割り込みが発生します。

終了指示は、「DMA Indirect Control-word Address Register : Indirect Control Enable」で行われます。

##### ● PCI I/O Burst Enable

DMA 転送における PCI I/O バースト転送を行うかどうかを選択します。本 Bit の内容は通常 DMA 転送時と同じです。

制御ワードのリード・サイクルも本 Bit の設定に従います。

##### ● Local Burst Enable

DMA 転送におけるローカル・バースト転送を行うかどうかを選択します。本 Bit の内容は通常 DMA 転送時と同じです。

制御ワードのリード・サイクルも本 Bit の設定に従います。

### 7-2-3-2. 間接 DMA 転送の動作フロー

ソフトウェアにより DMA の各制御ワードを外部リソース空間に設定します。この後、「DMA Control Register: DMA Enable」がイネーブルに設定されると APIC22A は制御ワードを読み出し DMA 転送を開始します。開始要因が IRQ に指定されているときは、有効な IRQx 端子入力で DMA 転送を開始します。転送カウンタは、転送元のデータ・サイズ単位で更新され、カウンタ・ポロー (DMATC) 検出で 1 単位の DMA 転送を終了します。

読み出された制御ワードにより、「DMA Indirect Control-word Address Register : Indirect Control Enable」がイネーブルに更新されている場合、引き続き DMA 転送が行われます。ディセーブルに更新されている場合は、最後の DMA 転送となります。

ソフトウェアは、「DMA Enable=0」のフラグ・センスを行うか、割り込みで終了状態を識別します。

間接 DMA 転送の基本的な動作フローを Figure7-12 に示します。

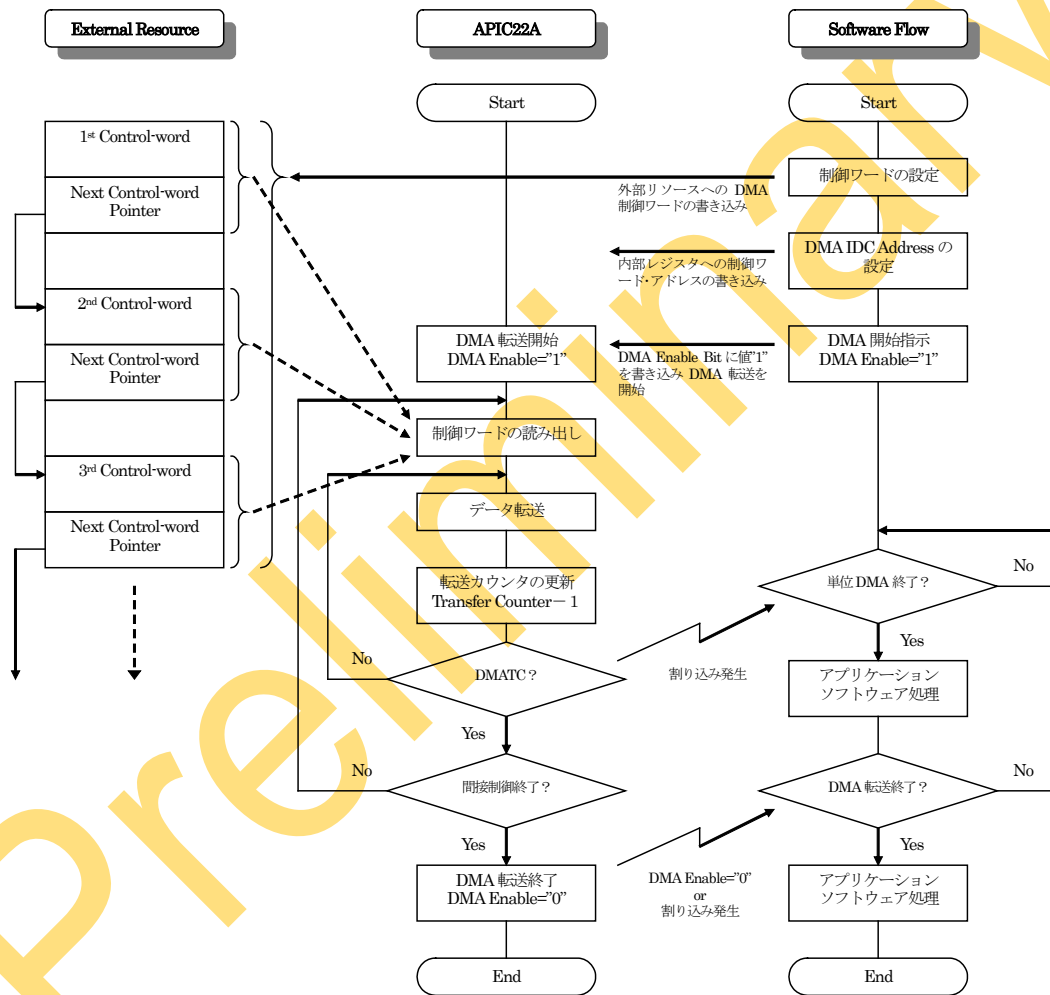


Figure7-12 : 間接 DMA 転送の動作フロー

全体的なタイミング関係を Figure7-13 と Figure7-14 に示します。

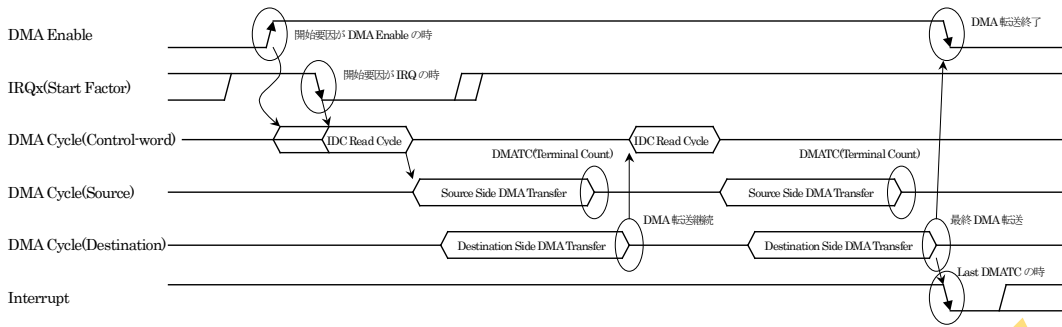


Figure7-13 : 間接 DMA 転送の基本タイミング (IRQ Simple Control)

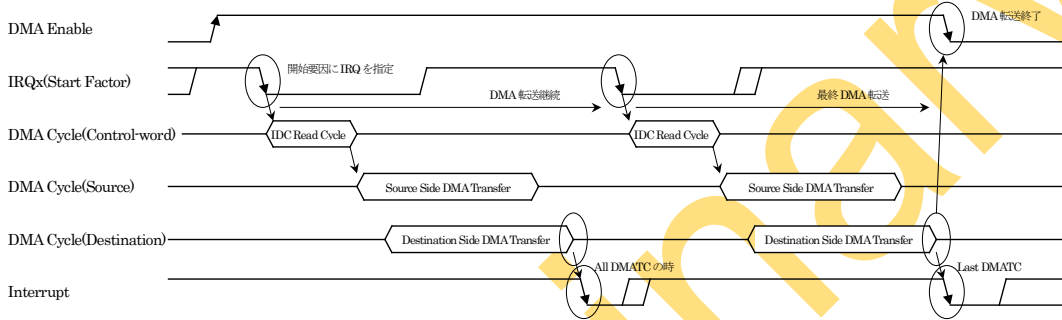


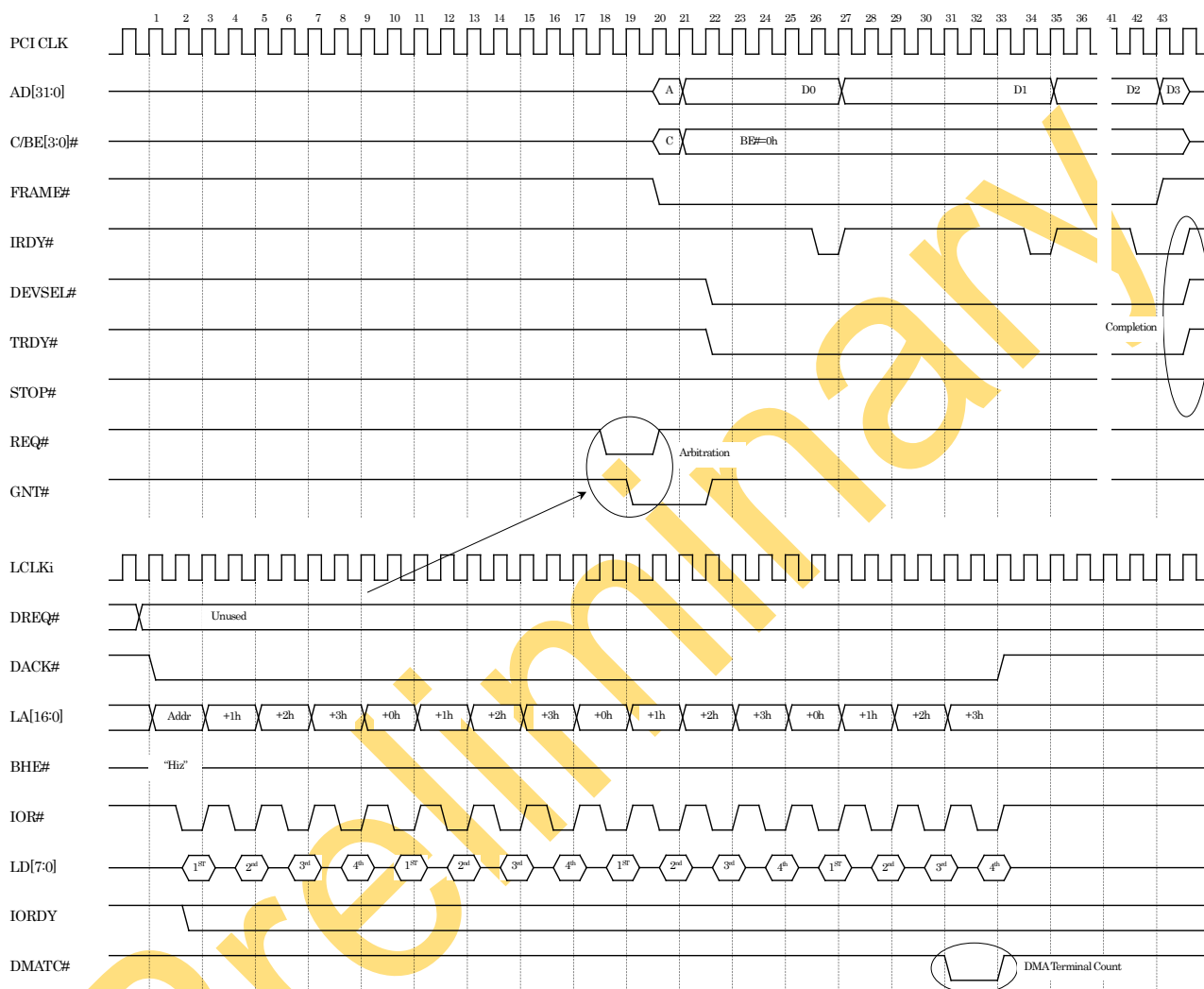
Figure7-14 : 間接 DMA 転送の基本タイミング (IRQ Complex Control)

## 7-3. バス・タイミング

### 7-3-1. 8/16Bit NonMux モード

#### 7-3-1-1. Local to PCI 転送タイミング

##### ■ ローカル・クロック非同期モード

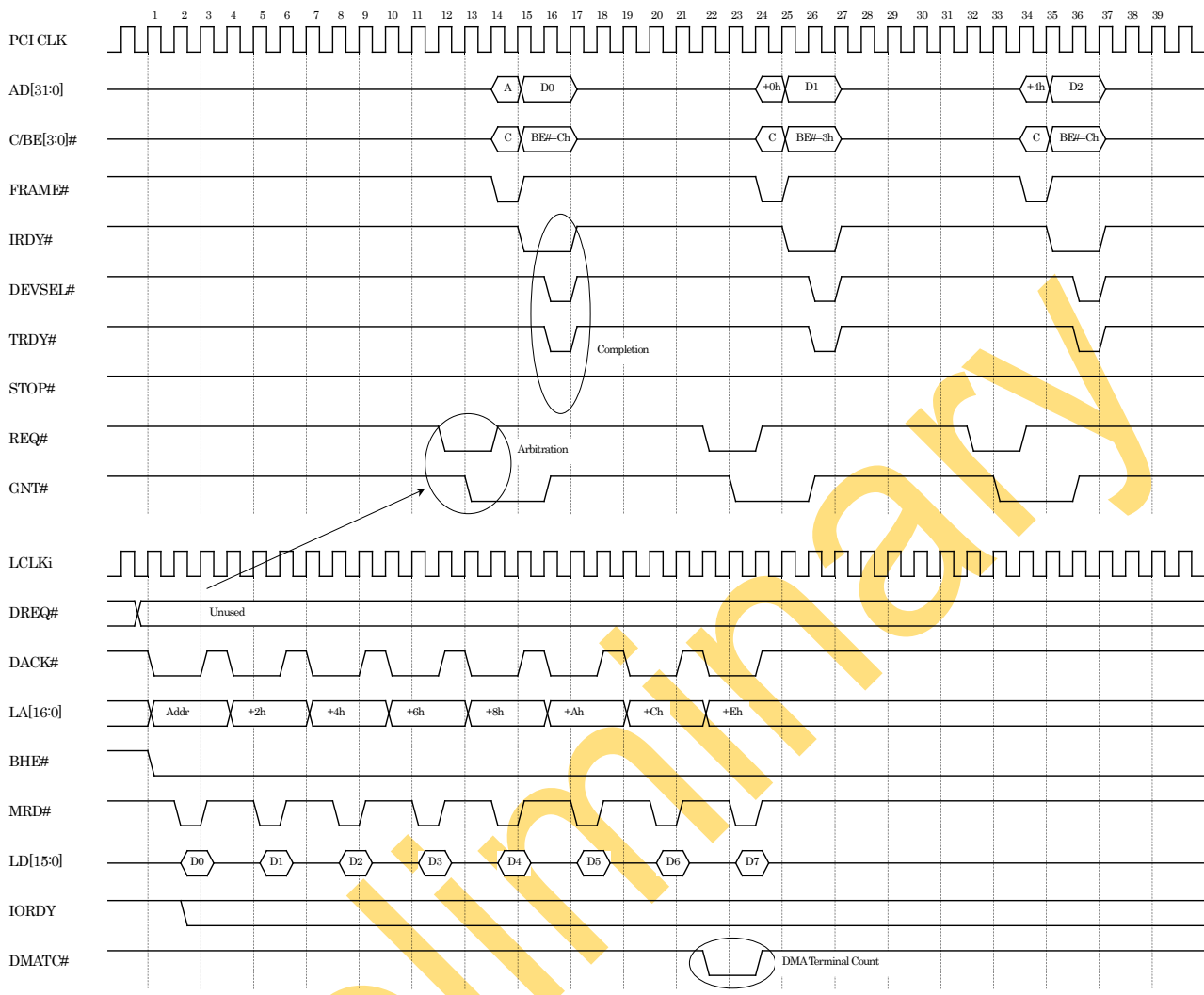


- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Asynchronous

- **Local Bus Control Register**
  - Local Bus Width : 8Bit Bus
  - Wait State : AW=0/DW=0/AH=0

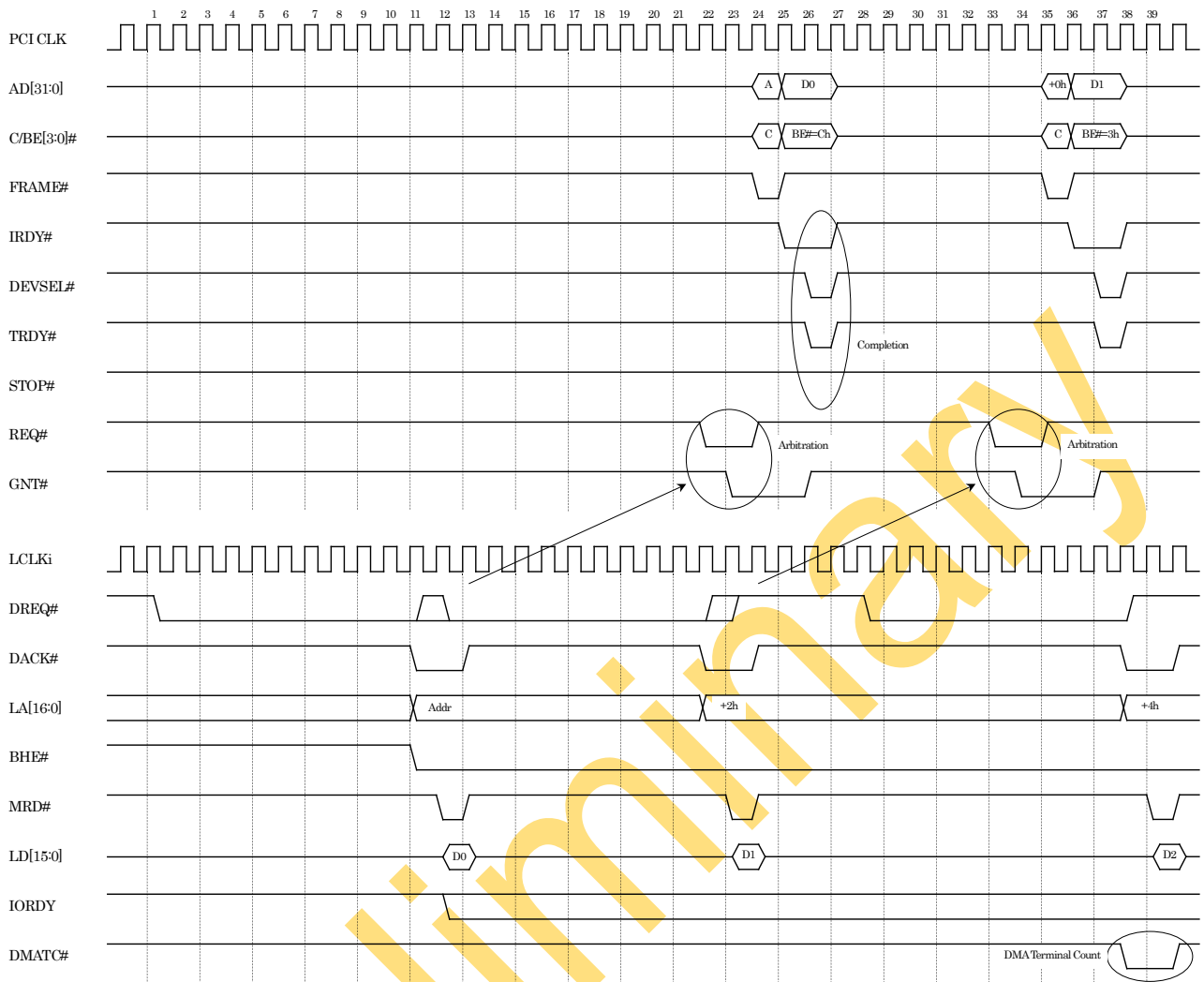
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 3h(4Data Block)
  - Transfer Mode : Local I/O to PCI MEM
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc/Local=Fix
  - DMA Data Size : PCI=32Bit/Local=32Bit

Figure7-15 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 8Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0/DW=0/AH=0
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 7h(8Data Block)
  - Transfer Mode : Local MEM to PCI MEM
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc./Local=Inc
  - DMA Data Size : PCI=16Bit/Local=16Bit

Figure7-16 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 16Bit Bus)



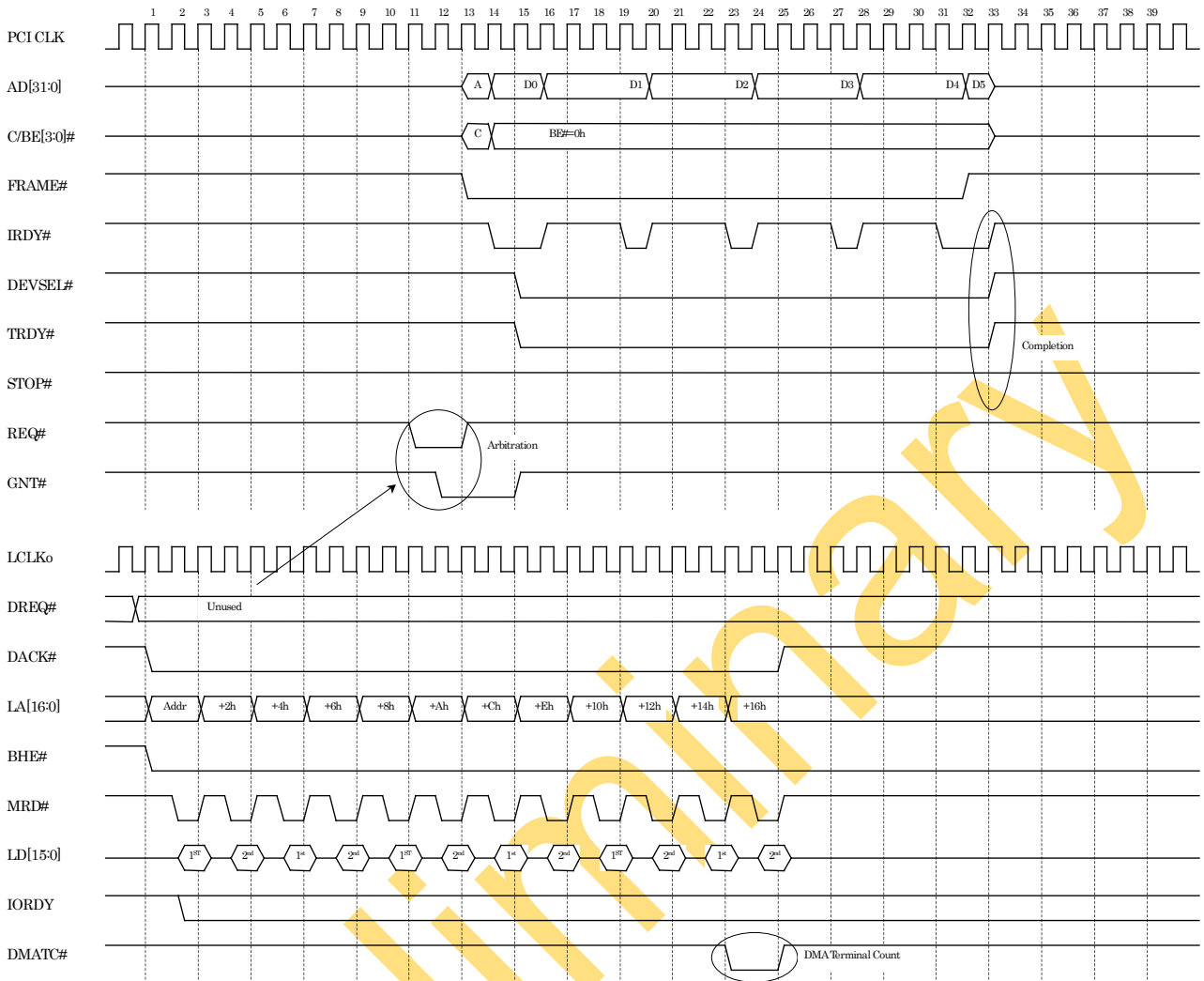
- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Asynchronous

- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0/DW=0/AH=0

- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 2h(3Data Block)
  - Transfer Mode : Local MEM to PCI MEM
  - DREQ# Enable : Enable
  - Addressing Mode : PCI=Inc/Local=Inc
  - DMA Data Size : PCI=16Bit/Local=16Bit

Figure7-17 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 16Bit Bus/DREQ# Control)

■ ローカル・クロック同期モード



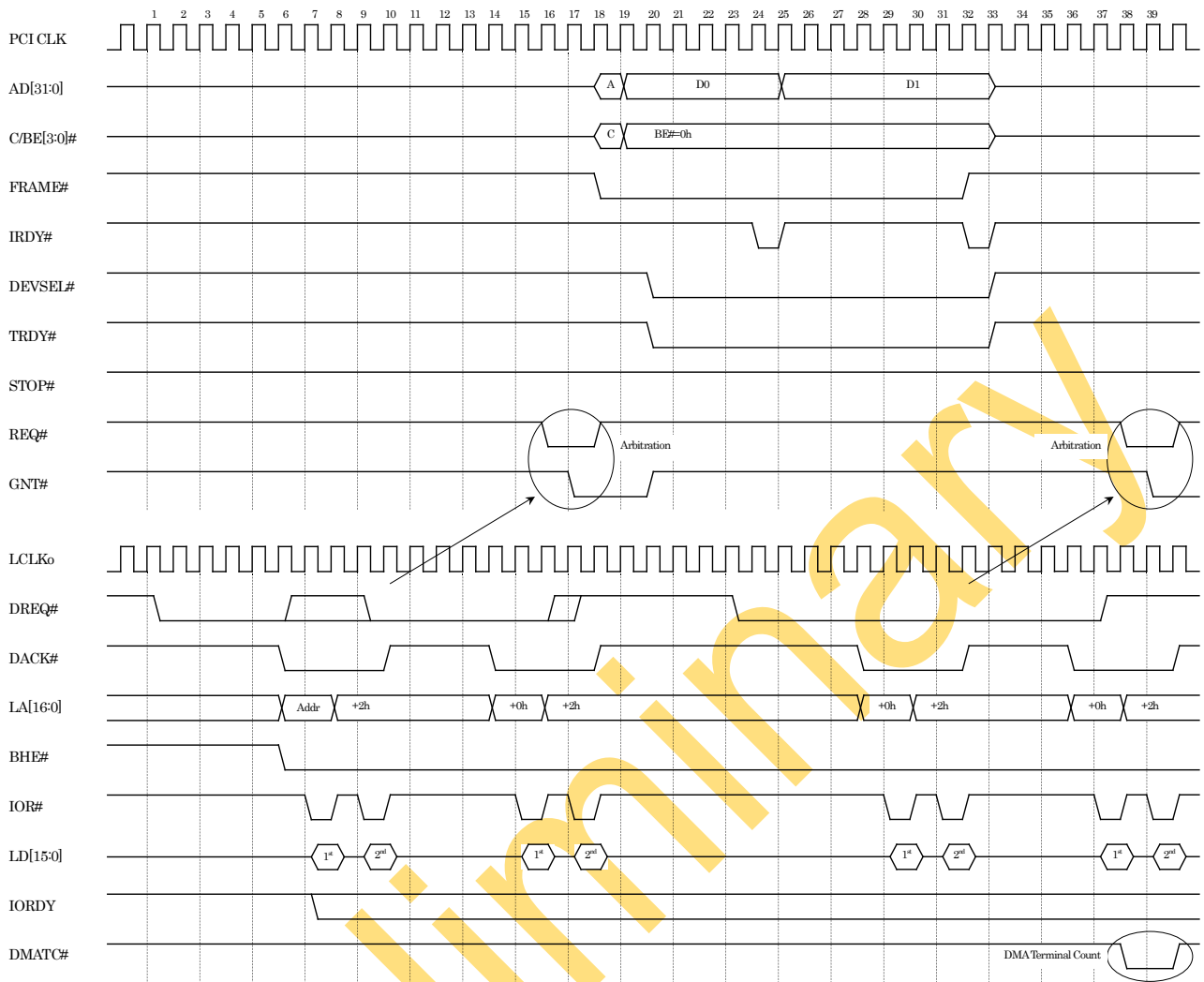
- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0 / DW=0 / AH=0

- **DMA Transfer Count / Control Register**
  - DMA Transfer Count : 5h(6Data Block)
  - Transfer Mode : Local MEM to PCI MEM
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc / Local=Inc
  - DMA Data Size : PCI=32Bit / Local=32Bit

Figure7-18 : DMA Local to PCI 転送タイミング (Prefetched WR / Local 16Bit Bus)





- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Synchronous

- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0 / DW=0 / AH=0

- **DMA Transfer Count / Control Register**
  - DMA Transfer Count : 3h(4Data Block)
  - Transfer Mode : Local I/O to PCI MEM
  - DREQ# Enable : Enable
  - Addressing Mode : PCI=Inc / Local=Fix
  - DMA Data Size : PCI=32Bit / Local=32Bit

Figure7-19 : DMA Local to PCI 転送タイミング (Prefetched WR / Local 16Bit Bus / DREQ# Control)

## 7-3-1-2. PCI to Local 転送タイミング

### ローカル・クロック非同期モード

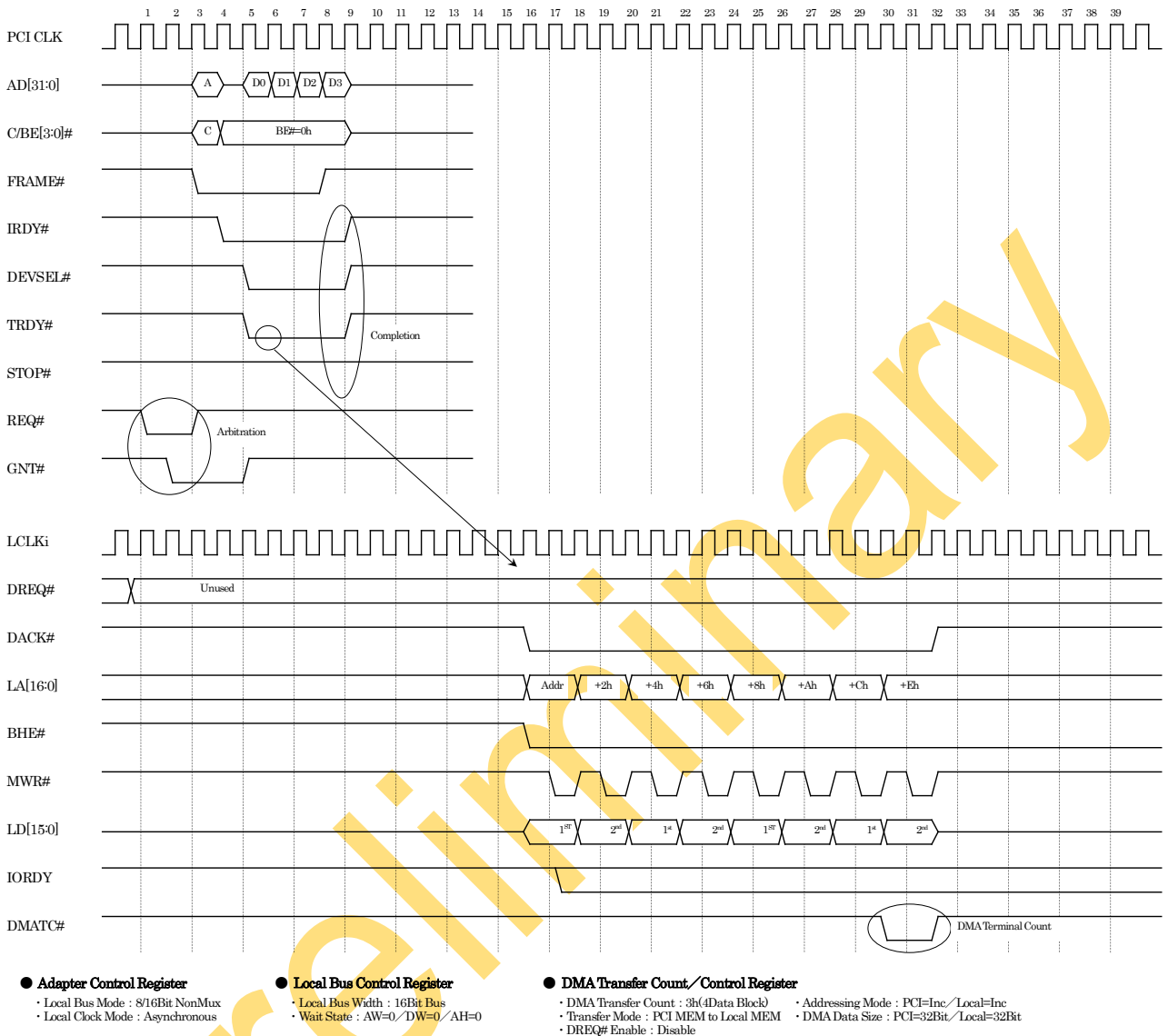
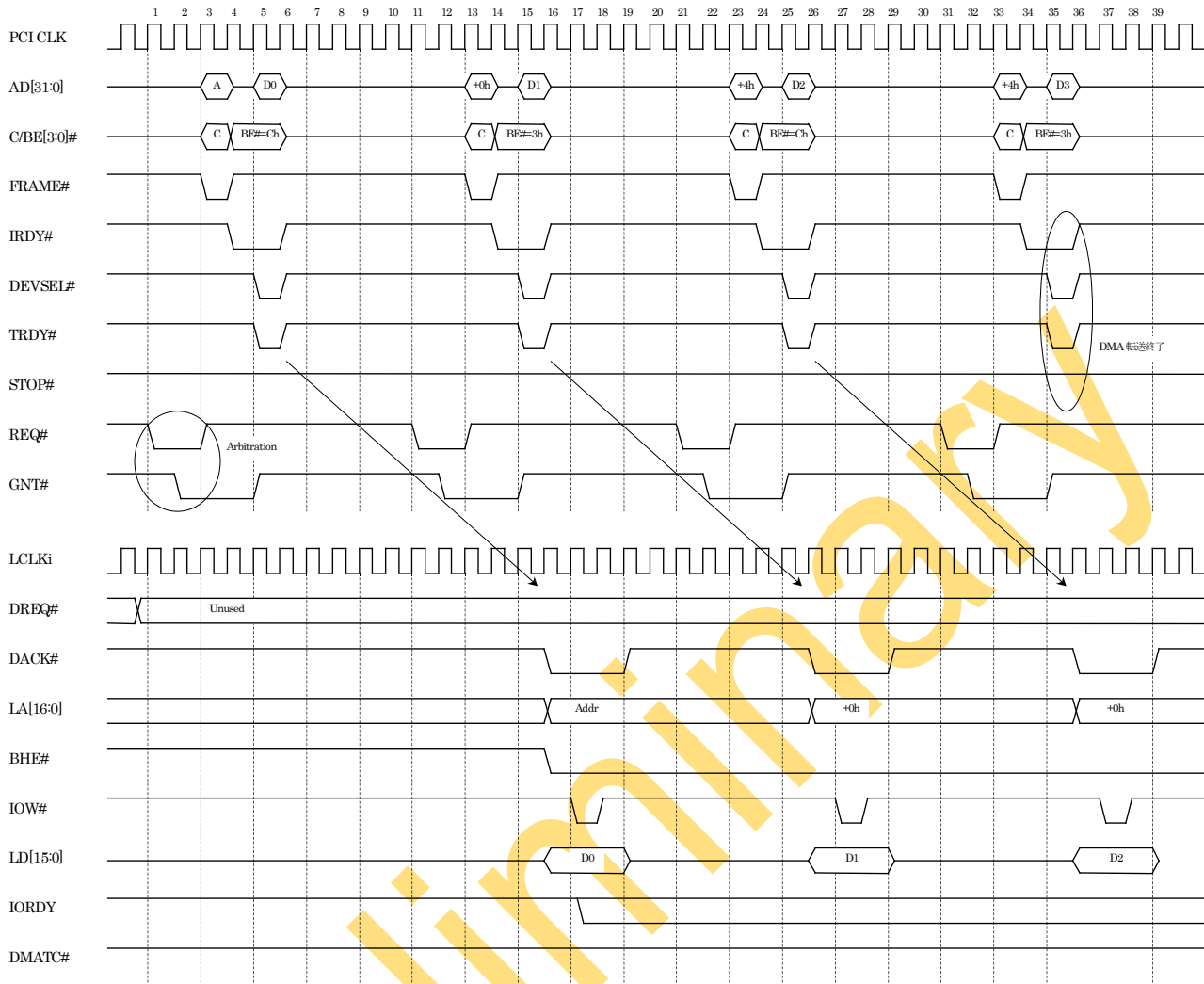


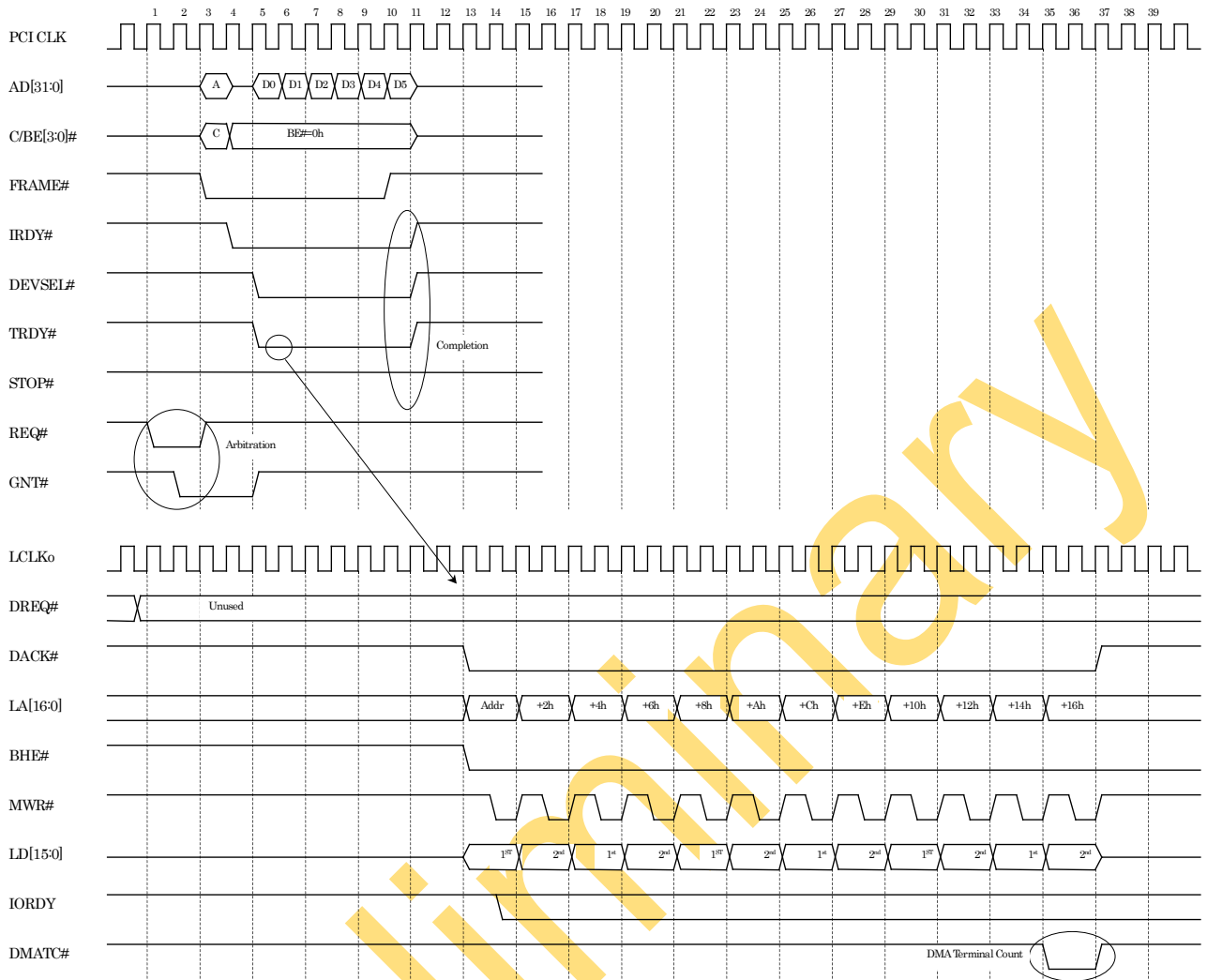
Figure7-20 : DMA PCI to Local 転送タイミング (Prefetched WR / Local 16Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0./DW=0./AH=1
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 3h(4Data Block)
  - Transfer Mode : PCI MEM to Local I/O
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc./Local=Fix
  - DMA Data Size : PCI=16Bit./Local=16Bit

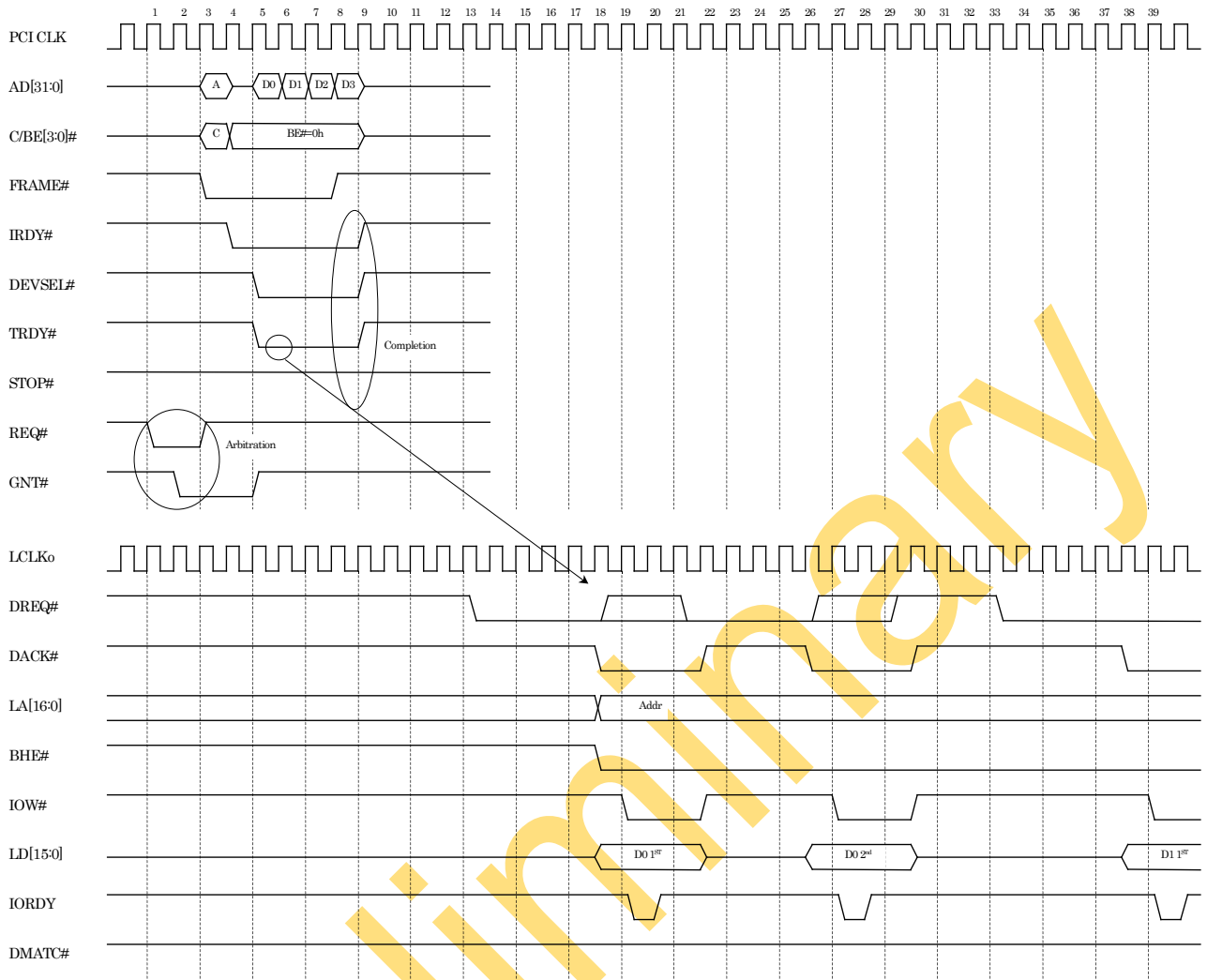
Figure7-21 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 16Bit Bus)

■ ローカル・クロック同期モード



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Synchronous
- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0./DW=0./AH=0
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 5h(6Data Block)
  - Transfer Mode : PCI MEM to Local MEM
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc./Local=Inc
  - DMA Data Size : PCI=32Bit./Local=32Bit

Figure7-22 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 16Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 8/16Bit NonMux
  - Local Clock Mode : Synchronous
- **Local Bus Control Register**
  - Local Bus Width : 16Bit Bus
  - Wait State : AW=0./DW=1./AH=0
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 3h(4Data Block)
  - Transfer Mode : PCI MEM to Local I/O
  - DREQ# Enable : Enable
  - Addressing Mode : PCI=Inc./Local=Fix
  - DMA Data Size : PCI=32Bit./Local=16Bit

Figure7-23 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 16Bit Bus/DREQ# Control/IORDY Wait)

## 7-3-2. 32Bit Mux モード

### 7-3-2-1. Local to PCI 転送タイミング

#### ■ ローカル・クロック非同期モード

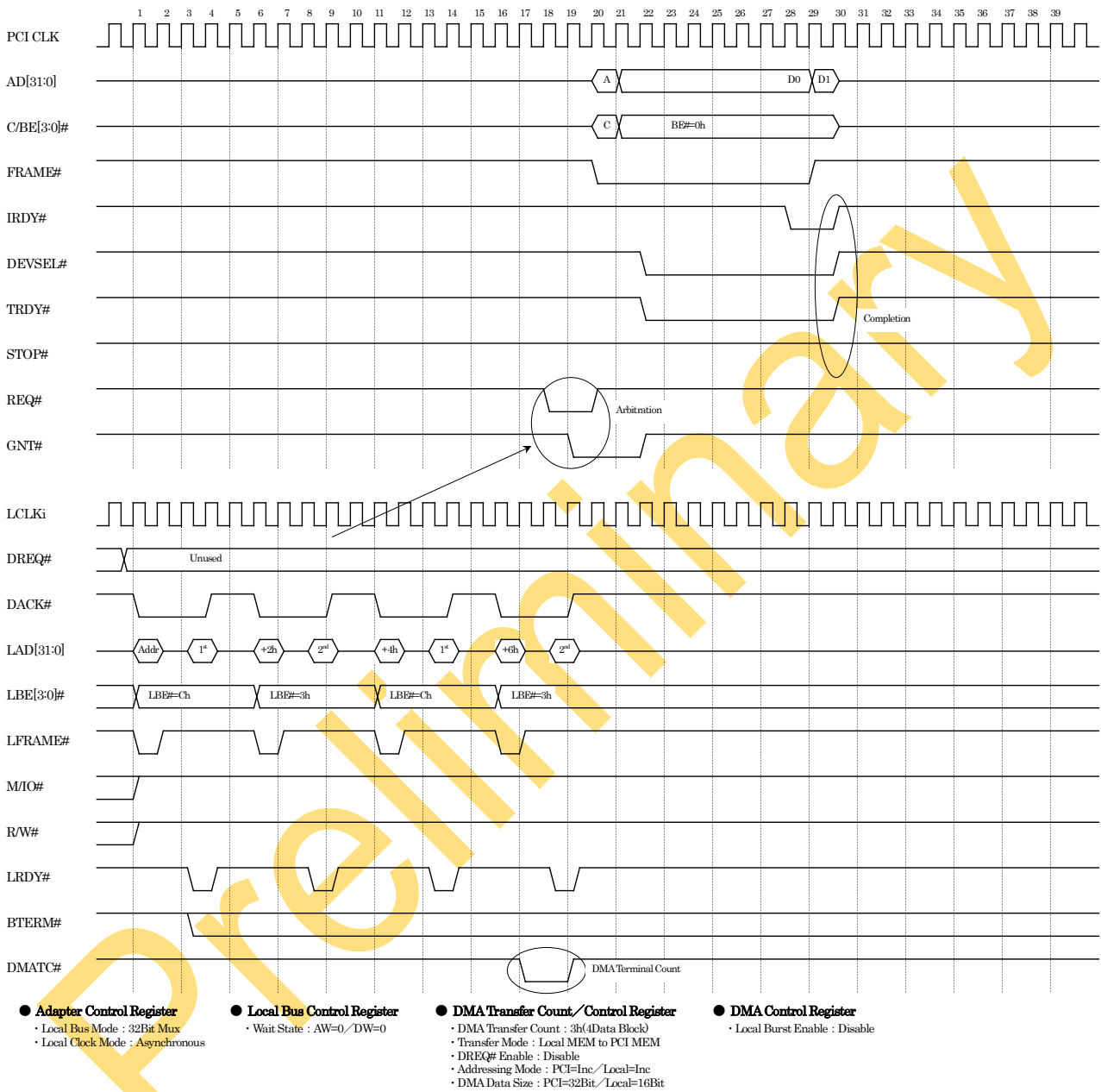
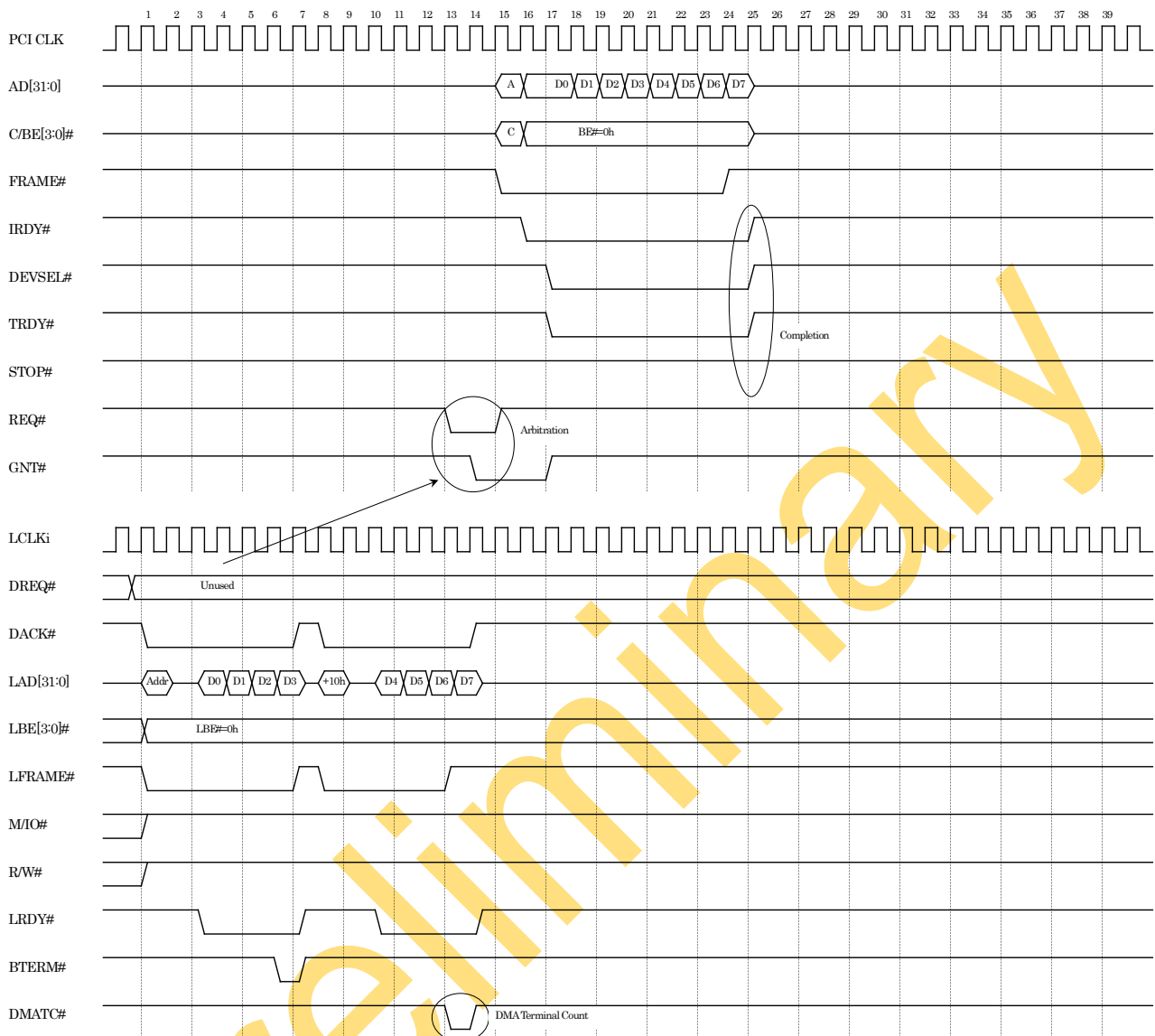


Figure7-24 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 32Bit Bus)



- **Adapter Control Register**
  - Local Bus Mode : 32Bit Mux
  - Local Clock Mode : Asynchronous
- **Local Bus Control Register**
  - Wait State : AW=0/DW=0
- **DMA Transfer Count/Control Register**
  - DMA Transfer Count : 7h(8Data Block)
  - Transfer Mode : Local MEM to PCI MEM
  - DREQ# Enable : Disable
  - Addressing Mode : PCI=Inc/Local=Inc
  - DMA Data Size : PCI=32Bit/Local=32Bit
- **DMA Control Register**
  - Local Burst Enable : Enable

Figure7-25 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 32Bit Bus/BTERM# Control)

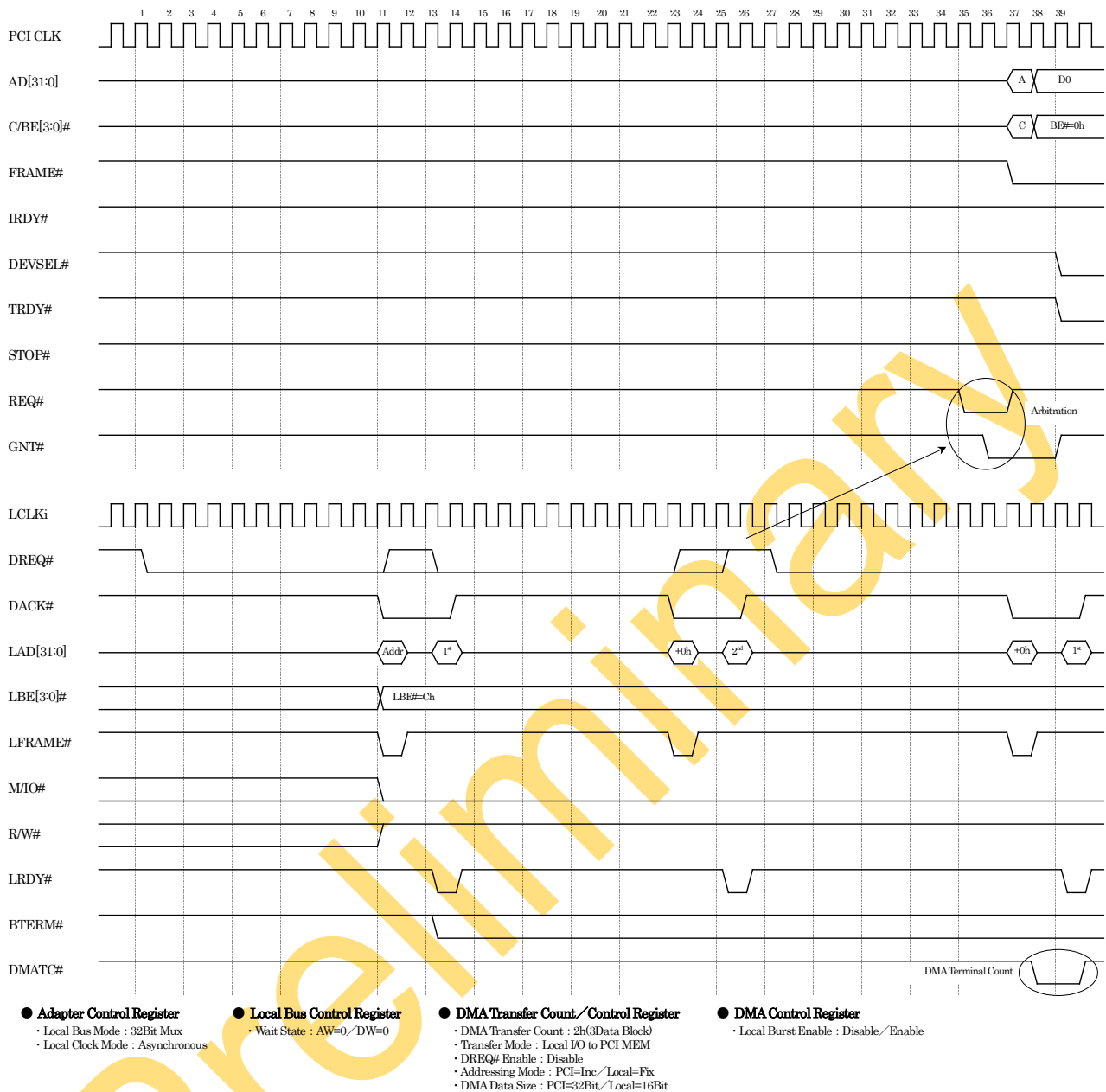


Figure7-26 : DMA Local to PCI 転送タイミング (Prefetched WR/Local 32Bit Bus/DREQ# Control)



## ローカル・クロック同期モード

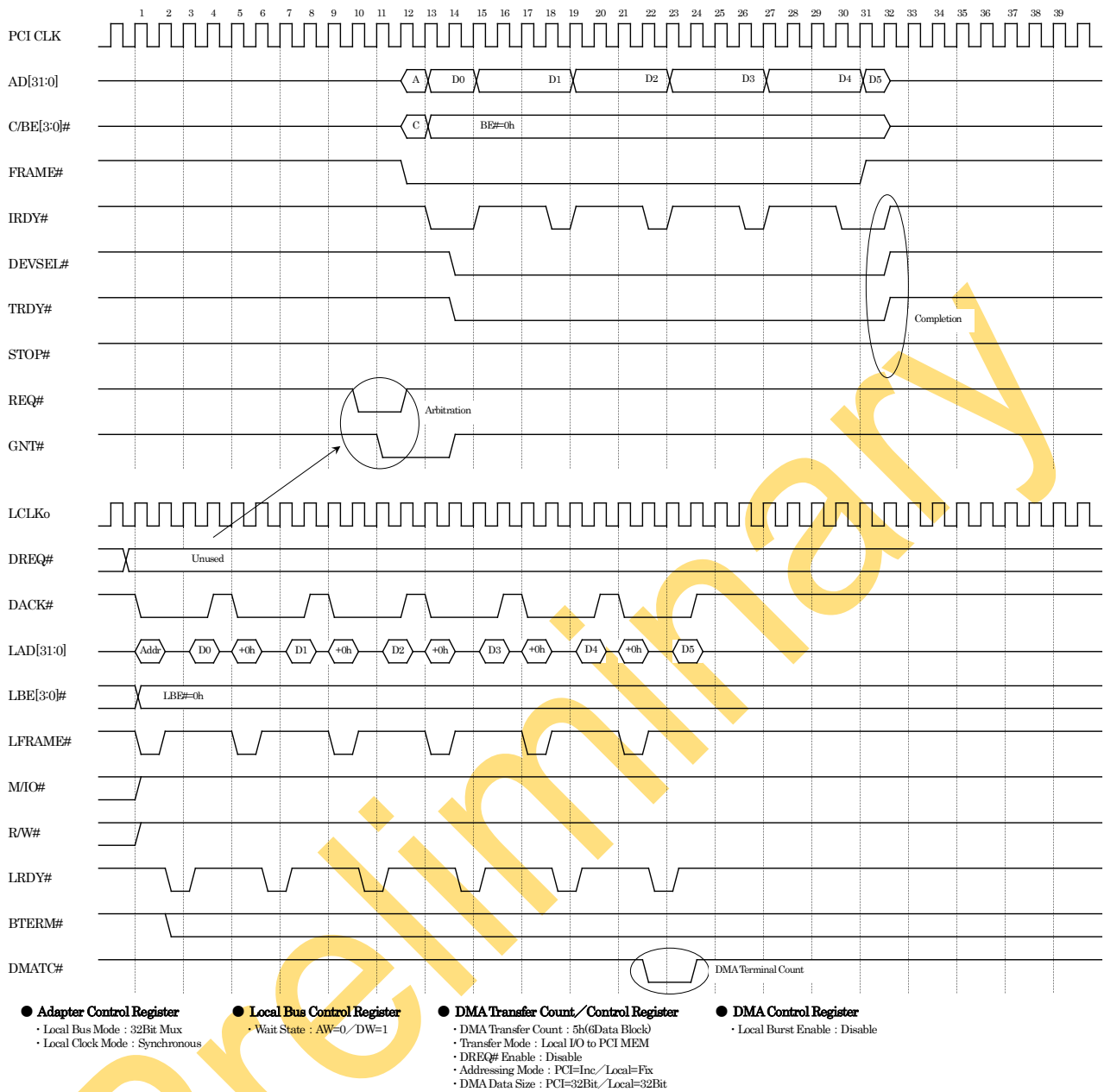


Figure7-27 : DMA Local to PCI 転送タイミング (Prefetched WR / Local 32Bit Bus)

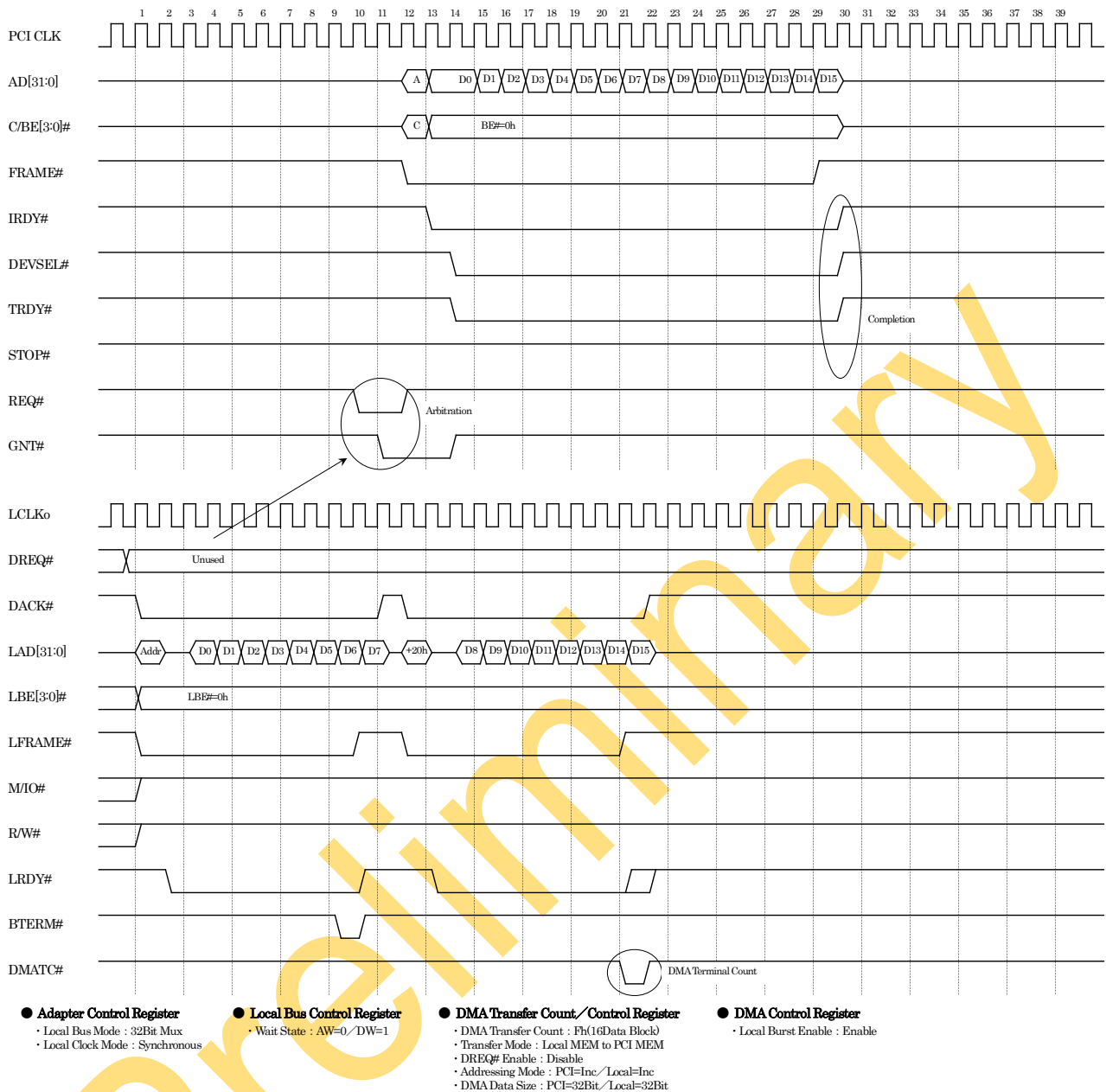


Figure 7-28 : DMA Local to PCI 転送タイミング (Prefetched WR / Local 32Bit Bus / BTERM# Control)

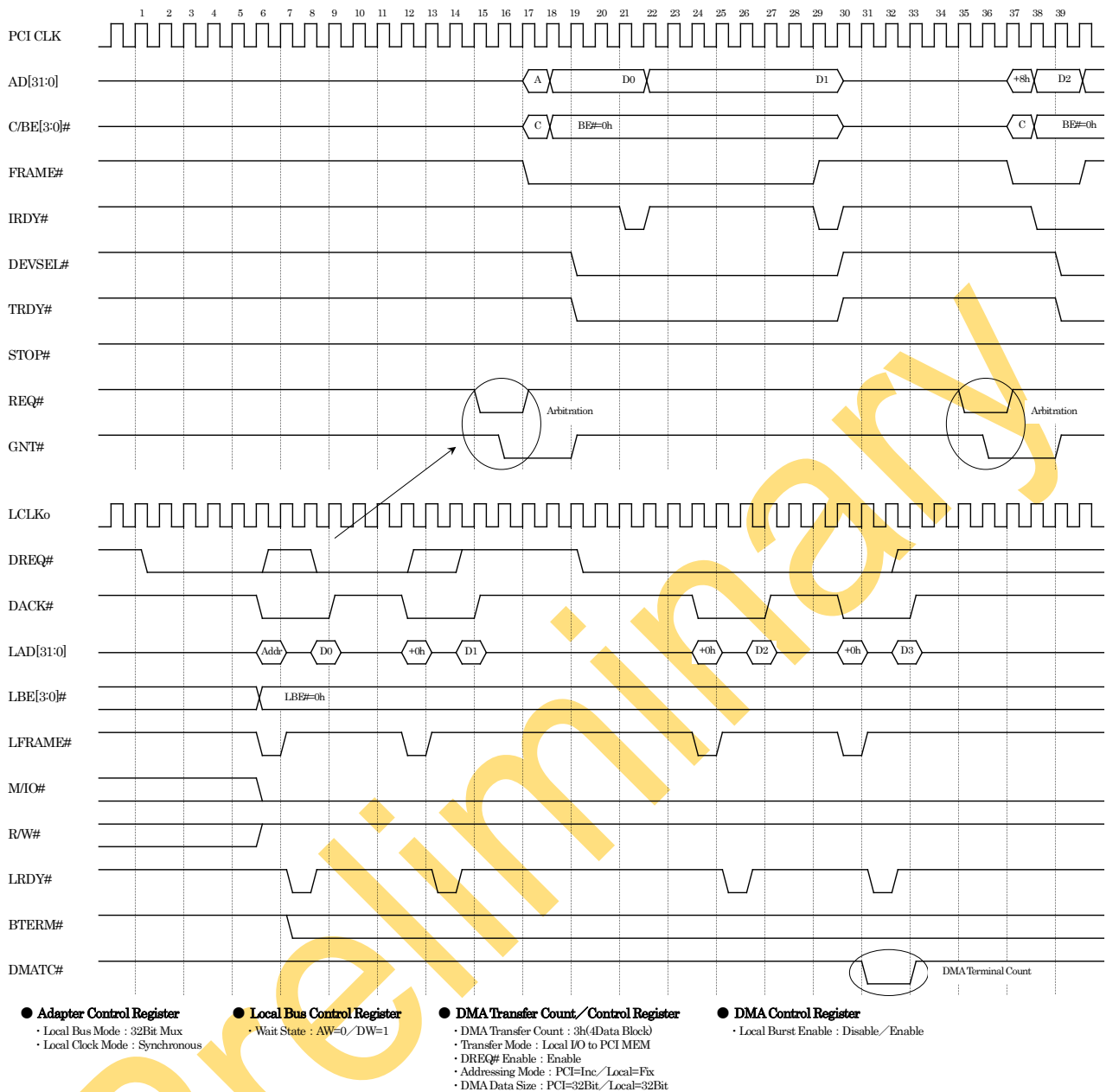


Figure 7-29 : DMA Local to PCI 転送タイミング (Prefetched WR / Local 32Bit Bus / DREQ# Control)

## 7-3-2-2. PCI to Local 転送タイミング

### ローカル・クロック非同期モード

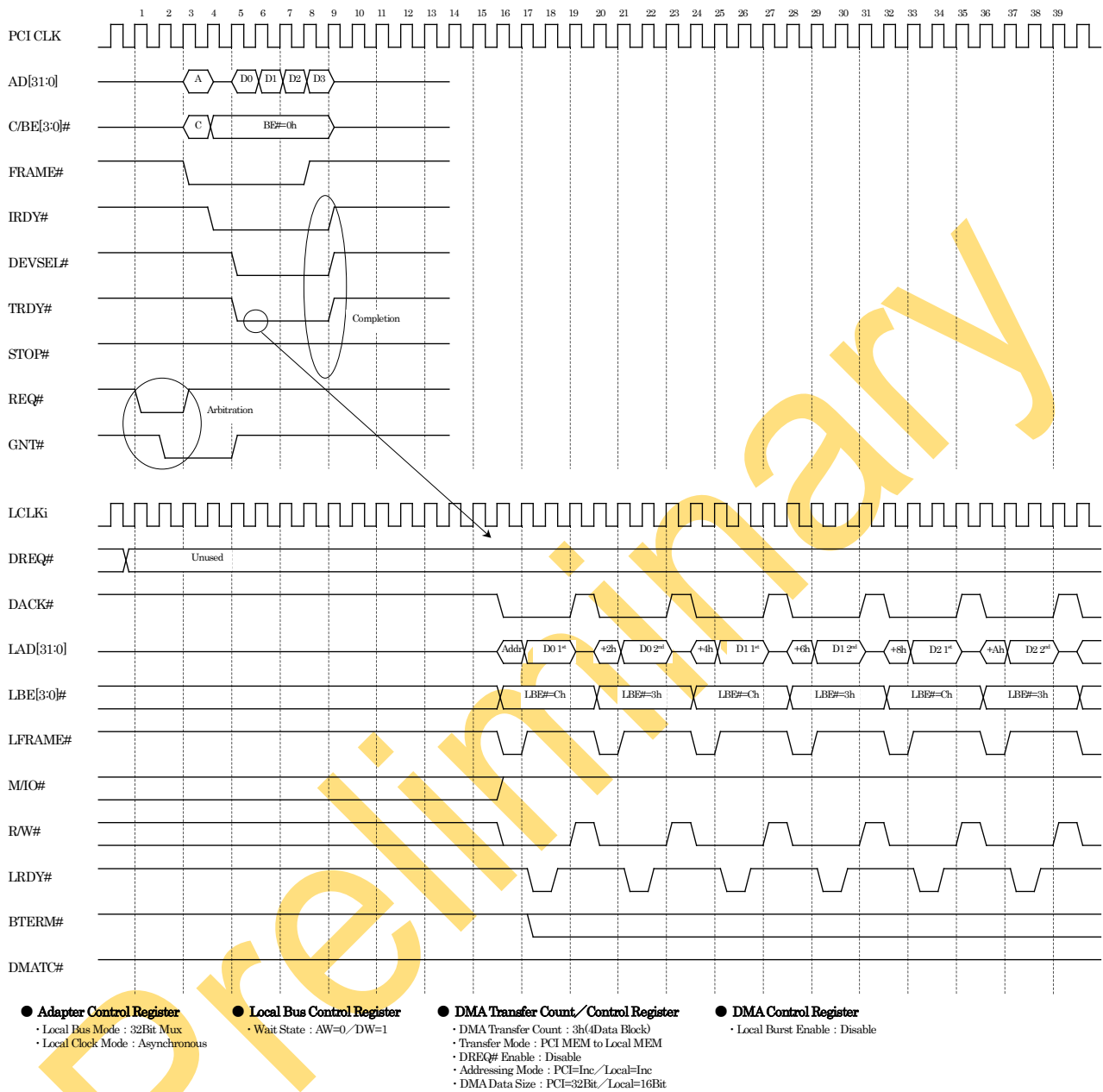


Figure7-30 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 32Bit Bus)

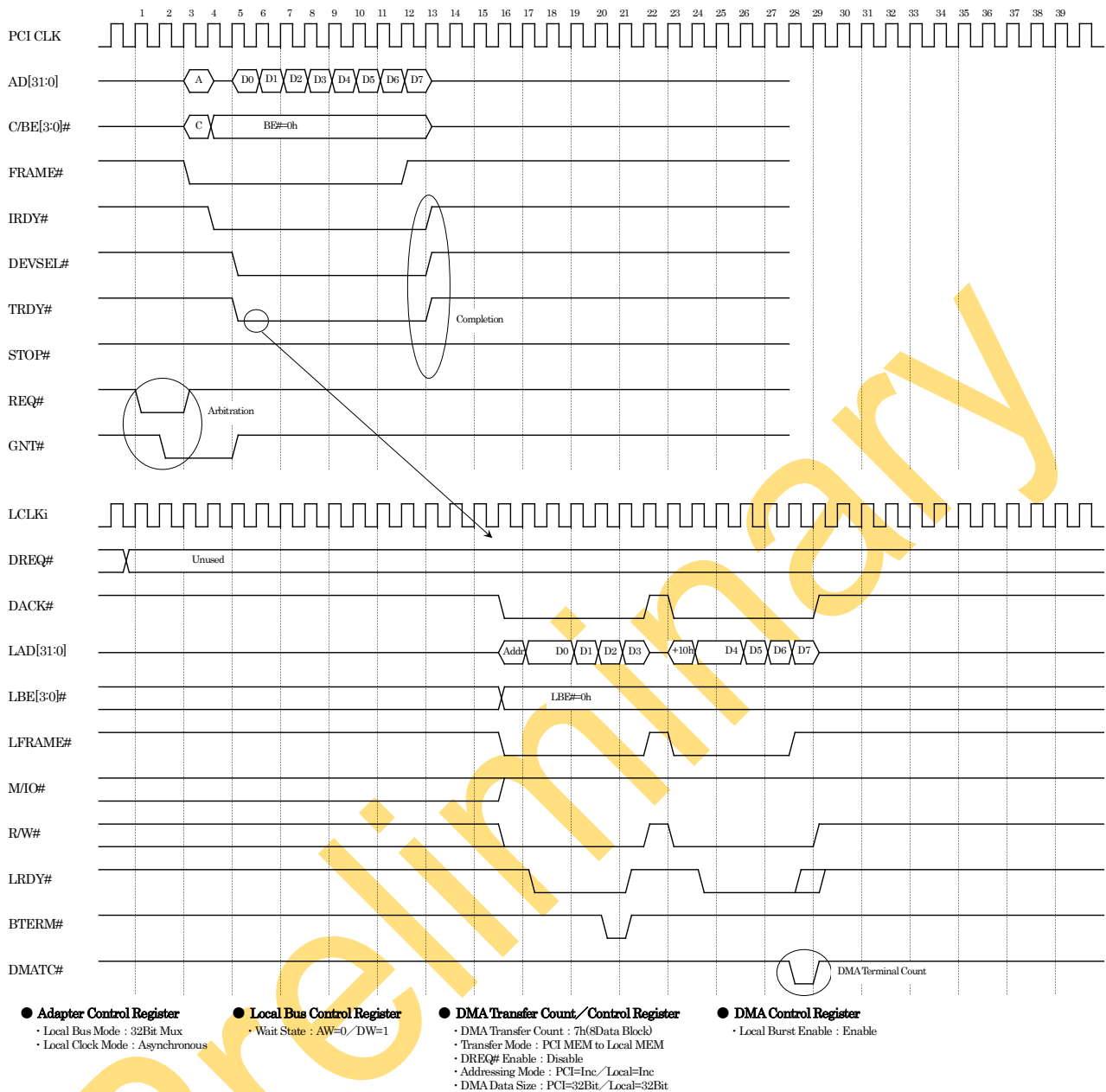


Figure 7-31 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 32Bit Bus/BTERM# Control)

■ ローカル・クロック同期モード

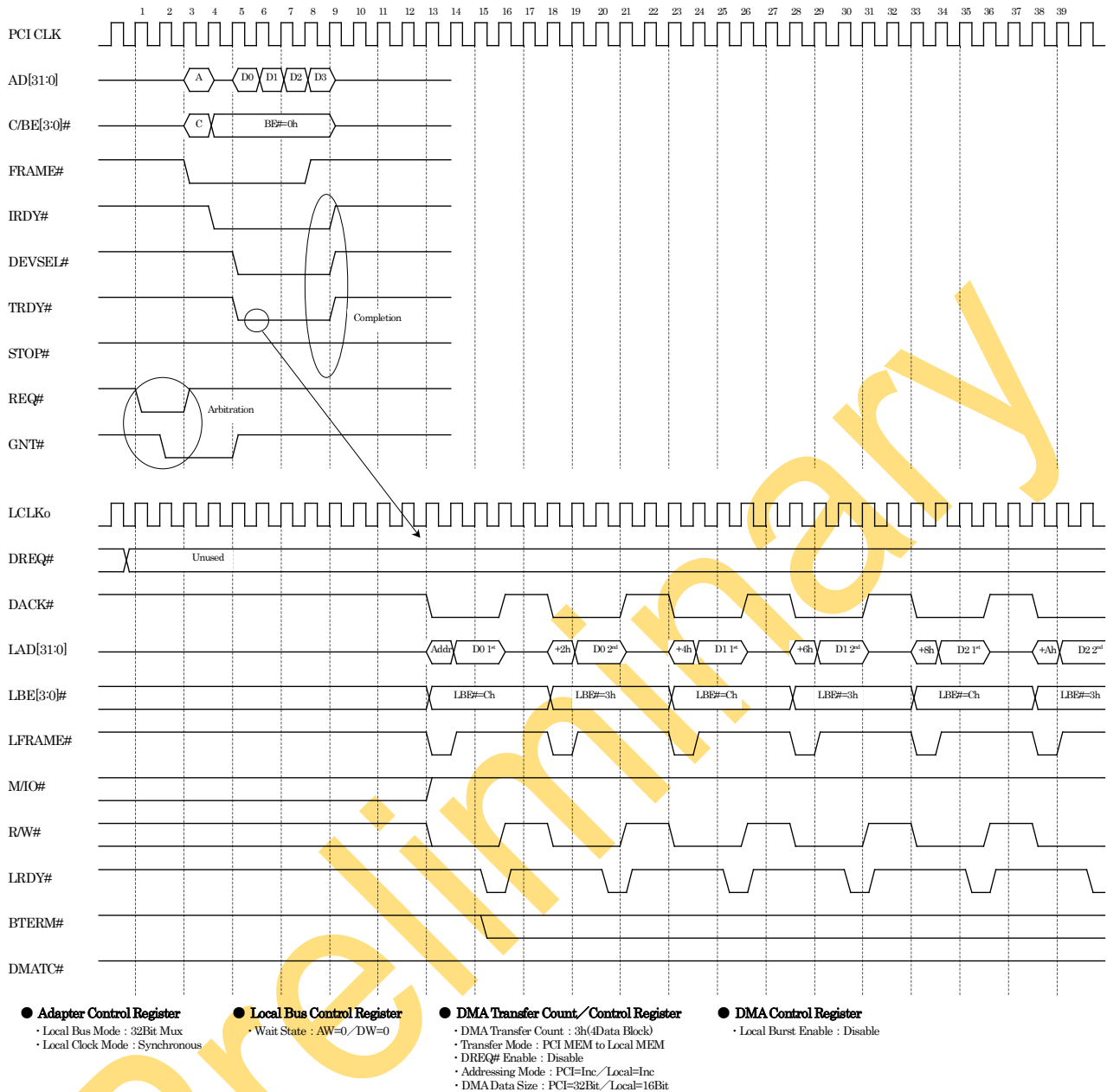


Figure7-32 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 32Bit Bus)

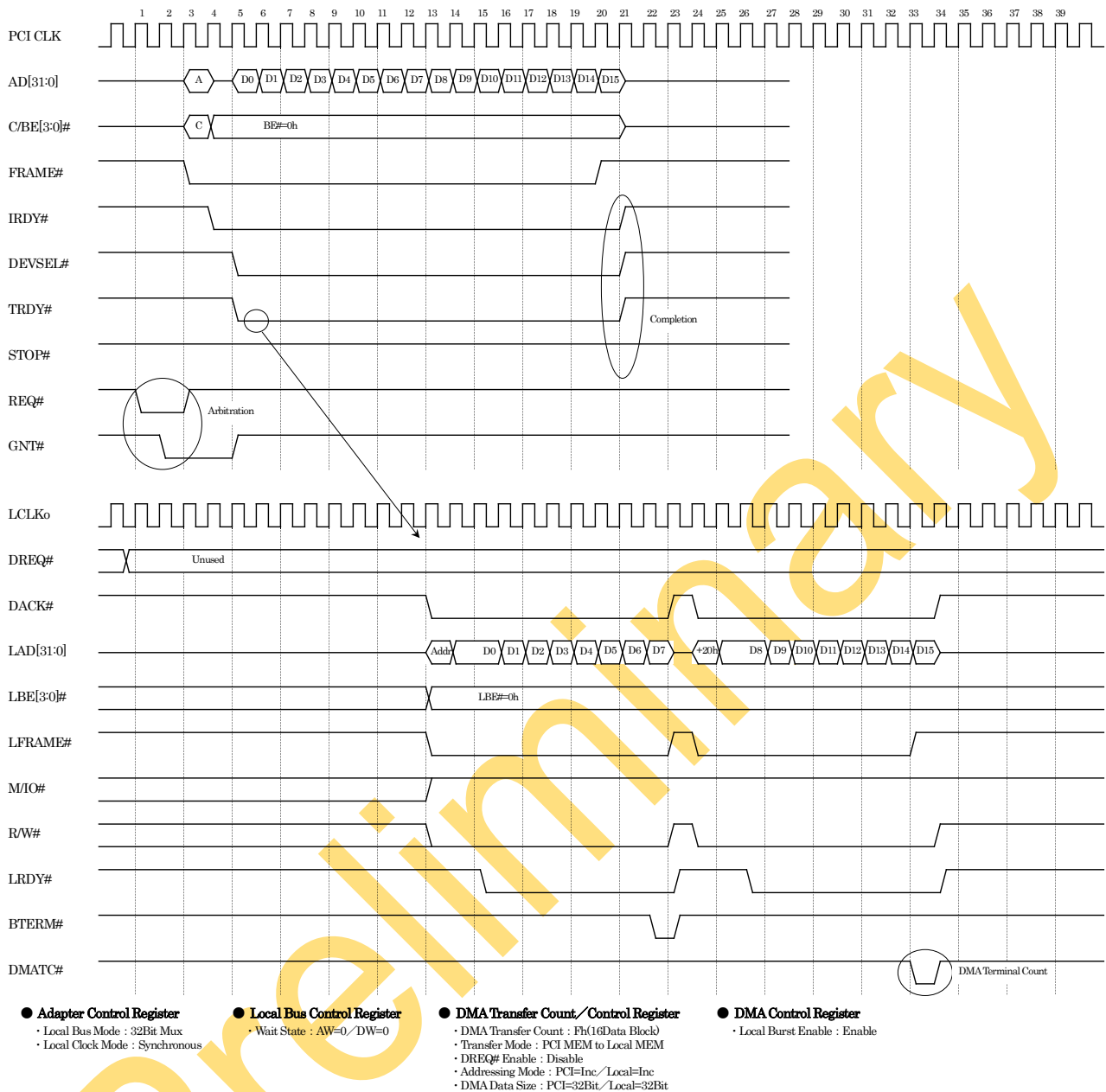


Figure 7-33 : DMA PCI to Local 転送タイミング (Prefetched WR/Local 32Bit Bus/BTERM# Control)

## 8. 割り込み機能

APIC22A の割り込み機能には、システム・エラーを通知するための SERR#機能と通常の割り込みイベントを要求する INTA#/LINT#機能があります。

SERR#機能には、エラー検出を行うかどうか選択可能な5本の要因と無条件検出の2本の要因があります。SERR#信号は、通常、ホスト・システムにおける NMI (Non Maskable Interrupt) に使用されます。

INTA#/LINT#機能は、PCI バスへ出力する INTA#信号とローカル・バスへ出力する LINT#信号を生成します。INTA#出力要因には、マスク可能な4本の外部要因 (IRQ[3:0]) と7本の内部要因をサポートしています。外部要因は、入力方式や優先制御などを指定できるためアプリケーション回路の負担を軽減します。LINT#出力要因には、マスク可能な8本の内部要因をサポートしています。

割り込み機能に関連するレジスタを以下に示します。

### ● SERR#機能

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
PCI INTA#/SERR# Status	00h	80h	—	—	<ul style="list-style-type: none"> <li>Bit[6] : Retry Limit SERR# Flag</li> <li>Bit[7] : IRQ SERR# Flag</li> </ul>
PCI SERR# Control	07h	87h	20h	41h	<ul style="list-style-type: none"> <li>Bit[0] : Target Abort SERR# Enable</li> <li>Bit[1] : Master Abort SERR# Enable</li> <li>Bit[2] : Retry Limit SERR# Enable</li> <li>Bit[3] : Data Parity Error SERR# Enable</li> <li>Bit[4] : IRQ SERR# Enable</li> <li>Bit[6:5] : SERR# Factor IRQ Select</li> </ul>

**Notes :** SERR#出力を行うには、PCI コンフィギュレーション空間の「Command Register : SERR# Enable」の許可が必要です。

### ● INTA#機能

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
PCI INTA#/SERR# Status	00h	80h	—	—	<ul style="list-style-type: none"> <li>Bit[3:0] : IRQ[3:0] Status Flag</li> <li>Bit[8] : Target Abort INTA# Flag</li> <li>Bit[9] : Master Abort INTA# Flag</li> <li>Bit[10] : Retry Limit INTA# Flag</li> <li>Bit[11] : Message Box INTA# Flag</li> <li>Bit[12] : Wait Limit INTA# Flag</li> <li>Bit[14] : Timer INTA# Flag</li> <li>Bit[15] : DMATC INTA# Flag</li> </ul>
Internal Interrupt Control for PCI (INTA#/MSI)	08h	88h	21h	42h	<ul style="list-style-type: none"> <li>Bit[0] : Target Abort INTA# Enable</li> <li>Bit[1] : Master Abort INTA# Enable</li> <li>Bit[2] : Retry Limit INTA# Enable</li> <li>Bit[3] : Message Box INTA# Enable</li> <li>Bit[4] : Wait Limit INTA# Enable</li> <li>Bit[6] : Timer INTA# Enable</li> <li>Bit[7] : DMATC INTA# Enable</li> </ul>
External Interrupt Control	0Ah	8Ah	22h	44h 45h	<ul style="list-style-type: none"> <li>Bit[3:0] : IRQ0 Control Bits</li> <li>Bit[7:4] : IRQ1 Control Bits</li> <li>Bit[11:8] : IRQ2 Control Bits</li> <li>Bit[15:12] : IRQ3 Control Bits</li> </ul>

**Notes :** INTA#出力を行うには、シリアル EEPROM による初期イニシャライズで INTA#機能を"ON"にする必要があります。

• 3-Wire EEPROM : Offset = 11h / 2-Wire EEPROM : Offset = 23h



● LINT#機能

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Local LINT# Status	02h	82h	—	—	<ul style="list-style-type: none"> <li>• Bit[0] : Target Abort LINT# Flag</li> <li>• Bit[1] : Master Abort LINT# Flag</li> <li>• Bit[2] : Retry Limit LINT# Flag</li> <li>• Bit[3] : Message Box LINT# Flag</li> <li>• Bit[4] : Target Lock LINT# Flag</li> <li>• Bit[5] : Power Management LINT# Flag</li> <li>• Bit[6] : Timer LINT# Flag</li> <li>• Bit[7] : DMATC LINT# Flag</li> </ul>
Internal Interrupt Control for Local (LINT#)	09h	89h	21h	43h	<ul style="list-style-type: none"> <li>• Bit[0] : Target Abort LINT# Enable</li> <li>• Bit[1] : Master Abort LINT# Enable</li> <li>• Bit[2] : Retry Limit LINT# Enable</li> <li>• Bit[3] : Message Box LINT# Enable</li> <li>• Bit[4] : Target Lock LINT# Enable</li> <li>• Bit[5] : Power Management LINT# Enable</li> <li>• Bit[6] : Timer LINT# Enable</li> <li>• Bit[7] : DMATC LINT# Enable</li> </ul>

Preliminary

## 8-1. SERR#機能

SERR#信号は、デバイス上で処理できない致命的なエラーが発生したときにアサートすることができます。SERR#出力要因には、選択可能な5本の要因と無条件検出の2本の要因があります。

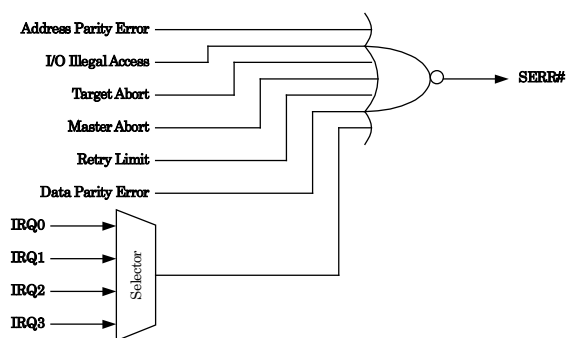


Figure8-1 : SERR#出力回路の内部構成

### ● 無条件検出の要因

以下の要因を検出した場合は、いつでも SERR#をアサートします。

#### 1. Address Parity Error

PCI ターゲット・アクセスを受けたとき、アドレスのパリティ・エラーを検出すると SERR#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」で確認します。

#### 2. I/O Illegal Access

PCI I/O アクセスを受けたとき、アドレスとバイト・レーン情報の不一致を検出すると SERR#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」で確認します。

### ● 選択可能な要因

「PCI SERR# Control Register」で検出要因を選択します。

#### 1. Target Abort

PCI マスタ動作のとき、ターゲット・アボートを受信すると SERR#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」で確認します。

#### 2. Master Abort

PCI マスタ動作のとき、マスタ・アボートでバス・サイクルを終了すると SERR#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」で確認します。

#### 3. Retry Limit

PCI マスタ動作のとき、リトライ制限でバス・サイクルを終了すると SERR#をアサートします。

リトライ制限機能は、「PCI State Control Register : PCI Retry Limit Control」で許可します。リトライ制限数は、16 回を単位とする 256 回数まで指定できます。

検出要因は、アダプタ・コンフィギュレーション空間の「PCI INTA# / SERR# Status Register」で確認します。

#### 4. Data Parity Error

PCI マスタ動作のとき、ターゲット・デバイスによる PERR#アサートの検出、または APIC22A がデータ・パリティ・エラーを検出すると SERR#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」で確認します。

#### 5. IRQ Input

外部要因 (IRQ<sub>x</sub> 信号) による SERR#出力が許可されているとき、有効な IRQ<sub>x</sub> 端子入力を検出すると SERR#をアサートします。

検出要因は、アダプタ・コンフィギュレーション空間の「PCI INTA# / SERR# Status Register」で確認します。

### 8-1-1. 外部要因 (IRQ) の SERR#制御

外部要因による SERR#出力の制御を行います。外部要因は、IRQ[3:0]端子から1つを選択します。

IRQ<sub>x</sub> 信号による SERR#出力を行う場合、「PCI SERR# Control Register : IRQ SERR# Enable」で許可します。使用する IRQ<sub>x</sub> 端子は、「PCI SERR# Control Register : SERR# Factor IRQ Select」で選択します。

IRQ<sub>x</sub> 端子の状態は、LCLK によるアクティブ”Low”の同期エッジで検出されます。なお、実際の検出は「IRQ SERR# Enable」が許可状態のときに行われます。それ以外のときの IRQ<sub>x</sub> 端子入力は無効です。

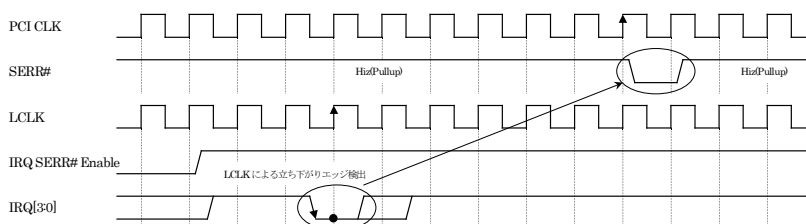


Figure8-2 : 外部要因 (IRQ) の SERR#制御

## 8-2. INTA#機能

INTA#信号は、PCI 側のアプリケーション・ソフトウェアに割り込みイベントを要求するときアサートします。INTA#出力要因には、マスク可能な7本の内部要因と4本の外部要因があります。

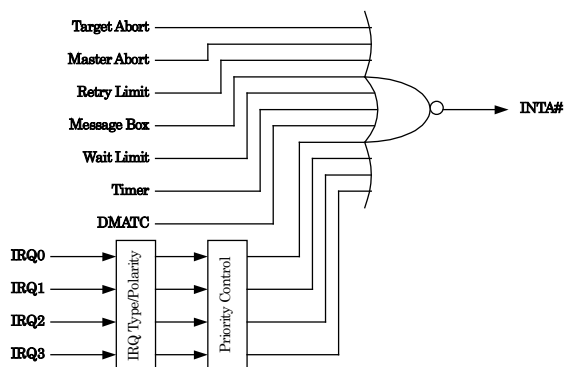


Figure 8-3 : INTA#出力回路の内部構成

### 2. Master Abort

PCI マスタ動作のとき、マスタ・アポートでバス・サイクルを終了すると INTA#をアサートします。検出要因は、PCI コンフィギュレーション空間の「Status Register」でも確認できます。

### 3. Retry Limit

PCI マスタ動作のとき、リトライ制限でバス・サイクルを終了すると INTA#をアサートします。リトライ制限機能は、「PCI State Control Register : PCI Retry Limit Control」で許可します。リトライ制限数は、16 回を単位とする 256 回数まで指定できます。

### 4. Message Box

メッセージ・ボックス機能で、ローカル・マスタからローカル・コマンド・フラグに値「1」がセットされると INTA#をアサートします。ローカル・コマンド・フラグは、「Message Box Command Port Register : Local Command Flag」に設定します。割り込み要因のステータス・フラグをクリアするとローカル・コマンド・フラグも値「0」にクリアされます。

### 5. Wait Limit

PCI ターゲット/DMA 転送のとき、ウェイト制限によりローカル・バス・サイクルを終了すると INTA#をアサートします。ウェイト制限機能は、「Local State Control Register : Local Wait Limit Control」で許可します。ウェイト制限数は、16LCLK を単位とする 256 回数まで指定できます。

### 6. Timer

タイマ機能で、タイマ・カウンタのポロー検出によるタイマ・ステータスが値「1」にセットされると INTA#をアサートします。タイマ機能は、「Timer Control Register : Timer Enable」で許可します。割り込み要因のステータス・フラグをクリアするとタイマ・ステータスも値「0」にクリアされます。

### ● 内部要因

「Internal Interrupt Control for PCI Register」で割り込み要因を選択します。

検出された割り込み要因は、全て「PCI INTA#/SERR# Status Register」で確認できます。ステータス・フラグがどれか1つでも値「1」にセットされているときは INTA#のアサート状態を続けます。全てのステータス・フラグが値「0」にクリアされたとき INTA#をディアサートします。

#### 1. Target Abort

PCI ターゲット動作のとき、APIC22A がターゲット・アポートを実行すると INTA#をアサートします。

PCI マスタ動作のときは、ターゲット・デバイスからのターゲット・アポートを受信すると INTA#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」でも確認できます。

#### 7. DMATC

DMA 機能で、データ転送の終了を示す DMATC (DMA Terminal Count) が発生すると INTA#をアサートします。

実際の割り込みは、転送先へ全てのデータが書き込まれたときに発生します。

### ● 外部要因

「External Interrupt Control Register」で割り込み要因を選択します。

検出された割り込み要因は、全て「PCI INTA#/SERR# Status Register」で確認できます。ステータス・フラグがどれか1つでも値「1」にセットされているときは INTA#のアサート状態を続けます。全てのステータス・フラグが値「0」にクリアされたとき INTA#をディアサートします。

#### 1. IRQ0

外部要因 (IRQ0 信号) による INTA#出力が許可されているとき、有効な IRQ0 端子入力を検出すると INTA#をアサートします。IRQ0 端子入力は、入力タイプ/ポラリティおよび優先制御を行うことができます。

#### 2. IRQ1

機能は、IRQ0 と同じです。

#### 3. IRQ2

機能は、IRQ0 と同じです。

#### 4. IRQ3

機能は、IRQ0 と同じです。

## 8-2-1. 外部要因 (IRQ) の INTA#制御

各 IRQ<sub>x</sub> 端子入力は、入力タイプや入力ポラリティおよび優先制御を行うことができます。

### ■ IRQ<sub>x</sub> 割り込みの許可

IRQ<sub>x</sub> 端子入力を要因とする INTA#出力の許可を行います。

・ IRQ<sub>x</sub> Enable => 「External Interrupt Control Register : IRQ<sub>x</sub> Interrupt Enable」

イネーブルに設定されると、対象の IRQ<sub>x</sub> 端子の状態を検出します。なお、他の機能で同じ IRQ<sub>x</sub> 端子を使用している場合、どちらも有効機能として取り扱われます。

ディセーブル設定では、IRQ<sub>x</sub> 端子入力は無効です。

### ■ 入力タイプと入力極性の指定

入力タイプは、レベル入力またはエッジ入力から選択します。

・ IRQ<sub>x</sub> Type => 「External Interrupt Control Register : IRQ<sub>x</sub> Interrupt Type」

入力極性は、アクティブ”Low”またはアクティブ”High”から選択します。

・ IRQ<sub>x</sub> Polarity => 「External Interrupt Control Register : IRQ<sub>x</sub> Polarity」

### ● レベル入力

「IRQ<sub>x</sub> Polarity」で指定される有効なレベル入力を検出すると INTA#をアサートします。

レベル入力の場合、対象の IRQ<sub>x</sub> 信号がアサートされているとき INTA#のアサート状態が続きます。検出要因のステータス・フラグには反映されますがビット書き込みによるフラグ・クリアはできません。

割り込み要因をクリアする場合は、対象の IRQ<sub>x</sub> 信号をディアサートします。

レベル入力ではクリア動作が単純化しているため、ソフトウェアはアプリケーション回路の操作のみで割り込み処理を行うことが可能となります。

レベル入力は、内部的に優先制御があるため LCLK による信号処理が行われています。

IRQ<sub>x</sub> 信号がアサート状態のとき「IRQ<sub>x</sub> Interrupt Enable」がイネーブルに設定されても割り込みは発生しません。一度 IRQ<sub>x</sub> 信号をディアサートしてください。また、同じ IRQ<sub>x</sub> 信号で続けて割り込みを発生させるには、「1LCLK」以上のディアサート状態が必要です。

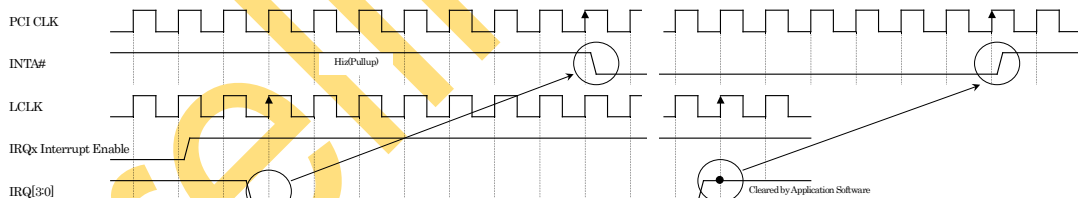


Figure8-4 : 外部要因 (IRQ) の INTA#制御 (レベル入力/アクティブ”Low”)

### ● エッジ入力

「IRQ<sub>x</sub> Polarity」で指定される有効なエッジ入力を検出すると INTA#をアサートします。

検出要因は、ステータス・フラグに反映され、ビット書き込みによるフラグ・クリアが行われるまで INTA#のアサート状態が続きます。

有効なエッジ入力は、2 要因まで内部で保持しています。一定時間のパルス入力で割り込みを発生することができるため、簡単なアプリケーション回路で構成できます。

IRQ<sub>x</sub> 端子の状態は、LCLK による同期エッジ入力検出されます。同じ IRQ<sub>x</sub> 信号で続けて割り込みを発生させるには、「1LCLK」以上のアサート状態と「1LCLK」以上のディアサート状態が必要です。

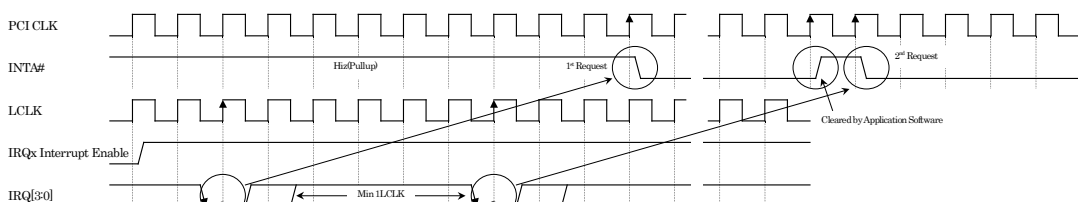


Figure8-5 : 外部要因 (IRQ) の INTA#制御 (エッジ入力/アクティブ”Low”)

## ■ 優先制御の指定

各 IRQ<sub>x</sub> 端子入力に優先制御を行うかどうかを指定できます。

- IRQ<sub>x</sub> Priority => 「External Interrupt Control Register : IRQ<sub>x</sub> Priority Control」

## ● 通常制御

「IRQ<sub>x</sub> Priority Control」がディセーブルに指定されるときは通常制御です。

有効な IRQ<sub>x</sub> 端子入力を検出するとそのまま INTA#がアサートされます。複数の IRQ<sub>x</sub> 要因がある場合、ステータス・フラグには全ての要因が反映されます。

優先制御の IRQ<sub>x</sub> 要因がサービス要求状態にあるとき、通常制御の IRQ<sub>x</sub> 要因が発生してもステータス・フラグには反映されません。優先制御の IRQ<sub>x</sub> 要因のステータス・フラグが全てクリアされた後、通常制御の IRQ<sub>x</sub> 要因がステータス・フラグに反映されます。

## ● 優先制御

「IRQ<sub>x</sub> Priority Control」がイネーブルに指定されるとき優先制御が行われます。

- IRQ<sub>x</sub> 優先順位 : IRQ<sub>0</sub> > IRQ<sub>1</sub> > IRQ<sub>2</sub> > IRQ<sub>3</sub>

全ての IRQ<sub>x</sub> 端子が優先制御に指定されるとき、IRQ<sub>x</sub> 要因のステータス・フラグは、そのとき最も高い優先順位にある IRQ<sub>x</sub> のみが反映されます。

複数の要因があるとき、優先順位の高い IRQ<sub>x</sub> 要因のステータス・フラグがクリアされると次に高い優先順位の IRQ<sub>x</sub> 要因がステータス・フラグに反映されます。

通常制御の IRQ<sub>x</sub> 要因がサービス要求状態にあるときでも、優先制御の IRQ<sub>x</sub> 要因が発生するとステータス・フラグに反映されます。

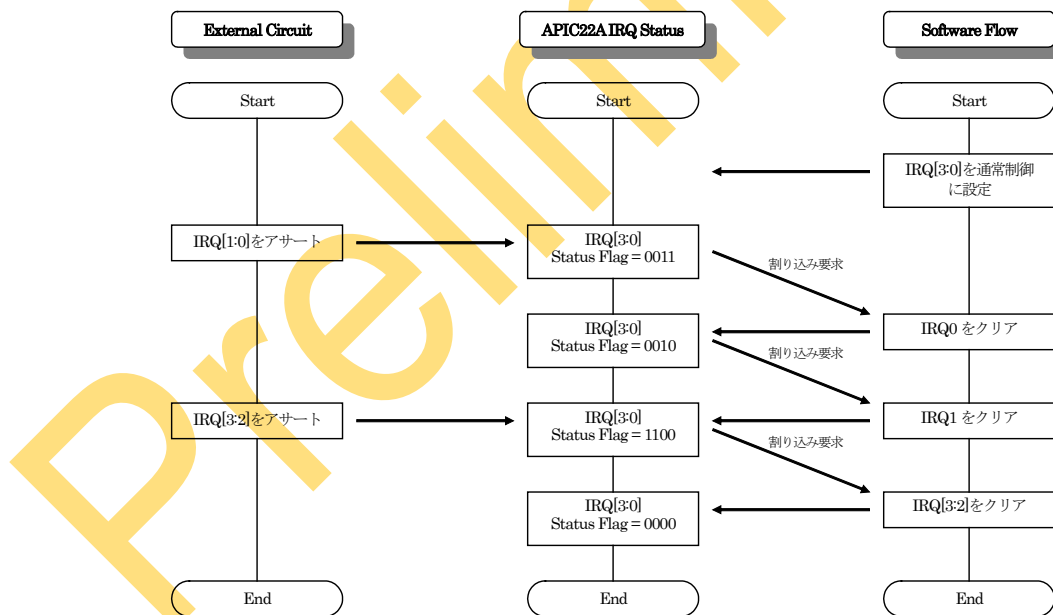


Figure8-6 : IRQ 通常制御の動作フロー

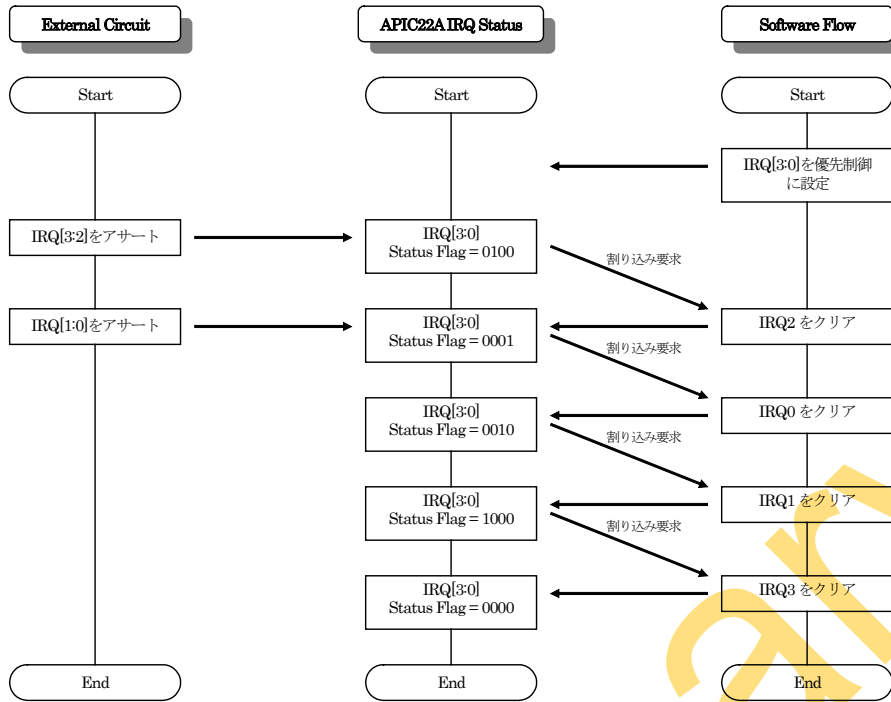


Figure8-7 : IRQ 優先制御の動作フロー

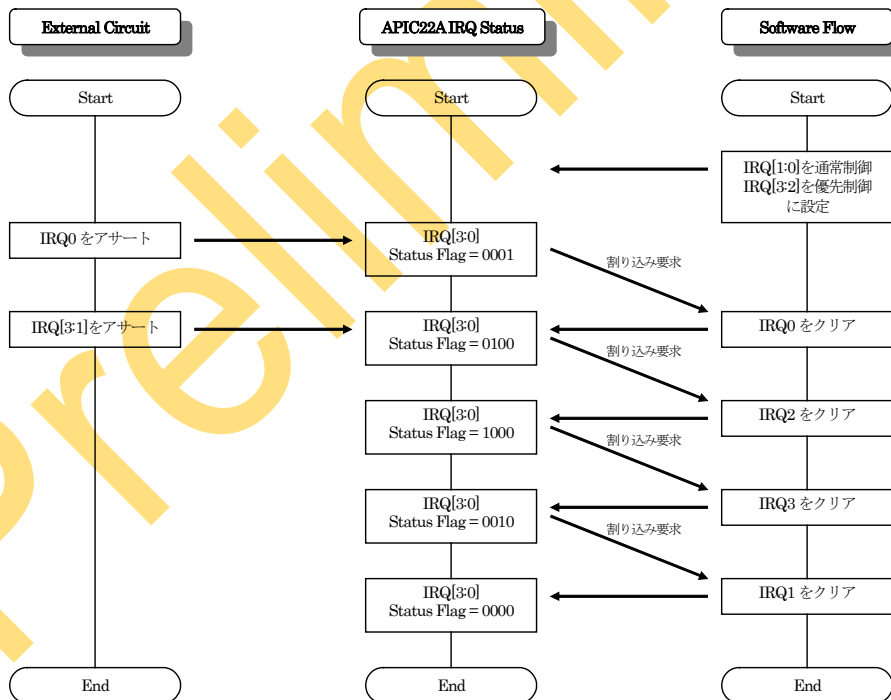


Figure8-8 : IRQ 通常制御と優先制御の動作フロー

## 8-3. LINT#機能

LINT#信号は、ローカル側のアプリケーション・ソフトウェアに割り込みイベントを要求するときアサートします。LINT#出力要因には、マスク可能な8本の内部要因があります。

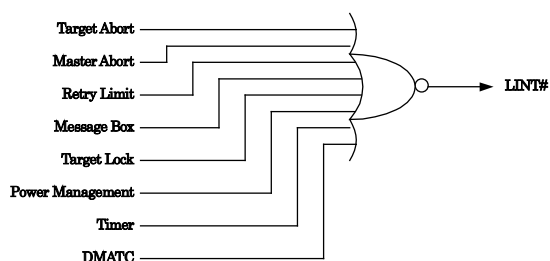


Figure 8-9 : LINT#出力回路の内部構成

### ● 内部要因

「Internal Interrupt Control for Local Register」で割り込み要因を選択します。

検出された割り込み要因は、全て「Local LINT# Status Register」で確認できます。ステータス・フラグがどれか1つでも値「1」にセットされているときは LINT#のアサート状態を続けます。全てのステータス・フラグが値「0」にクリアされたとき LINT#をデアサートします。

#### 1. Target Abort

PCI ターゲット動作のとき、APIC22A がターゲット・アボートを実行すると LINT#をアサートします。

PCI マスタ動作のときは、ターゲット・デバイスからのターゲット・アボートを受信すると LINT#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」でも確認できます。

#### 2. Master Abort

PCI マスタ動作のとき、マスタ・アボートでバス・サイクルを終了すると LINT#をアサートします。

検出要因は、PCI コンフィギュレーション空間の「Status Register」でも確認できます。

#### 3. Retry Limit

PCI マスタ動作のとき、リトライ制限でバス・サイクルを終了すると LINT#をアサートします。

リトライ制限機能は、「PCI State Control Register : PCI Retry Limit Control」で許可します。リトライ制限数は、16 回を単位とする 256 回数まで指定できます。

#### 4. Message Box

メッセージ・ボックス機能で、PCI マスタから PCI コマンド・フラグに値「1」がセットされると LINT#をアサートします。

PCI コマンド・フラグは、「Message Box Command Port Register : PCI Command Flag」に設定します。

割り込み要因のステータス・フラグをクリアすると PCI コマンド・フラグも値「0」にクリアされます。

#### 5. Target Lock

PCI ターゲット動作のとき、ローカル・リソース空間のロックが行われると LINT#をアサートします。

ローカル・リソースのロック・ステータスは、I/O 空間、メモリ空間、ExpROM 空間それぞれにあります。

ロック・ステータスは、各空間の「Remap Address Register」で確認できます。

#### 6. Power Management

PM 機能で、PM ステートの変更が行われたとき LINT#をアサートします。

なお、D0unini.から D0active へのステート変更では、割り込みは発生しません。また、LRESET#制御が行われる PM ステートへ移行したときも割り込みは発生しません。

#### 7. Timer

タイマ機能で、タイマ・カウンタのポロー検出によるタイマ・ステータスが値「1」にセットされると INTA#をアサートします。

タイマ機能は、「Timer Control Register : Timer Enable」で許可します。

割り込み要因のステータス・フラグをクリアするとタイマ・ステータスも値「0」にクリアされます。

#### 8. DMATC

DMA 機能で、データ転送の終了を示す DMATC (DMA Terminal Count) が発生すると INTA#をアサートします。

実際の割り込みは、転送先へ全てのデータが書き込まれたときに発生します。

## 9. タイマ機能

APIC22A は、24Bit のカウンタで構成されるタイマ機能を内蔵しています。

タイマ機能は、周期カウントで動作します。カウンタには、自由なカウント値を設定できるため任意周期を生成可能です。カウンタ動作クロックは、プリスケアラで選択できます。

周期ごとのカウントの結果を外部に出力する TOUT#端子を持っています。また、周期ごとの割り込みを生成できるためシステムのインターバル・タイマとして使用可能です。

タイマ機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Timer Count	44h	C4h	35h 36h	6Ah ~ 6Ch	• Bit[23:0] : Timer Count
Timer Control	47h	C7h	36h	6Dh	• Bit[0] : Timer Enable • Bit[3:1] : Prescaler • Bit[5] : TOUT# Mode • Bit[7] : Timer Status



## 9-1. タイマの操作方法

「Timer Count Register」にカウント値を設定し「Timer Control Register」に必要な条件とタイマ動作の許可を行うとタイマ・カウンタのカウントを開始します。

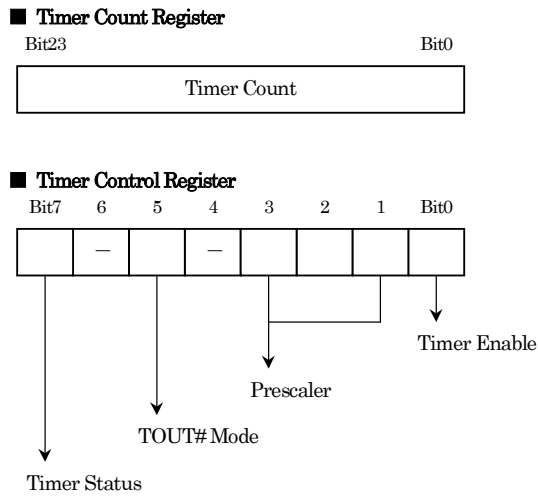


Figure9-1 : Timer Count/Control Register Format

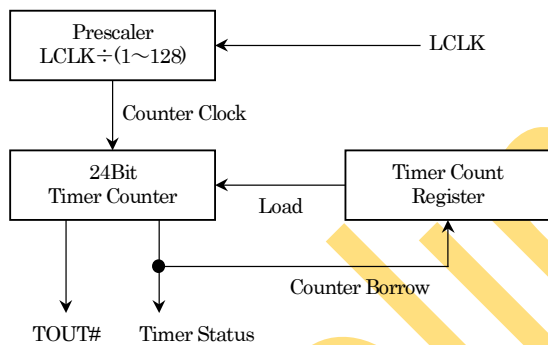


Figure9-2 : タイマ・カウンタの内部構成

### 4. Timer Status

カウンタ・ボローが発生したことを示すステータス・フラグです。

本フラグにより割り込みを発生させることができます。割り込み要因のステータス・フラグがクリアされると、本フラグもクリアされます。なお、本フラグに値「1」を書き込んでもクリアできますが、割り込み要因のフラグはクリアされません。また、本フラグが値「1」を示しているとき次のカウンタ・ボローが発生しても割り込みは発生しません。続けて割り込みを発生させる場合は、本フラグをクリアしてください。

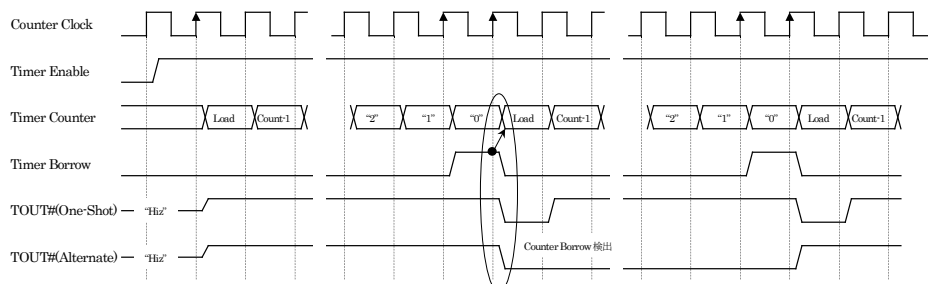


Figure9-3 : タイマ・カウンタの動作タイミング

### ● Timer Count Register

タイマ・カウンタへロードするカウント値を設定します。

タイマ動作の許可が行われると設定値をタイマ・カウンタにロードしカウントを開始します。

タイマ・カウンタは、ダウン・カウントが行われ、”000001h”から”000000h”の変化でカウンタ・ボローが発生します。カウンタ・ボローで、再び設定値をタイマ・カウンタにロードしカウント動作が続きます。

### ● Timer Control Register

#### 1. Timer Enable

タイマ動作を許可するとき値「1」を設定します。

許可が行われると、プリスケラで指定される周期でタイマ・カウンタのカウント動作を開始します。値「0」が設定されるとタイマ動作を停止します。停止指示があると、プリスケラ用のカウンタはリセット状態となり TOUT#端子は「HiZ」状態を保持します。

なお、シリアル EEPROM による初期イニシャライズでタイマ動作の許可を行うことはできません。

#### 2. Prescaler

タイマ・カウンタの動作クロックを選択します。

プリスケラでは、LCLK を基にカウンタ・クロックを生成します。

Prescaler	LCLK 分周	Prescaler	LCLK 分周
000	1 分周	100	16 分周
001	2 分周	101	32 分周
010	4 分周	110	64 分周
011	8 分周	111	128 分周

#### 3. TOUT# Mode

TOUT#端子の出力方法を指定します。

0 : One-Shot 1 : Alternate

「One-Shot」に指定される時、カウンタ・ボロー検出で 1 カウンタ・クロック分の「Low」パルスを出力します。なお、「Timer Count Register」が値「0」に設定されているときは出力されません。

「Alternate」に指定される時、カウンタ・ボローの検出ごとに TOUT#出力を論理反転します。

## 10. メッセージ・ボックス機能

APIC22A は、ホスト CPU とローカル・マスタ (CPU) の間でメッセージ交換を行うためのデータ・ポートとコマンド・ポートを内蔵しています。

用途は特に限定されていません。アプリケーションで自由に使用できます。それぞれの CPU からコマンドを通知するための割り込みを生成できます。

メッセージ・ボックス機能に関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Message Box Data Port	48h	C8h	—	—	• Bit[31:0] : Message Data
Message Box Command Port	4Ch	CCh	—	—	• Bit[29:0] : Message Command • Bit[30] : PCI Command Flag • Bit[31] : Local Command Flag

### 10-1. メッセージ・ボックスの操作方法

メッセージ・ボックスは、PCI 側とローカル側でそれぞれ独立したデータ・ポートとコマンド・ポートで構成されています。

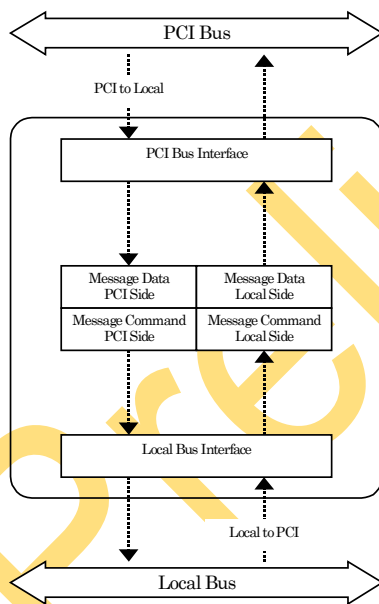


Figure10-1 : メッセージ・ボックスの構成

#### ● Message Data Port

データ・ポートは、32Bit のレジスタで構成され、PCI 側とローカル側で独立しています。

PCI 側のデータ・ポートは、PCI からのみ書き込みが可能です。ローカル側からは、読み出しのみが可能です。

ローカル側のデータ・ポートは、ローカルからのみ書き込みが可能です。PCI 側からは、読み出しのみが可能です。

#### ● Message Command Port

コマンド・ポートは、メッセージ・コマンドと PCI/ローカルのコマンド・フラグで構成されています。

##### 1. Message Command

メッセージ・コマンドは、30Bit (Bit[29:0]) のレジスタで構成され、PCI 側とローカル側で独立しています。

PCI 側のメッセージ・コマンドは、PCI からのみ書き込みが可能です。ローカル側からは、読み出しのみが可能です。

ローカル側のメッセージ・コマンドは、ローカルからのみ書き込みが可能です。PCI 側からは、読み出しのみが可能です。

##### 2. PCI Command Flag

Bit[30]に配置する PCI 側からのメッセージ・コマンドが有効であることを示すフラグです。

PCI to Local のメッセージ送出時、値"1"を書き込みます。

割り込みが許可されているときは、LINT#をアサートします。本フラグは、ローカルからのみクリアが可能です。割り込み要因のステータス・フラグがクリアされると、本フラグもクリアされます。

なお、本フラグに値"1"を書き込んででもクリアできますが、割り込み要因のフラグはクリアされません。

##### 3. Local Command Flag

Bit[31]に配置するローカル側からのメッセージ・コマンドが有効であることを示すフラグです。

Local to PCI のメッセージ送出時、値"1"を書き込みます。

割り込みが許可されているときは、INTA#をアサートします。本フラグは、PCI からのみクリアが可能です。割り込み要因のステータス・フラグがクリアされると、本フラグもクリアされます。

なお、本フラグに値"1"を書き込んででもクリアできますが、割り込み要因のフラグはクリアされません。

## 1 1. 汎用入出力ポート

APIC22A は、4Bit の入出力指定可能な汎用ポートを内蔵しています。

用途は特に限定されていません。アプリケーションで自由に使用できます。

汎用入出力ポートに関連するレジスタを以下に示します。

Register	Offset				Function Bit
	PCI (BAR0)	Local	EEPROM		
			3W	2W	
Parallel Input/Output (PIO) Port	0Dh	8Dh	23h	47h	・ Bit[3:0] : PIO[3:0]
Pin Function Control	0Eh	8Eh	24h	49h	・ Bit[11:8] : PIO[3:0] Direction Select

### 1 1-1. 使用例

同一機能のボードの識別やアプリケーション回路の動作モードの変更などに利用できます。

#### 1 1-1-1. 同一機能のボード識別

同一機能のボードが PCI バス上に複数枚あるとき、スロットの位置をソフトウェアが識別するのは困難です。ここで、汎用ポートを入力方向に構成し、外部にロータリ・スイッチやジャンパを接続します。各ボードごとに固有の番号を割り当てておけば、接続されているスロットの位置を気にせず同一機能のボードを識別することができます。

実際の管理は、アプリケーション・ソフトウェアで行います。

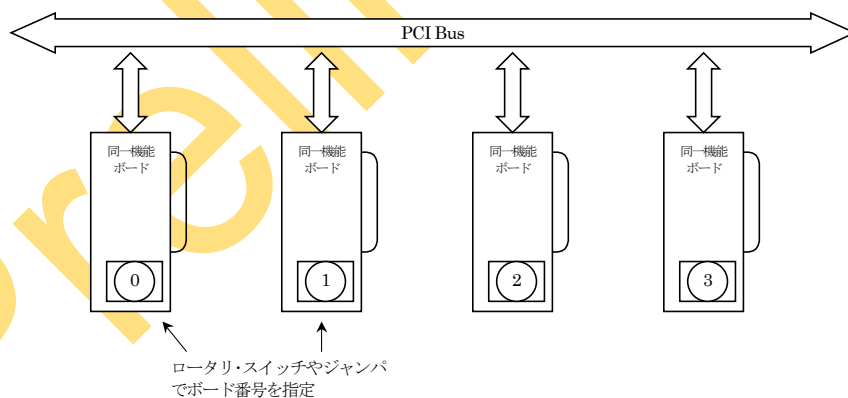


Figure11-1 : 同一機能ボードの識別方法

## 12. シリアル EEPROM インタフェース

### 12-1. シリアル EEPROM 機能の概要

シリアル EEPROM とのインタフェース機能を持っています。

APIC22A は、3-Wire タイプおよび 2-Wire タイプのシリアル EEPROM を接続可能です。

また、シリアル EEPROM サイズの自動認識が可能で、1KBit~16KBit までサポートしています。

シリアル EEPROM は、APIC22A 内部レジスタの初期化データ登録および VPD 格納媒体として使用されます。

#### 12-1-1. シリアル EEPROM 種類の選択

APIC22A の EESSEL (Serial EEPROM Select) 端子で選択します。

EESSEL 端子の状態は、PCI RST# 信号の立ち上がりまたは HEALTHY# 信号の立ち下がり でサンプリングされシリアル EEPROM の種類が決まります。「(PCI RST# = "High") and (HEALTHY# = "Low")」

● サンプリング結果

EESSEL 端子 = "Low" : 3-Wire Serial EEPROM

EESSEL 端子 = "High" : 2-Wire Serial EEPROM

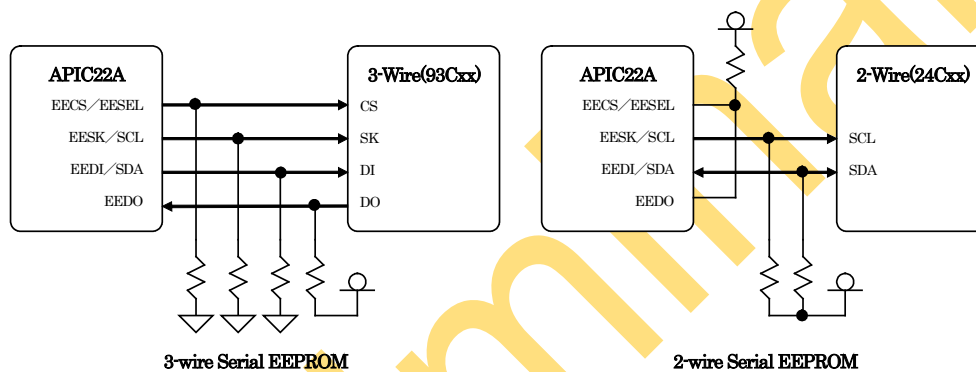


Figure 12-1 : シリアル EEPROM の接続

#### 12-1-2. 初期イニシャライズ

PCI RST# の解除および有効な HEALTHY# 状態になると初期イニシャライズを開始します。

初期イニシャライズは、シリアル EEPROM の先頭番地からデータを順次読み出し、APIC22A 内部の PCI コンフィギュレーション空間およびアダプタ・コンフィギュレーション空間のレジスタへ初期値を設定します。

初期イニシャライズ中、PCI からのアクセスはリトライ処理されます。

初期イニシャライズで、最初のワード・データ読み出しの結果、有効な「Serial EEPROM Status="A5h"」が検出されなかった場合、初期イニシャライズは中止します。

また、シリアル EEPROM が接続されていない場合も初期イニシャライズは中止します。

シリアル EEPROM 接続の有無の検出は、3-Wire タイプと 2-Wire タイプでことなるため、2つの方法でサポートしています。

3-Wire タイプの場合、シリアル EEPROM はアドレス(A0)入力の点で DO 端子からダミー・ビットが出力されます。APIC22A は、このダミー・ビットを検出できなかったとき、シリアル EEPROM が存在しないことを識別しています。

2-Wire タイプの場合、シリアル EEPROM はコントロール・ワード入力後、SDA 端子から ACK 信号が出力されます。APIC22A は、この ACK 信号を検出できなかったとき、シリアル EEPROM が存在しないことを識別しています。

初期イニシャライズが中止した場合、APIC22A 内部レジスタはリセット時の状態を保持します。

このとき、ローカル・バスは LRESET# をアサートしアプリケーション回路に影響を与えないようバス信号の "Hiz" 状態を保持します。

### 1 2-1-3. シリアル EEPROM のクロック制御

シリアル EEPROM のクロック周期を選択可能です。

シリアル EEPROM のクロックは、PCI クロックを分周し生成されます。

クロック周期は、シリアル EEPROM に登録されている「Adapter Control Register : Serial EEPROM Clock Select」により「Slow Clock Mode」または「Fast Clock Mode」から選択できます。なお、最初のワード・データの読み出しは、「Slow Clock Mode」で行われます。

ここで選択されるクロック周期は、以降の動作で有効です。また、VPD データ・アクセスのときも同クロック周期で動作します。

Type	Clock Mode	分周	クロック周期(PCI 33MHz)
3-wire	Slow	128 分周	3.84 $\mu$ s
	Fast	64 分周	1.92 $\mu$ s
2-wire	Slow	1024 分周	30.72 $\mu$ s
	Fast	512 分周	15.36 $\mu$ s

### 1 2-1-4. シリアル EEPROM のアドレスとデータ・サイズ

APIC22A は、アドレス・サイズ(EEPROM サイズ)の自動認識が可能です。

この機能は、3-Wire タイプのシリアル EEPROM で有効です。

2-Wire タイプのシリアル EEPROM では、16KBit サイズ固定でアクセスします。これは、2-Wire タイプのアクセス・プロトコルが 16KBit サイズで行われるため影響はありません。

アドレス・サイズの自動認識は、ダミー・ビットの位置検出で識別します。初期イニシャライズ起動時の最初の読み出しは、16KBit サイズ (A[9:0]) でアクセスを行います。シリアル EEPROM は、自身のサイズまでのアドレス入力があるとダミー・ビットを出力します。この結果、APIC22A はダミー・ビットを検出したアドレス数で接続されているシリアル EEPROM のサイズを識別します。以降、ここで得られたサイズ情報により制御が行われます。

アクセスは、先頭番地 (000h) から開始するため、どのようなサイズのシリアル EEPROM であっても影響はありません。

#### ● シリアル EEPROM サイズとアドレス・ビット数

Serial EEPROM Size	Address Bit
1KBit(93C46)	Total Address Bit=6Bit(A[5:0])
2KBit(93C56)	Total Address Bit=8Bit(Dummy+A[6:0])
4KBit(93C66)	Total Address Bit=8Bit(A[7:0])
8KBit(93C76)	Total Address Bit=10Bit(Dummy+A[8:0])
16KBit(93C86)	Total Address Bit=10Bit(A[9:0])

APIC22A で使用できる 3-Wire タイプのシリアル EEPROM データ・サイズは、16Bit 幅固定です。

2-Wire タイプのシリアル EEPROM データ・サイズは、8Bit 幅固定です(2-Wire Spec による)。

## 1 2-1-5. シリアル EEPROM のアクセス制御

### 1 2-1-5-1. 初期イニシャライズのアクセス

初期イニシャライズでは、リード・アクセスのみ行われます。

#### ● 3-Wire シリアル EEPROM

リード・アクセスは、ワード (16Bit) 単位のシングル・リードで行われます。  
シーケンシャル・リードは行いません。

#### ● 2-Wire シリアル EEPROM

リード・アクセスは、「ランダム・リード + シーケンシャル・リード」で行われます。  
シーケンシャル・リードは、2Byte 単位で行われます。

### 1 2-1-5-2. ソフトウェアによるアクセス

リード/ライト・アクセスが可能です。

ソフトウェアによるアクセスは、アダプタ・コンフィギュレーション空間の「Serial EEPROM Control Register」のビット操作により行います。

ビット操作は、設定される値がそのまま端子に反映されるため、3-Wire/2-Wire の各シリアル EEPROM のアクセス・プロトコルに従った制御をソフトウェアで行う必要があります。

### 1 2-1-5-3. VPD 機能によるアクセス

リード/ライト・アクセスが可能です。

PCI コンフィギュレーション空間の「VPD Address Register」と「VPD Data Register」のレジスタ操作により行います。

VPD 機能によるアクセスは、4Byte 単位で行われます。

#### ● 3-Wire シリアル EEPROM

リード・アクセスは、ワード (16Bit) 単位のシングル・リードで行われます。  
シーケンシャル・リードは行いません。

アドレス指定が 2Byte バウンダリするとき (偶数)、2回のリード・サイクルを実行します。

アドレス指定が 2Byte バウンダリにないとき (奇数)、3回のリード・サイクルを実行し、最初の下位バイトはダミー・データとして取り扱われます。

ライト・アクセスは、ワード (16Bit) 単位のシングル・ライトで行われ、アドレス指定は 2Byte バウンダリのアクセスのみ可能です。

ライト・サイクルは、「ライト・イネーブル(WEN) + シングル・ライト + ライト・ディスエーブル(WDS)」で行われます。

#### ● 2-Wire シリアル EEPROM

リード・アクセスは、「ランダム・リード + シーケンシャル・リード」で行われます。  
シーケンシャル・リードは、4Byte 単位で行われます。

ライト・アクセスは、「ランダム・ライト + シーケンシャル・ライト」で行われます。

シーケンシャル・ライトは、4Byte バウンダリ単位で行われます。

アドレス指定が 4Byte バウンダリにないとき、2回のライト・サイクルを実行します。

#### 1 2-1-5-4. アクセス制御に関する補足事項

- シリアル EEPROM の未接続状態

初期イニシャライズでシリアル EEPROM の未接続状態を検出した場合、その後の VPD 機能によるアクセスを行うことはできません。

ただし、ソフトウェアによるビット操作アクセスは可能です。

- シリアル EEPROM サイズを超えるアクセス

VPD 機能によるシリアル EEPROM サイズを超えるアクセスを行った場合、3-Wire シリアル EEPROM では、先頭番地に戻りアクセス・サイクルを継続実行します。

2-Wire シリアル EEPROM では、アクセス空間を超えると ACK ポーリングが続きます。その後、内部の ACK ポーリング制限によりアクセス・サイクルを終了します。

- ソフトウェア・アクセスと VPD アクセス

アダプタ・コンフィギュレーション空間の「Serial EEPROM Control Register」で、各制御ビットがリセット時以外の状態にあるとき VPD 機能によるアクセスは保証されません。

Preliminary

## 1 2-2. シリアル EEPROM レジスタ・フォーマット

### 1 2-2-1. Adapter Control/Serial EEPROM Status

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
00h (Lower)	00h	Adapter Control	<p>Bit0 : Adapter Mode アダプタの動作モードを設定します。 0 : PCI/CompactPCI Adapter Mode 1 : Reserved (設定不可)</p> <p>Bit[2:1] : Local Clock(LCLK) Select ローカル・バスのクロック・モードを設定します。 00 : 非同期モード (LCLKi 端子入力) 01 : 同期モード (LCLKo 端子出力) 10 : Reserved (設定不可) 11 : Reserved (設定不可)</p> <p>Bit3 : Local Bus Mode ローカル・バスの動作モードを設定します。 0 : 8/16Bit NonMux Mode 1 : 32Bit Mux Mode</p> <p>Bit4 : Local Software Reset アダプタ内各種ステータスおよびLRESET#端子の初期状態を設定します。 0 : LRESET# Disable シリアル EEPROM による初期イニシャライズが終了するとリセットが解除されます。 なお、「Local Power Management Control Register」で、D0unimi ステートによる LRESET#アサートが選択される場合、リセット状態が続きます。 1 : LRESET# Enable ソフトウェアにより「Adapter Control Register : Local Software Reset」が解除されるまでリセット状態が続きます。</p> <p>Bit5 : Serial EEPROM Clock Select シリアル EEPROM のクロック周波数を選択します。 初期アクセス (最初の 2Byte の読み出し) は、Slow Clock Mode で行われます。 0 : Slow Clock Mode ・3-Wire : PCI Clock の 128 分周 ・2-Wire : PCI Clock の 1024 分周 1 : Fast Clock Mode ・3-Wire : PCI Clock の 64 分周 ・2-Wire : PCI Clock の 512 分周</p> <p>Bit[7:6] : Reserved 値"0"を設定してください。</p>
00h (Upper)	01h	Serial EEPROM Status	<p>Bit[7:0] : Serial EEPROM Status シリアル EEPROM に有効データが存在を示すステータス情報です。 A5h : 有効データ 引き続きシリアル EEPROM からイニシャライズ・データが読み出され、PCI コンフィギュレーション空間およびアダプタ・コンフィギュレーション空間の初期化が行われます。 Not A5h : 無効データ シリアル EEPROM による初期イニシャライズは終了し、各コンフィギュレーション空間のレジスタはリセット時の状態を保持します。</p>



## 1 2-2-2. PCI Configuration Register Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
01h	02h	Vendor ID	Bit[15:0] : Vendor ID
02h	04h	Device ID	Bit[15:0] : Device ID
03h	06h	Status Register	Bit[3:0] : Reserved Bit4 : New Capabilities Bit5 : 66MHz Capable (Reserved) Bit6 : Reserved Bit7 : Fast Back-to-Back Capable Bit[15:8] : Reserved
04h (Lower)	08h	Revision ID	Bit[7:0] : Revision ID
04h (Upper)	09h	Programming Interface Code	Bit[7:0] : Programming Interface Code
05h (Lower)	0Ah	Sub Class Code	Bit[7:0] : Sub Class Code
05h (Upper)	0Bh	Base Class Code	Bit[7:0] : Base Class Code
06h	0Ch	Base Address Register1(BAR1) (Lower Word)	Bit0 : BAR1 Function Control for I/O Space BAR1 機能の ON/OFF を選択します。 0 : BAR1 Function OFF 1 : BAR1 Function ON Bit1 : Reserved 値"0"を設定してください。 Bit[15:2] : BAR1 Lower Address Decode Range BAR1 の下位デコード範囲を設定します。 値"1"を設定されたビットの対応する PCI アドレスがデコード 対象となります。 ・ Bit[15:2] = PCIAD[15:2]に対応 ローカル・バスが 8/16Bit NonMux Mode のとき、Bit[15:8]の 設定値は無効です。
07h	0Eh	Base Address Register1(BAR1) (Upper Word)	Bit[14:0] : BAR1 Upper Address Decode Range BAR1 の上位デコード範囲を設定します。 値"1"を設定されたビットの対応する PCI アドレスがデコード 対象となります。 ・ Bit[14:0] = PCIAD[30:16]に対応 ローカル・バスが 8/16Bit NonMux Mode のとき、Bit[14:0]の 設定値は無効です。 Bit15 : Reserved
08h	10h	Base Address Register2(BAR2) (Lower Word)	Bit0 : BAR2 Function Control for Memory Space BAR2 機能の ON/OFF を選択します。 0 : BAR2 Function OFF 1 : BAR2 Function ON Bit[2:1] : Memory Type Bit3 : Memory Prefetchable Status Bit[15:4] : BAR2 Lower Address Decode Range BAR2 の下位デコード範囲を設定します。 値"1"を設定されたビットの対応する PCI アドレスがデコード 対象となります。 ・ Bit[15:4] = PCIAD[15:4]に対応
09h	12h	Base Address Register2(BAR2) (Upper Word)	Bit[14:0] : BAR2 Upper Address Decode Range BAR2 の上位デコード範囲を設定します。 値"1"を設定されたビットの対応する PCI アドレスがデコード 対象となります。 ・ Bit[14:0] = PCIAD[30:16]に対応 ローカル・バスが 8/16Bit NonMux Mode のとき、Bit[14:1]の 設定値は無効です。 Bit15 : Reserved

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
0Ah	14h	Reserved	Bit[15:0] : Reserved 値"0"を設定してください。
0Bh	16h	Reserved	Bit[15:0] : Reserved 値"0"を設定してください。
0Ch	18h	Reserved	Bit[15:0] : Reserved 値"0"を設定してください。
0Dh	1Ah	Subsystem Vendor ID	Bit[15:0] : Subsystem Vendor ID
0Eh	1Ch	Subsystem ID	Bit[15:0] : Subsystem ID
0Fh	1Eh	Expansion ROM Base Address Register (Lower Word)	Bit0 : ExpROM Function Control 拡張ROM機能のON/OFFを選択します。 0 : ExpROM Function OFF 1 : ExpROM Function ON
			Bit[10:1] : Reserved 値"0"を設定してください。
			Bit[15:11] : ExpROM Lower Address Decode Range ExpROMの下位デコード範囲を設定します。 値"1"を設定されたビットの対応するPCIアドレスがデコード対象となります。 ・Bit[15:11] = PCIAD[15:11]に対応
10h	20h	Expansion ROM Base Address Register (Upper Word)	Bit[14:0] : ExpROM Upper Address Decode Range ExpROMの上位デコード範囲を設定します。 値"1"を設定されたビットの対応するPCIアドレスがデコード対象となります。 ・Bit[14:0] = PCIAD[30:16]に対応 ローカルバスが8/16Bit NonMux Modeのとき、Bit[14:1]の設定値は無効です。
			Bit15 : Reserved
11h (Lower)	22h	Cap_Ptr	Bit[7:0] : New Capabilities Pointer 機能リンク・リストの構造体先頭ポインタを設定します。 40h : Hot Swap 機能    48h : PM 機能 50h : VPD 機能        60h : MSI 機能
11h (Upper)	23h	Interrupt Pin	Bit0 : INTA# Function Control INTA#機能のON/OFFを設定します。 0 : INTA# Function OFF 1 : INTA# Function ON
			Bit[7:1] : Reserved 値"0"を設定してください。
12h (Lower)	24h	Min_Gnt	Bit[7:0] : Min_Gnt Value
12h (Upper)	25h	Max_Lat	Bit[7:0] : Max_Lat Value

### 1 2-2-3. Initialize/MISC Control

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
13h (Lower)	26h	Initialize Control	<p>Bit0 : New Capabilities Initialize Control 「New Capabilities Space」の初期イニシャライズの ON/OFF を選択します。 0 : New Capabilities Initialize OFF PCI 新機能空間のイニシャライズは行われません。 1 : New Capabilities Initialize ON PCI 新機能空間のイニシャライズを行います。</p> <p>Bit1 : Reserved 値"0"を設定してください。</p> <p>Bit2 : Adapter Config Reg Lower Space Initialize Control 「Adapter Configuration Register Lower Space」の初期イニシャライズの ON/OFF を選択します。 0 : Adapter Config Reg Lower Space Initialize OFF アダプタ・コンフィギュレーション下位空間のイニシャライズは行われません。 1 : Adapter Config Reg Lower Space Initialize ON アダプタ・コンフィギュレーション下位空間のイニシャライズを行います</p> <p>Bit3 : Adapter Config Reg Upper Space Initialize Control 「Adapter Configuration Register Upper Space」の初期イニシャライズの ON/OFF を選択します。 0 : Adapter Config Reg Upper Space Initialize OFF アダプタ・コンフィギュレーション上位空間のイニシャライズは行われません。 1 : Adapter Config Reg Upper Space Initialize ON アダプタ・コンフィギュレーション上位空間のイニシャライズを行います</p> <p>Bit[7:4] : Reserved 値"0"を設定してください。</p>
13h (Upper)	27h	MISC Control	<p>Bit0 : BAR0 Space Select BAR0 で示されるアダプタ・コンフィギュレーション・レジスタの配置空間を選択します。 0 : Memory Space 1 : I/O Space</p> <p>Bit[7:1] : Reserved 値"0"を設定してください。</p>

## 1 2-2-4. New Capabilities Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
14h (Lower)	28h	Hot Swap Cap_ID	Bit0 : Hot Swap Function Control Hot Swap 機能の ON/OFF を設定します。 0 : Hot Swap Function OFF 1 : Hot Swap Function ON Bit[7:1] : Reserved 値"0"を設定してください。
14h (Upper)	29h	Hot Swap Next Item	Bit[7:0] : Next Item 次の構造体先頭ポインタを設定します。
15h (Lower)	2Ah	Power Management Cap_ID	Bit0 : PM Function Control PM 機能の ON/OFF を設定します。 0 : PM Function OFF 1 : PM Function ON Bit[7:1] : Reserved 値"0"を設定してください。
15h (Upper)	2Bh	Power Management Next Item	Bit[7:0] : Next Item 次の構造体先頭ポインタを設定します。
16h	2Ch	Power Management Capabilities(PMC)	Bit Image is PMC Register
17h	2Eh	Power Management Status	Bit[1:0] : D0 Power Consumed Data Scale Bit[3:2] : D1 Power Consumed Data Scale Bit[5:4] : D2 Power Consumed Data Scale Bit[7:6] : D3 Power Consumed Data Scale Bit[9:8] : D0 Power Dissipated Data Scale Bit[11:10] : D1 Power Dissipated Data Scale Bit[13:12] : D2 Power Dissipated Data Scale Bit[15:14] : D3 Power Dissipated Data Scale
18h (Lower)	30h	PM Data for D0 Power Consumed	Bit[7:0] : D0 Power Consumed Data
18h (Upper)	31h	PM Data for D1 Power Consumed	Bit[7:0] : D1 Power Consumed Data
19h (Lower)	32h	PM Data for D2 Power Consumed	Bit[7:0] : D2 Power Consumed Data
19h (Upper)	33h	PM Data for D3 Power Consumed	Bit[7:0] : D3 Power Consumed Data
1Ah (Lower)	34h	PM Data for D0 Power Dissipated	Bit[7:0] : D0 Power Dissipated Data
1Ah (Upper)	35h	PM Data for D1 Power Dissipated	Bit[7:0] : D1 Power Dissipated Data
1Bh (Lower)	36h	PM Data for D2 Power Dissipated	Bit[7:0] : D2 Power Dissipated Data
1Bh (Upper)	37h	PM Data for D3 Power Dissipated	Bit[7:0] : D3 Power Dissipated Data
1Ch (Lower)	38h	VPD Cap_ID	Bit0 : VPD Function Control VPD 機能の ON/OFF を設定します。 0 : VPD Function OFF 1 : VPD Function ON Bit[7:1] : Reserved 値"0"を設定してください。
1Ch (Upper)	39h	VPD Next Item	Bit[7:0] : Next Item 次の構造体先頭ポインタを設定。
1Dh (Lower)	3Ah	MSI Cap_ID	Bit0 : MSI Function Control MSI 機能の ON/OFF を設定します。 0 : MSI Function OFF 1 : MSI Function ON Bit[7:1] : Reserved 値"0"を設定してください。
1Dh (Upper)	3Bh	MSI Next Item	Bit[7:0] : Next Item 次の構造体先頭ポインタを設定します。

## 1 2-2-5. Adapter Configuration Register Lower Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
20h (Lower)	40h	Local Power Management Control	Bit Image is Local Power Management Control Register
20h (Upper)	41h	PCI SERR# Control	Bit Image is PCI SERR# Control Register
21h (Lower)	42h	Internal Interrupt Control for PCI	Bit Image is Internal Interrupt Control for PCI Register
21h (Upper)	43h	Internal Interrupt Control for Local	Bit Image is Internal Interrupt Control for Local Register
22h	44h	External Interrupt Control	Bit Image is External Interrupt Control Register
23h (Lower)	46h	Reserved	Bit[7:0] : Reserved 値"0"を設定してください。
23h (Upper)	47h	Parallel Input/Output(PIO)	Bit Image is PIO Register
24h	48h	Pin Function Control	Bit Image is Pin Function Control Register
25h	4Ah	Local Bus Control(Lower Word)	Bit Image is Local Bus Control Register Bit[15:0]
26h	4Ch	Local Bus Control(Upper Word)	Bit Image is Local Bus Control Register Bit[31:16]
27h	4Eh	PCI Target I/O Remap Address (Lower Word)	Bit Image is PCI Target I/O Remap Address Bit[15:0]
28h	50h	PCI Target I/O Remap Address (Upper Word)	Bit Image is PCI Target I/O Remap Address Bit[31:16]
29h	52h	PCI Target Memory Remap Address (Lower Word)	Bit Image is PCI Target Memory Remap Address Bit[15:0]
2Ah	54h	PCI Target Memory Remap Address (Upper Word)	Bit Image is PCI Target Memory Remap Address Bit[31:16]
2Bh	56h	PCI Target ExpROM Remap Address (Lower Word)	Bit Image is PCI Target ExpROM Remap Address Bit[15:0]
2Ch	58h	PCI Target ExpROM Remap Address (Upper Word)	Bit Image is PCI Target ExpROM Remap Address Bit[31:16]
2Dh	5Ah	PCI State Control (Lower Word)	Bit Image is PCI State Control Register Bit[15:0]
2Eh	5Ch	PCI State Control (Upper Word)	Bit Image is PCI State Control Register Bit[31:16]
2Fh	5Eh	Local Master I/O Remap Address (Lower Word)	Bit Image is Local Master I/O Remap Address Bit[15:0]
30h	60h	Local Master I/O Remap Address (Upper Word)	Bit Image is Local Master I/O Remap Address Bit[31:16]
31h	62h	Local Master Memory Remap Address (Lower Word)	Bit Image is Local Master Memory Remap Address Bit[15:0]
32h	64h	Local Master Memory Remap Address (Upper Word)	Bit Image is Local Master Memory Remap Address Bit[31:16]
33h	66h	Local State Control (Lower Word)	Bit Image is Local State Control Register Bit[15:0]
34h	68h	Local State Control (Upper Word)	Bit Image is Local State Control Register Bit[31:16]
35h	6Ah	Timer Count/Control (Lower Word)	Bit Image is Timer Count Register Bit[15:0]
36h	6Ch	Timer Count/Control (Upper Word)	Bit Image is Timer Count Bit[23:16]/Control Register

## 1 2-2-6. Adapter Configuration Register Upper Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
40h	80h	IOCS0# Address Decode	Bit Image is IOCS0# Address Decode Register
41h	82h	IOCS1# Address Decode	Bit Image is IOCS1# Address Decode Register
42h	84h	IOCS2# Address Decode	Bit Image is IOCS2# Address Decode Register
43h	86h	IOCS3# Address Decode	Bit Image is IOCS3# Address Decode Register
44h	88h	IOCS4# Address Decode	Bit Image is IOCS4# Address Decode Register
45h	8Ah	IOCS5# Address Decode	Bit Image is IOCS5# Address Decode Register
46h	8Ch	IOCS6# Address Decode	Bit Image is IOCS6# Address Decode Register
47h	8Eh	IOCS7# Address Decode	Bit Image is IOCS7# Address Decode Register
48h	90h	IOCS8# Address Decode	Bit Image is IOCS8# Address Decode Register
49h	92h	IOCS9# Address Decode	Bit Image is IOCS9# Address Decode Register
4Ah	94h	IOCS10# Address Decode	Bit Image is IOCS10# Address Decode Register
4Bh	96h	IOCS11# Address Decode	Bit Image is IOCS11# Address Decode Register
4Ch	98h	IOCS12# Address Decode	Bit Image is IOCS12# Address Decode Register
4Dh	9Ah	IOCS13# Address Decode	Bit Image is IOCS13# Address Decode Register
4Eh	9Ch	IOCS14# Address Decode	Bit Image is IOCS14# Address Decode Register
4Fh	9Eh	IOCS15# Address Decode	Bit Image is IOCS15# Address Decode Register
50h	A0h	I/O Chip Select Timing Control (Lower Word)	Bit Image is I/O Chip Select Timing Control Register Bit[15:0]
51h	A2h	I/O Chip Select Timing Control (Upper Word)	Bit Image is I/O Chip Select Timing Control Register Bit[31:16]

## 1 2-2-7. Reserved Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
80h ~ BFh	100h ~ 17Fh	Reserved	予約空間です。 機能拡張のため本空間を使用する場合があります。

## 1 2-2-8. VPD Space

EEPROM Offset		Register Description	Note
3-Wire	2-Wire		
C0h ~ 3FFh	180h ~ 7FFh	VPD Data	1664Byte までの VPD(Vital Product Data)を登録。 本空間のデータは、初期イニシャライズで参照されることはありません。

## 1 2-3. シリアル EEPROM タイミング

### 1 2-3-1. 3-Wire シリアル EEPROM

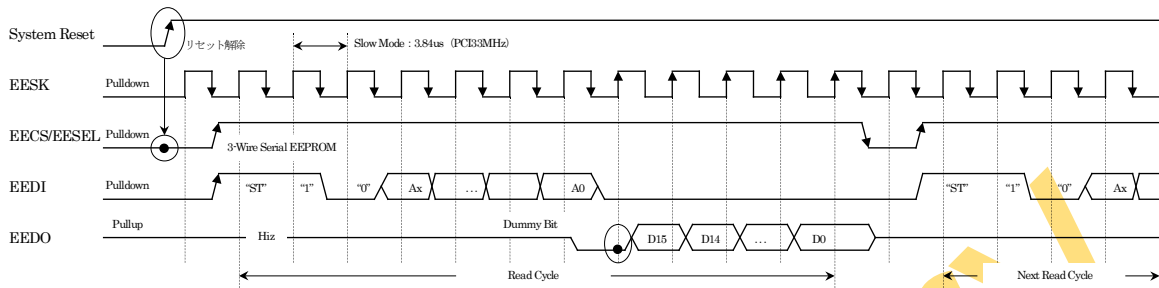


Figure12-2 : 初期イニシャライズ/リード・アクセス・タイミング

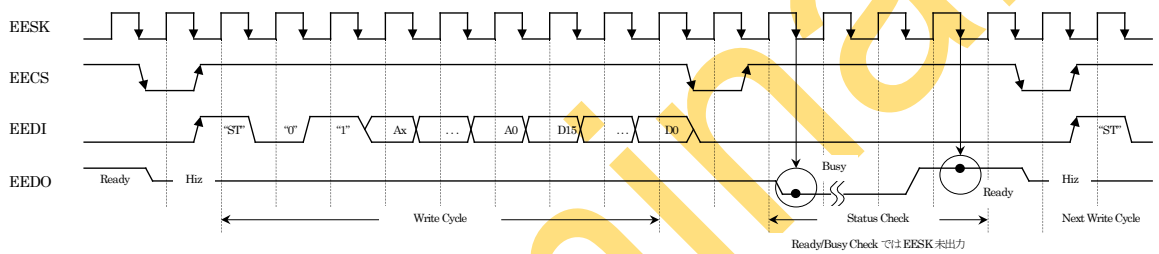


Figure12-3 : ライト・アクセス・タイミング

## 1 2-3-2. 2-Wire シリアル EEPROM

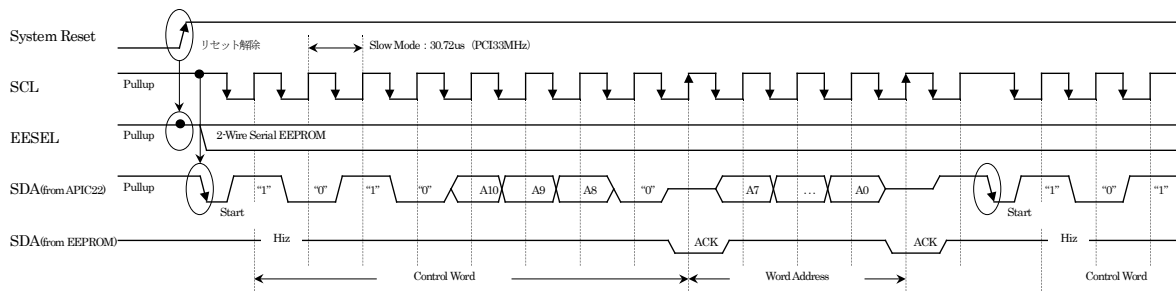


Figure12-4 : 初期イニシャライズ/リード・アクセス開始タイミング

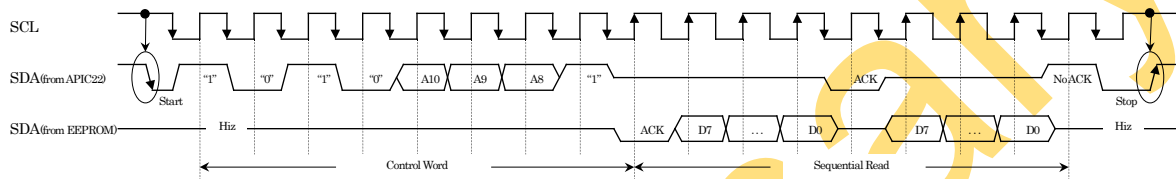


Figure12-5 : シーケンシャル・リード・タイミング

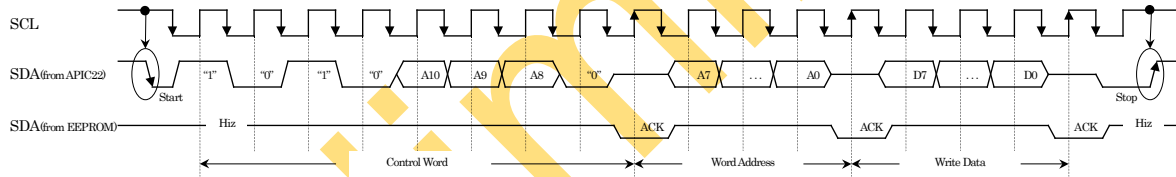


Figure12-6 : ライト・アクセス・タイミング

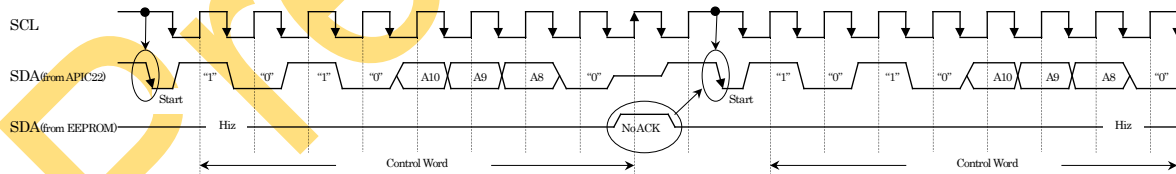


Figure12-7 : ACK ポーリング・タイミング



### 1 3. PCI Spec2.2 新機能

APIC22A は、CompactPCI Hot Swap 機能やパワー・マネージメント機能など、PCI Spec2.2 で追加となったいくつかの新機能をサポートしています。

ここでは、新機能の識別方法について説明します。

各機能の詳細については、以下の項目またはそれぞれの規格書を参照ください。

- **CompactPCI Hot Swap 機能**  
項目：「1 5. CompactPCI Hot Swap 機能」  
規格書：「CompactPCI Hot Swap Specification PICMG2.1 R2.0」
- **パワー・マネージメント機能**  
項目：「1 4. パワー・マネージメント機能」  
規格書：「PCI Bus Power Management Interface Specification Revision1.1」
- **VPD 機能**  
規格書：「PCI Local Bus Specification Revision2.2」
- **MSI 機能**  
規格書：「PCI Local Bus Specification Revision2.2」

#### 1 3-1. 新機能の識別方法

新機能のレジスタは、全て PCI コンフィギュレーション空間に配置されます。

共通定義の PCI ヘッダ空間には、新機能をサポートしているかどうかを識別するステータス・ビットと新機能が配置されている先頭ポインタを示すレジスタが追加されています。

デバイス固有領域には、実際の新機能レジスタが配置されます。

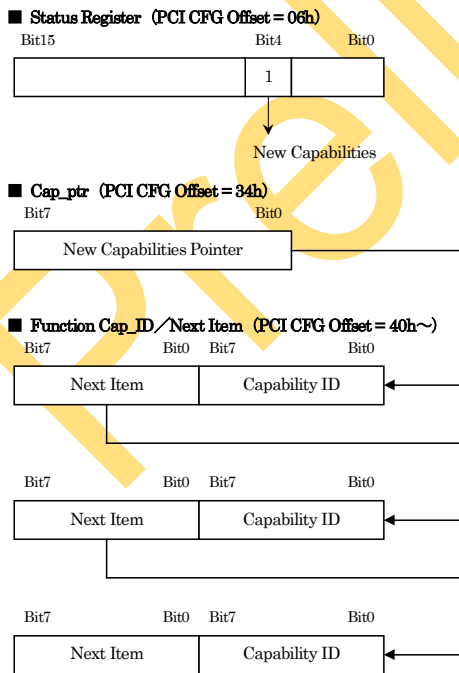


Figure13-1 : PCI Spec2.2 新機能の識別方法

#### ● New Capabilities

新機能をサポートする場合、「Status Register : New Capabilities」を値「1」に設定します。

システム・ソフトウェアは、ビット検査の結果、値「1」を識別すると「Cap\_ptr Register」を読み出します。

#### ● New Capabilities Pointer

新機能が配置されているデータ構造体のリンク・リストの先頭ポインタを設定します。

PCI CFG Offset	Function
40h	CompactPCI Hot Swap
48h	Power Management
50h	VPD
60h	MSI

#### ● Capability ID

機能を識別するためのデータ構造体の ID を設定します。

Function	Capability ID
CompactPCI Hot Swap	06h
Power Management	01h
VPD	03h
MSI	05h

#### ● Next Item

次のデータ構造体リンク・リストのポインタを設定します。

最終ポインタの場合は、値「00h」を設定します。

Preliminary

## 14. パワー・マネジメント機能

### 14-1. パワー・マネジメント概要

APIC22A の PM(Power Management)機能は、「PCI Bus Power Management Interface Specification R1.0」に対応しています。

PCI の PM 機能は、PM Capabilities のレポート/Power State の制御/Wake Event の制御、などの方法が標準化されています。これらは、すべて PCI コンフィギュレーション空間の PM 機能レジスタによりレポートまたは制御されます。

汎用のアダプタ・デバイスは、各アプリケーション固有の PM ポリシーに対応する必要があります。

APIC22A では、シリアル EEPROM による初期イニシャライズで PM Capabilities レポートの内容を設定可能です。また、各 PM ステートに対するローカル・バス側の制御を可能にするため、LRESET#/LINT#制御および IRQx 信号による Wake Event 生成がサポートされています。

#### 14-1-1. PM ステート

PM ステートは、それぞれの省電力状態を示し、「Bus Power State(B0~B3)」と「Function Power State(D0~D3)」の2つに分けられます。

「Bus Power State」は、Host-PCI Bridge または PCI-PCI Bridge の2次側バスの状態を示し、省電力レベルとして「B0~B3 State」の4種類があります。これらステートは、ブリッジ・デバイスにより制御されます。

「Function Power State」は、PCI バス上に存在するそれぞれのデバイスの状態を示し、省電力レベルとして「D0~D3 State」の4種類があります。これらステートは、各デバイスに実装される PCI コンフィギュレーション空間の PM 機能レジスタにより制御されます。

APIC22A には、PCI の PM 機能レジスタのほかに、アダプタ・コンフィギュレーション空間の「Local Power Management Control Register」があります。これは、ローカル・バスの PM 制御のためのレジスタで、各アプリケーション固有の PM ポリシー定義を可能としています。

PCI の基本的な PM システム構成を Figure14-1 に示します。

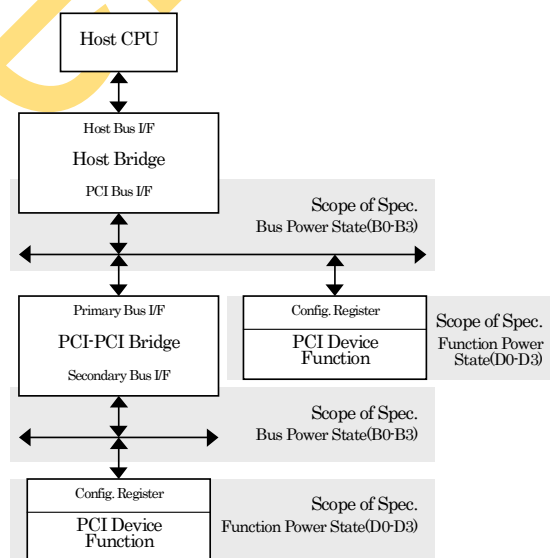


Figure14-1 : PCI Power Management System

## 1 4 - 1 - 2. Bus Power State(B0~B3)

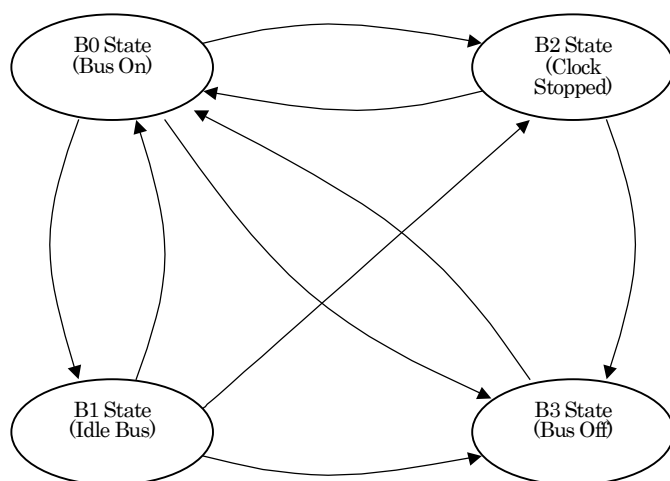


Figure14-2 : Bus Power State 状態遷移図

State	Power	Clock	Next State	Description
B0	On	On	B1/B2/B3	全てのバス・トランザクションおよび割り込みイベントを実行できる状態です。 システム・リセット後は、常に B0 State 状態から開始します。
B1	On	On	B0/B2/B3	タイプ 0 の PCI コンフィギュレーション・サイクルを除く他のバス・トランザクションおよび割り込みイベントの実行不可状態です。 B1 State へ移行する前に、バス上の全てのデバイスは、D1/D2 または D3 State に設定されます。バス上のデバイスは PME イベントのみ実行が可能です。
B2	On	Off	B0/B3	クロック停止状態です。 バス上のデバイスは、クロックの有無に関係なく PME イベントを実行できるときは許可されます。 B2 State から B0 State へ移行するとき、システム・ソフトウェアにより Min 50ms のリカバリ・タイムが挿入されます。
B3	Off	Off	B0	バスの電源が Off の状態です。 ただし、Vaux を必要とするデバイスには供給されます。 Vaux の消費電流は、PM Capabilities レポートの内容に従わなければなりません。 バス上のデバイスは、電源の有無に関係なく PME イベントを実行できるときは許可されます。 B3 State から B0 State への移行は、システム・リセットにより行われます。

### 1 4 - 1 - 3. Function Power State(D0~D3)

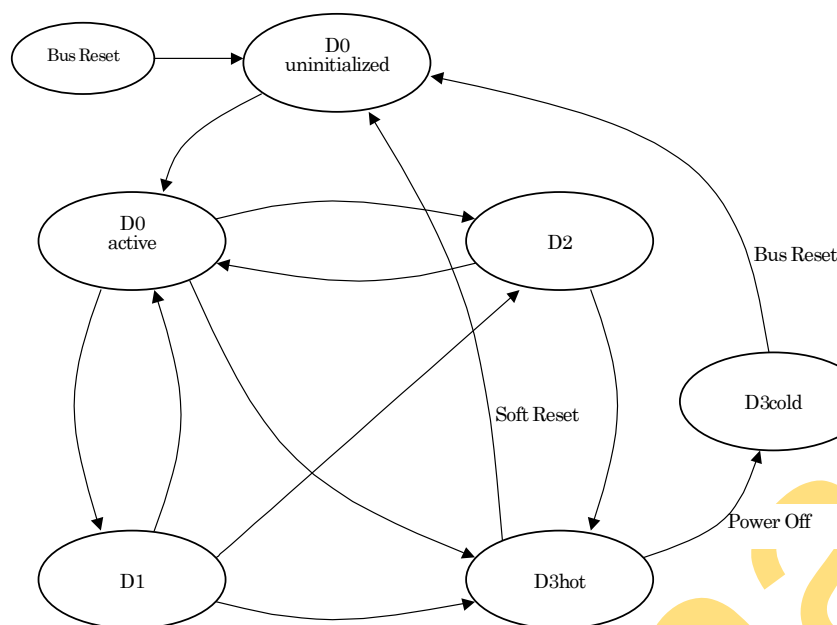


Figure14-3 : Function Power State 状態遷移図

State	Next State		Description
	H/W(Hard)	S/W(Soft)	
D0-unini.	Bus Reset Power Off	D0active	<p>デバイスの未初期化状態です。 バス・リセットおよび D3hot から移行したときに D0unini.状態となります。 D0unini.は、PCI コンフィギュレーション空間の「Command Register : I/O Space/ Memory Space/ Bus Master」のビットが全てディセーブルであるときの状態です。 消費電力： ・ PCI Bus : 10W 未満</p> <p><b>Actions to Function :</b> PCI コンフィギュレーション・サイクルのみ受付可能です。</p> <p><b>Actions from Function :</b> PME_En Bit がイネーブルに設定されているとき PME イベントを実行可能です。</p> <p><b>APIC22A 固有機能 :</b></p> <ul style="list-style-type: none"> <li>・ LRESET#制御 「Local Power Management Control Register」で「D0unini.による LRESET#アサート」が選択されているとき、ローカル・バスに対し LRESET#="L"を出力します。</li> <li>・ LINT#制御 「Internal Interrupt Control for Local Register」で「PM ステート変更による LINT#出力」が許可されているとき、ローカル・バスに対し LINT#="L"を出力します。 ただし、バス・リセットによる D0unini.では出力されません。</li> <li>・ PM Wake Event 「Local Power Management Control Register」で「IRQ Wake Event」が許可されているとき、Wake Event 要求(IRQx 端子入力)が発生すると(PME#)端子に"L"を出力します。</li> </ul>

State	Next State		Description
	H/W(Hard)	S/W(Soft)	
D0-active	Bus Reset Power Off	D1/D2/D3	<p>完全動作状態です。</p> <p>D0activeは、PCI コンフィギュレーション空間の「Command Register : I/O Space/Memory Space/Bus Master」のビットが1つでもイネーブルであるときの状態です。</p> <p><b>消費電力：</b></p> <ul style="list-style-type: none"> <li>・ PCI Bus : PM Capabilities レポート内容</li> </ul> <p><b>Actions to Function：</b></p> <p>全てのバス・トランザクションを受付可能です。</p> <p><b>Actions from Function：</b></p> <p>全てのバス・トランザクションおよび割り込みイベントを実行可能です。</p> <p><b>APIC22A 固有機能：</b></p> <ul style="list-style-type: none"> <li>・ LINT#制御</li> <li>「Internal Interrupt Control for Local Register」で「PM ステート変更による LINT#出力」が許可されているとき、ローカル・バスに対し LINT#="L"を出力します。</li> <li>ただし、D0unini.からの移行では出力されません。</li> <li>・ PM Wake Event</li> <li>「Local Power Management Control Register」で「IRQ Wake Event」が許可されているとき、Wake Event 要求(IRQx 端子入力)が発生すると(PME#)端子に"L"を出力します。</li> </ul>
D1	Bus Reset Power Off	D0/D2/D3	<p>軽い省電力(スリープ)状態です。</p> <p>D1 では、PCI コンフィギュレーション空間の「Command Register : I/O Space/Memory Space/Bus Master」のビットを擬似的にディセーブル状態とします。</p> <p>D1 から D0へ復帰するときは、初期の D0active 状態の値に戻ります。</p> <p><b>消費電力：</b></p> <ul style="list-style-type: none"> <li>・ PCI Bus : &lt; D0unini.</li> </ul> <p><b>Actions to Function：</b></p> <p>PCI コンフィギュレーション・サイクルのみ受付可能です。</p> <p><b>Actions from Function：</b></p> <p>PME_En Bit がイネーブルに設定されているとき PME イベントを実行可能です。</p> <p><b>APIC22A 固有機能：</b></p> <ul style="list-style-type: none"> <li>・ LRESET#制御</li> <li>「Local Power Management Control Register」で「D1による LRESET#アサート」が選択されているとき、ローカル・バスに対し LRESET#="L"を出力します。</li> <li>・ LINT#制御</li> <li>「Internal Interrupt Control for Local Register」で「PM ステート変更による LINT#出力」が許可されているとき、ローカル・バスに対し LINT#="L"を出力します。</li> <li>・ PM Wake Event</li> <li>「Local Power Management Control Register」で「IRQ Wake Event」が許可されているとき、Wake Event 要求(IRQx 端子入力)が発生すると(PME#)端子に"L"を出力します。</li> </ul>

State	Next State		Description
	H/W(Hard)	S/W(Soft)	
D2	Bus Reset Power Off	D0/D3	<p>高い省電力状態です。</p> <p>D2 では、PCI コンフィギュレーション空間の「Command Register : I/O Space/Memory Space/Bus Master」のビットを擬似的にディセーブル状態とします。</p> <p>D2 から D0 へ復帰するときは、初期の D0active 状態の値に戻ります。</p> <p><b>消費電力：</b></p> <ul style="list-style-type: none"> <li>・ PCI Bus : &lt; D1</li> </ul> <p><b>Actions to Function :</b></p> <p>PCI コンフィギュレーション・サイクルのみ受付可能です。</p> <p><b>Actions from Function :</b></p> <p>PME_En Bit がイネーブルに設定されているとき PME イベントを実行可能です。</p> <p><b>APIC22A 固有機能：</b></p> <ul style="list-style-type: none"> <li>・ LRESET#制御 「Local Power Management Control Register」で「D2 による LRESET#アサート」が選択されているとき、ローカル・バスに対し LRESET#="L"を出力します。</li> <li>・ LINT#制御 「Internal Interrupt Control for Local Register」で「PM ステート変更による LINT#出力」が許可されているとき、ローカル・バスに対し LINT#="L"を出力します。</li> <li>・ PM Wake Event 「Local Power Management Control Register」で「IRQ Wake Event」が許可されているとき、Wake Event 要求(IRQx 端子入力)が発生すると(PME#)端子に"L"を出力します。</li> </ul>
D3hot	Bus Reset D3cold Power Off	D0-unini.	<p>バス停止状態（電源は供給される）です。</p> <p>D3hot では、PCI コンフィギュレーション空間の「Command Register : I/O Space/Memory Space/Bus Master」のビットを未初期化状態とします。</p> <p>D3hot からの復帰は、D0unini.となります。</p> <p><b>消費電力：</b></p> <ul style="list-style-type: none"> <li>・ PCI Bus : &lt; D2</li> </ul> <p><b>Actions to Function :</b></p> <p>バス・クロックが有効なとき、PCI コンフィギュレーション・サイクルのみ受付可能です。</p> <p><b>Actions from Function :</b></p> <p>PME_En Bit がイネーブルに設定されているとき PME イベントを実行可能です。</p> <p><b>APIC22A 固有機能：</b></p> <ul style="list-style-type: none"> <li>・ LRESET#制御 「Local Power Management Control Register」で「D3 による LRESET#アサート」が選択されているとき、ローカル・バスに対し LRESET#="L"を出力します。</li> <li>・ LINT#制御 「Internal Interrupt Control for Local Register」で「PM ステート変更による LINT#出力」が許可されているとき、ローカル・バスに対し LINT#="L"を出力します。</li> <li>・ PM Wake Event 「Local Power Management Control Register」で「IRQ Wake Event」が許可されているとき、Wake Event 要求(IRQx 端子入力)が発生すると(PME#)端子に"L"を出力します。</li> </ul>
D3cold	Bus Reset Power Off	N/A	<p>完全停止状態（要求があるとき Vaux から電源が供給される）です。</p> <p>電源は Off となり、バスのクロックは"L"に固定されます。</p> <p>また、バスのリセットも同時に"L"に固定される可能性があります。</p> <p><b>消費電力：</b></p> <ul style="list-style-type: none"> <li>・ PCI Bus : PM Capabilities レポート内容 (Vaux)</li> </ul> <p><b>Actions to Function :</b></p> <p>無し。</p> <p><b>Actions from Function :</b></p> <p>PME_En Bit がイネーブルに設定されているとき、3.3VVaux 電源使用でウェイクイベントを実行可能です (APIC22A では未対応)。</p> <p><b>APIC22A 動作：</b></p> <p>APIC22A では、D3cold は未対応です。</p> <p>PCI バスには D3cold 状態における電源供給を目的とした 3.3Vaux という信号がありますが、APIC22A ではサポートされません。何らかの方法で電源供給を継続した場合でも、バス・リセットにより内部レジスタは全てクリアされます。このため、PM 機能レジスタの「sticky bit」は無効となります。</p> <p>また、D3cold 状態においては、APIC22A の(PME#)端子の電位が約 0.8V となり、PCI バスに直接接続した場合、システムによりウェイクイベントが発生したとみなされる場合がありますので注意が必要です (「20-3. (PME#)信号について」参照)。</p>

## 1 4-2. PM システム・タイミング

### 1 4-2-1. PM タイミング例

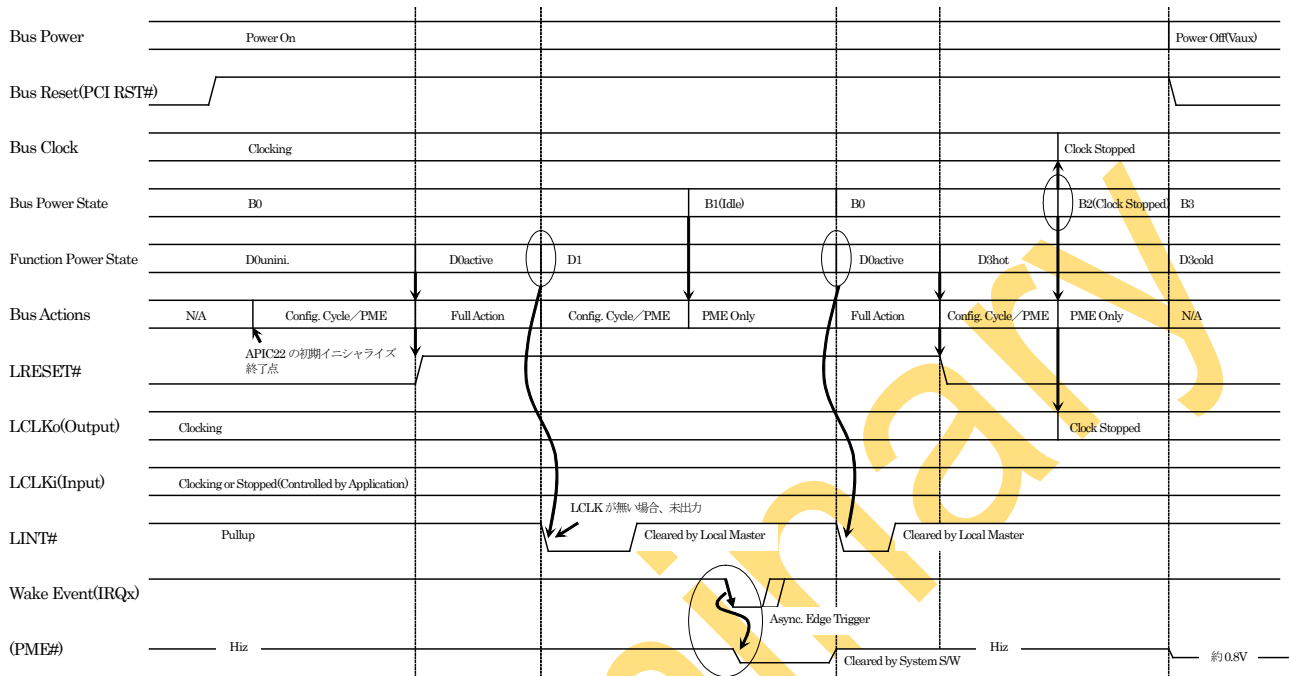


Figure14-4 : PCI Power Management Timing Diagram

● Figure14-4 における APIC22A 内部レジスタの設定条件

PM 制御	設定条件
LRESET#制御	<ul style="list-style-type: none"> <li>Local Power Management Control Register : Bit[1:0] = "11" 「PM D3 および D0unini ステートで LRESET#アサート」を選択。</li> </ul>
LINT#制御	<ul style="list-style-type: none"> <li>Internal Interrupt Control for Local(LINT#) Register : Bit[5] = "1" 「PM ステート変更による LINT#出力」を許可。</li> </ul>
Wake Event	<ul style="list-style-type: none"> <li>Local Power Management Control Register : Bit[4] = "1" 「IRQx 入力による PM Wake Event 生成」を許可。 同レジスタの Bit[6:5]で選択される IRQx 端子が Wake Event 入力として機能します。</li> </ul>



## 14-2-2. PM タイミングの信号説明

Signals	Description
Bus Power	PCI バスの電源。 D3cold 状態では、3.3Vaux から電源が供給されます (APIC22A では未対応)。
Bus Reset	PCI バスのリセット信号。 Power On Reset および D3cold から復帰する場合に使用されます。
Bus Clock	PCI バスのクロック信号。 B2 State 以上で停止します。
Bus Power State	PCI バスのバス・パワー・ステート(B0~B3)を示します。 ブリッジ・デバイスの PM レジスタ設定により状態移行します。
Function Power State	バス上に存在するデバイスのファンクション・パワー・ステート(D0~D3)を示します。 PCI コンフィギュレーション空間の「Power Management Control/Status(PMCSR) Register : Power State」のビットにより状態移行します。
Bus Actions	PCI バスのバス動作を示します。 D0active 状態では、全てのバス・トランザクションおよび割り込みイベントを実行可能です。 D0active 以外の状態では、PCI コンフィギュレーション・サイクルの受付または PME イベントの実行のみが許可されます。 B1~B3 状態での PCI コンフィギュレーション・サイクルの禁止は、ブリッジ・デバイス機能により行われ、APIC22A では特別な制御は行いません。 また、バス・リセット後、APIC22A の初期イニシャライズが終了した時点で実際の D0unini.状態となります。
LRESET#	ローカル・バスの LRESET#端子の状態を示します。 Function Power State の状態により LRESET#出力の制御が可能です。 LRESET#端子は、バス・クロック(PCI Clock)同期で制御され、ローカル・クロックとは非同期で出力されます。
LCLKo(Output)	ローカル・バスが同期モード時の LCLKo 端子の状態を示します。 LCLKo 出力はバス・クロック(PCI Clock)により生成され、バス・クロックが停止すると LCLKo 出力も停止します。停止状態の LCLKo 端子は"Low"を保持します。
LCLKi(Input)	ローカル・バスが非同期モード時の LCLKi 端子の状態を示します。 LCLKi の動作/停止は、アプリケーション回路により制御されます。
LINT#	ローカル・バスの LINT#端子の状態を示します。 Function Power State の変更による LINT#出力の制御が可能です。 LINT#端子はオープン・ドレインで構成され、有効な状態が検出されると"Low"を出力します。 なお、PM 以外の割り込みにも使用する場合、ローカル・マスタのソフトウェアによる割り込み要因の識別が必要です。 LINT#出力は、ローカル・クロック(LCLKo/LCLKi)同期で制御され、ローカル・クロック停止状態では動作しません。 また、LRESET#がアサートされたとき、LINT#端子はディアサート(Hiz)状態となります。
Wake Event(IRQx)	ローカル・バスの Wake Event に指定される IRQx 端子の状態を示します。 IRQx 端子は、アクティブ・ローの非同期エッジ入力に構成されます。 有効なエッジ入力検出されると、「Power Management Control/Status(PMCSR) Register : PME_Status」のビットに反映されます。なお、「Power Management Capabilities(PMC) Register : PME_Support」のビットで未サポートに指定される PM ステートでは、IRQx 入力は無効です。
(PME#)	PCI バスのパワー・マネジメント・イベント信号。 (PME#)端子はオープン・ドレインで構成され、PM Wake Event 要求が発生すると"Low"を出力します。 APIC22A においては、D3cold 移行時に約 0.8V の電位となり、システムからウェイクイベントが発生したと誤認される場合がありますので注意が必要です (「20-3. (PME#)信号について」参照)。

### 1 4-3. APIC22A 機能のコンテキスト

コンテキストとは、特定の PM ステートにおいて有効となっていないなければならない PCI コンフィギュレーション・レジスタおよびデバイス固有のファンクション状態情報を示します。  
特定のデバイス・クラスについて、有効なレジスタと使用できる機能は、モデム・ファンクションなどの対応するデバイス・クラスの PM 仕様により定義されています。

APIC22A は、汎用のアダプタ・デバイスのため各種アプリケーションに対応する必要があります。このため、コンテキストは、バス・リセット/ローカル・リセット(LRESET#)およびローカル割り込み(LINT#)によるローカル・マスタ制御で固有定義を行います。ローカル・リセットでは、アプリケーション回路で必要とされる有効/無効状態を直接制御が行えます。  
これら各リセットおよびローカル割り込みは、特定の PM ステートにおける制御が可能です。

#### 1 4-3-1. バス・リセット(PCI RST#)

PCI バスのバス・リセットがアサートされたときの APIC22A 機能の状態を示します。

Function	Context
PCI Config. Reg.を含む 全ての Function	バス・リセットがアサートされると APIC22A 内部レジスタは全てリセット状態となります。 バス動作は、PCI からのアクセスに対し応答せず、APIC22A からは何も実行されません。 バス・リセット解除後、シリアル EEPROM による初期イニシャライズが開始します。初期イニシャライズ中の PCI からのアクセスは全てリトライ処理されます。初期イニシャライズが終了すると D0unini.状態となります。 本項目の内容は、初期イニシャライズの結果、PM 機能が OFF に構成される場合でも守られます。

#### 1 4-3-2. ローカル・リセット(LRESET#)

ローカル・リセットがアサートされたときの APIC22A 機能の状態を示します。

Function	Context
PCI Config. Reg.	PCI Configuration Register(New Capabilities Register 含む)の内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。
Interrupt Status Reg.	対象レジスタ：・ PCI INTA#/SERR# Status Register ・ Local LINT# Status Register 割り込みステータスの各フラグは全てクリアされます。 PCI からのレジスタ・アクセスは可能です。
Adapter Control Reg.	「Adapter Control Register : Bit[4:0]」の内容は保持されます。 「Adapter Control Register : Bit[11:8]」の内容はクリア動作 (FIFO Flush) が行われます。 PCI からのレジスタ・アクセスは可能です。ただし、「Local Software Reset」がイネーブル状態で、省電力 PM ステートから復帰しても、LRESET#はアサート状態は続きます。 ローカル・バスが同期モードに構成される場合、ローカル・クロックは PCI クロックが停止するまで有効な出力状態を保持します。 ローカル・バスが非同期モードに構成される場合、ローカル・クロックの有無はアプリケーション制御によります。
Local PM Cont. Reg.	「Local Power Management Control Register」の内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。ただし、内容が変更された場合、動作は保証されません。
PCI SERR# Cont. Reg.	「PCI SERR# Control Register」の内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 SERR#検出のための制御回路はリセット状態となります。
Interrupt Function	対象レジスタ：・ Internal Interrupt Control for PCI(INTA#/MSI) Register ・ Internal Interrupt Control for Local(LINT#) Register ・ External Interrupt Control Register 各割り込みコントロール・レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 内部割り込み (INTA#/LINT#要因) 検出のための制御回路はリセット状態となります。 外部割り込み (IRQx) 検出のための制御回路はリセット状態となり、同時に制御クロックも停止します。
Serial EEPROM Cont. Reg.	「Serial EEPROM Control Register」の内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。

PIO Function	<p>対象レジスタ：・ Parallel Input/Output(PIO) Register ・ Pin Function Control Register</p> <p>各レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 PIOx 端子は、LRESET#アサート中でも設定内容を保持します。</p>
PCI Target Function	<p>対象レジスタ：・ Local Bus Control Register : Bit[29:0] ・ PCI Target I/O Remap Address Register ・ PCI Target Memory Remap Address Register ・ PCI Target ExpROM Remap Address Register ・ PCI State Control Register : Bit[19:0] ・ Local State Control Register : Bit[31:16]</p> <p>各リマップ・アドレス・レジスタの「LOCK# Status」のビットはクリアされます。 その他レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 PCI ターゲット動作のためのローカル・ステート制御回路はリセット状態となり、同時に制御クロックも停止します。起動中のローカル・アクセスは保証されません。また、内部データ・バッファもクリアされます。 PCI ステート制御回路は動作状態にありますが、省電力 PM ステート(D0unini.含む)にある場合、PCI ターゲット・アクセスには応答しません。その他の状態では、疑似的な完了処理となります。</p>
Local Master Function	<p>対象レジスタ：・ Local Bus Control Register : Bit[2:0]/Bit[31:30] ・ Local Master I/O Remap Address Register ・ Local Master Memory Remap Address Register ・ PCI State Control Register : Bit[31:23] ・ Local State Control Register : Bit[18:0]</p> <p>各リマップ・アドレス・レジスタの「LOCK# Status/Request」のビットはクリアされます。 その他レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 ローカル・マスタ動作のためのローカル・ステート制御回路はリセット状態となり、同時に制御クロックも停止します。PCI または APIC22A 内部レジスタに対するローカル・マスタ・アクセスには応答しません。 起動中のローカル・マスタ・アクセスは保証されません。また、内部データ・バッファもクリアされます。</p>
DMA Function	<p>対象レジスタ：・ Local Bus Control Register : Bit[29:0] ・ DMA PCI Address Register ・ DMA Local Address Register ・ DMA Transfer Count/Control Register ・ DMA Indirect Control-word Address Register ・ DMA Control Register ・ PCI State Control Register : Bit[31:20] ・ Local State Control Register : Bit[18:17]/Bit[31:23]</p> <p>「DMA Control Register : DMA Enable」のビットはクリアされます。 その他レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 DMA 動作のためのローカル・ステート制御回路はリセット状態となり、同時に制御クロックも停止します。起動中の DMA アクセスは保証されません。また、内部データ・バッファもクリアします。</p>
Timer Function	<p>対象レジスタ：・ Timer Count Register ・ Timer Control Register</p> <p>「Timer Control Register : Timer Enable/Timer Status」のビットはクリアされます。 その他レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 タイマ動作のための制御回路はリセット状態となり、同時に制御クロックも停止します。 TOUT#端子は、”HiZ”状態となります。</p>
Message Box Function	<p>対象レジスタ：・ Message Box Data Port Register ・ Message Box Command Port Register</p> <p>「Message Box Command Port Register : PCI/Local Command Flag」のビットはクリアされます。 その他レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。</p>
IOCSx# Function	<p>対象レジスタ：・ I/O Chip Select Address Decode Register ・ I/O Chip Select Timing Control Register</p> <p>各レジスタの内容は全て保持されます。 PCI からのレジスタ・アクセスは可能です。 IOCSx#端子は、LRESET#アサート中”HiZ”状態となります。</p>

### 1 4-3-3. ローカル割り込み(LINT#)

ローカル割り込みがアサートされたときの APIC22A 機能の状態を示します。

Function	Context
PCI Config. Reg.を含む 全ての Function	LINT#アサート要因である PM 機能のステータス情報に反映されるのみで、 その他アダプタ制御に影響はありません。バス動作は「Power Management Policies」 に準拠します。 アプリケーションのコンテキスト定義は、ローカル・マスタ制御によります。 なお、LRESET#がアサートされるときは、ローカル割り込みは無効です。

### 1 4-3-4. PM 制御に関する補足事項

- **PM ステートと PCI 割り込み (INTA#) 制御**  
省電力 PM ステート (D1~D3/D0unini.) にあるとき、INTA#端子はマスクされています。  
ただし、LRESET#制御を行わない省電力 PM ステートでも割り込み要因は保持されているため D0active  
に復帰すると割り込みが発生します。
- **PM ステートとローカル割り込み (LINT#) 制御**  
LRESET#制御を行っている省電力 PM ステートへの移行では、ローカル割り込みは発生しません。  
ただし、D3hot を除く省電力 PM ステートから D0active に復帰すると、LRESET#解除と同時にローカ  
ル割り込みが発生します。D3hot からの復帰では発生しません。
- **未サポートの PM ステートと PM ステート制御**  
PCI コンフィギュレーション空間の「PM Capabilities (PMC) Register : D1\_Support/D2\_Support」  
のビットで未サポートに指定されている PM ステートへの移行は行われません。  
未サポート PM ステートの設定が行われても通常状態を保持します。
- **PM ステートとウェイク・イベント (PME#) 制御**  
PCI コンフィギュレーション空間の「PM Capabilities (PMC) Register : PME\_Support」のビットで未  
サポートに指定されている PM ステートでは、ウェイク・イベントは発生しません。また、内部の(PME#)  
要因の検出も行われません。

# 15. CompactPCI Hot Swap 機能

## 15-1. Hot Swap 機能概要

APIC22A の Hot Swap 機能は、「CompactPCI Hot Swap Specification PICMG2.1 R1.0/R2.0」に対応しています。

Hot Swap R1.0 における位置定義は、「Friendly Device」です。

Hot Swap R2.0 では、HS\_CSR レジスタは「Programming Interface”0” (PI=0)」に対応します。

### 15-1-1. Hot Swap プロセス

Hot Swap 動作は、大きく分けて以下の3行程により実行されます。

#### 1. Physical Connection States

アプリケーション回路（機構）によりサポートします。

カード・ガイドによる ESD プロテクション (GND Precharge)、バス信号の Precharge およびバス・コネクタ接続が含まれます。

State	Description
P0 State	<ul style="list-style-type: none"><li>• <b>Board Insertion :</b> バス・コネクタの Long/Medium/Short ピンの接続が全て完了するまでの状態です。ここで、Long ピンが接続されると同時にバス信号の Precharge が開始されます。</li><li>• <b>Board Extraction :</b> バス・コネクタ各ピンの未接続状態から以降の状態を示します。</li></ul>
P1 State	<ul style="list-style-type: none"><li>• <b>Board Insertion :</b> バス・コネクタ各ピンの接続が完了し、Back End の電源供給が行える状態です。電源供給のコントロールには、BD_SEL#信号が使用されます。また、BD_SEL#信号検出により電源監視を開始します。</li><li>• <b>Board Extraction :</b> バス・コネクタの Short ピン未接続状態から Long ピンが未接続となるまでの状態を示します。ここで、BD_SEL#信号のディアサート (+V/I/O Pullup) により HEALTHY#信号も同時にディアサートする必要があります。</li></ul>

#### 2. Hardware Connection States

アプリケーション回路および APIC22A 機能によりサポートします。

Back End への電源供給および APIC22A 内部の初期イニシャライズが含まれます。

State	Description
H0 State	<ul style="list-style-type: none"><li>• <b>Board Insertion :</b> 「P1 State」から電源監視の結果 HEALTHY#信号がアサートされるまでの状態です。HEALTHY#信号のディアサート状態は、PCI RST#信号のアサート状態と同等に取り扱われ、APIC22A はリセット状態が続きます。</li><li>• <b>Board Extraction :</b> 「P1 State」の開始点と同じです。</li></ul>
H1 State	<ul style="list-style-type: none"><li>• <b>Board Insertion :</b> HEALTHY#信号のアサートから PCI RST#信号のディアサートまでの状態です。 (H1 = ! PCI RST#   ! HEALTHY#) なお、PCI RST#信号はすでにディアサートの場合があります。</li></ul>
H2 State	<ul style="list-style-type: none"><li>• <b>Board Insertion :</b> HEALTHY#信号のアサートおよび PCI RST#信号のディアサート状態から Ejector SW がクローズ (EJECTST#="L")されるまでの状態です。ここでは、同時に APIC22A 内部の初期イニシャライズが行われます。実際に Ejector SW の状態が PCI 側へ反映されるのは、初期イニシャライズによる PCI コンフィギュレーション・レジスタ (新機能レジスタ含む) のセットアップが終了した時点で行われます。なお、「Hardware Connection」完了を示すステータス LED は、「H2 State」開始点で OFF(STLED#="Hiz")となります。</li><li>• <b>Board Extraction :</b> ソフトウェアによりステータス LED が ON に設定された状態から「P1 State」までの状態です。ステータス LED は、ボードの取り外しが可能であることをオペレータに通知します。</li></ul>

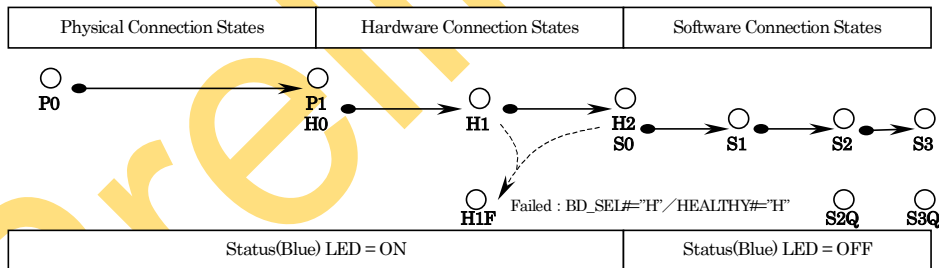
### 3. Software Connection States

APIC22A 機能およびシステム・ソフトウェアによりサポートします。

State	Description
S0 State	<ul style="list-style-type: none"> <li>• <b>Board Insertion :</b> APIC22A の初期イニシャライズ終了後に Ejector SW がクローズされた以降の状態、または Ejector SW がクローズ状態での APIC22A 初期イニシャライズが終了した以降の状態です。 ここでは、同時に ENUM#信号をアサートし接続完了をシステム・ソフトウェアへ通知します。Hot Swap レジスタ (HS_CSR) の「INS Bit」がクリアされるまで ENUM#信号はアサート状態を保持します。</li> <li>• <b>Board Extraction :</b> 「H2 State の開始点と同じです。</li> </ul>
S1 State	<ul style="list-style-type: none"> <li>• <b>Board Insertion :</b> Board Insertion で必要なソフトウェア処理(Configuration)が行われます。</li> <li>• <b>Board Extraction :</b> Board Extraction で必要なソフトウェア処理(Configuration)が行われます。</li> </ul>
S2 State	<ul style="list-style-type: none"> <li>• <b>Board Insertion :</b> アプリケーション・ソフトウェアの準備(Driver Load)が行われます。</li> <li>• <b>Board Extraction :</b> アプリケーション・ソフトウェアの解放(Driver Unload)が行われます。</li> </ul>
S2Q State	<ul style="list-style-type: none"> <li>• <b>Board Extraction :</b> Ejector SW のオープン状態によるボードの取り外し要求が発生したことをシステム・ソフトウェアが認識した状態です。Ejector SW がオープン状態になると Hot Swap レジスタ (HS_CSR) の「EXT Bit」をセットし、同時に ENUM#信号をアサートします。システム・ソフトウェアは、ENUM#信号アサートを検知すると「EXT Bit」をクリアし「S1 State」へ移行します。</li> </ul>
S3 State	アプリケーション・ソフトウェアの動作可能または動作状態です。
S3Q State	<ul style="list-style-type: none"> <li>• <b>Board Extraction :</b> Board Extraction 処理のためのアプリケーション・ソフトウェアの終了作業を示す状態です。</li> </ul>

#### 15-1-2. Hot Swap ステート遷移図

##### ● Insertion State



##### ● Extraction State

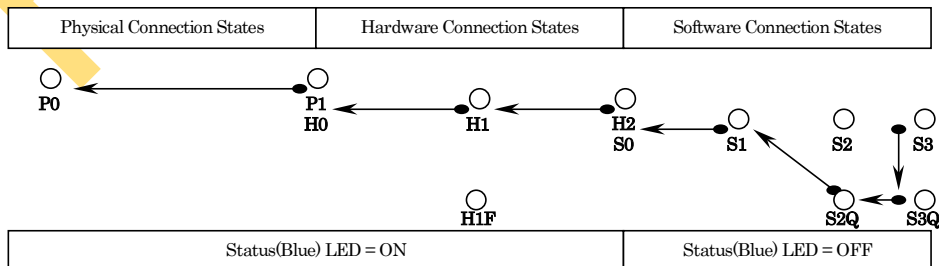


Figure15-1 : Hot Swap State Diagram

### 15-1-3. Hot Swap システム・モデル

System Type	Hardware Connection	Software Connection	Description
Basic Hot Swap	Automatic in H/W	Manually by Operator	<p>基本的な Hot Swap システム・モデルです。本モデルは、Hot Swap を実現する上で最低限必要とされます。H/W Connection を検出するための信号が未サポートのため、ボードのコンフィギュレーションなどの操作はオペレータにより行われます。</p> <p><b>Platform Hardware :</b></p> <ul style="list-style-type: none"> <li>Backplane Connector Pin Long/Medium/Short ピン構成を必要とします。</li> <li>BD_SEL# Signal BD_SEL#信号はGND レベルに接続されている必要があります。</li> </ul> <p><b>Board Hardware :</b></p> <ul style="list-style-type: none"> <li>ESD Protection カード・ガイド部に ESD ストリップ・パターンを必要とします。</li> <li>Bus Signal Precharge バス接続される信号ラインの Precharge 機能を必要とします。APIC22A では、Precharge のための 1.0V Ref 電源を外部回路で持つ必要があります。</li> <li>Back End Power Control BD_SEL#信号により Back End へ供給する電源の ON/OFF 制御を必要とします。ここでは、同時に電源監視を行い、負論理の Power Good 信号を APIC22A の HEALTHY#端子へ入力し、PCI バスの HEALTHY#ラインへ出力する必要があります。</li> </ul> <p><b>System Software :</b></p> <ul style="list-style-type: none"> <li>Hardware Abstraction 「Basic HAL(Hardware Abstraction Layer) Driver」を必要とします。S/W Connection(Board Configuration)は、オペレータにより手動設定されます。</li> </ul>
Full Hot Swap	Automatic in H/W	Controlled by Software	<p>通常 (完全) の Hot Swap システム・モデルです。本モデルは、「Basic Hot Swap」モデルに S/W Connection Control 機能が追加されます。H/W Connection を検出するための ENUM#信号がサポートされ、ボードのコンフィギュレーションなどの操作はシステム・ソフトウェアにより行われます。</p> <p><b>Platform Hardware :</b></p> <ul style="list-style-type: none"> <li>ENUM# Signal H/W Connection を ENUM#信号 (割り込み) により認識できなければなりません。</li> </ul> <p><b>Board Hardware :</b></p> <ul style="list-style-type: none"> <li>ENUM# Signal H/W Connection を示す ENUM#信号を出力できなければなりません。</li> <li>Ejector Handle オペレータによるボード挿抜のための Ejector ハンドルを必要とします。Ejector ハンドルには状態を示すスイッチが有り、そのスイッチ信号を APIC22A の EJECTST 端子に入力する必要があります。</li> <li>Blue LED ボード挿入に対しては H/W Connection の完了、ボード取り外しに対しては Physical Connection の開始許可を示すステータス LED を必要とします。APIC22A は、LED 制御のための STLED#端子を装備しています。</li> <li>S/W Connection Control S/W Connection Control のための Hot Swap レジスタ (HS_CSR) を必要とします。APIC22A は PCI コンフィギュレーション空間に「Programming Interface<sup>0</sup>」の Hot Swap レジスタを装備しています。</li> </ul> <p><b>System Software :</b></p> <ul style="list-style-type: none"> <li>Hardware Abstraction 「S/W Connection Control HAL Driver」を必要とします。S/W Connection(Board Configuration)は、システム・ソフトウェアにより設定されます。</li> </ul>

High Availability	Controlled by S/W	Controlled by Software	<p>高い操作性をもつ Hot Swap システム・モデルです。          本モデルは、「Full Hot Swap」モデルに H/W Connection Control 機能が追加されます。          H/W Connection をソフトウェアにより制御が可能となります。</p> <p><b>Platform Hardware :</b></p> <ul style="list-style-type: none"> <li>・ BD_SEL# Signal              BD_SEL#信号の ON/OFF が可能です。              BD_SEL#信号は同時にボードの存在を識別するために使用されます (Pulldown 処理が必要)。</li> <li>・ HEALTHY# Signal              HEALTHY#信号の状態検出により PCI RST#信号の ON/OFF 制御を可能とします。</li> </ul> <p><b>System Software :</b></p> <ul style="list-style-type: none"> <li>・ Hardware Abstraction              「H/W Connection Control HAL Driver」を必要とします。              H/W Connection は、システム・ソフトウェアにより制御されます (ボードの Back End Power 制御やリセット制御)。</li> </ul>
-------------------	-------------------	------------------------	--

Preliminary



## 15-2. Hot Swap システム・タイミング

APIC22A の動作を含めた「Board Insertion/Extraction」のシステム・タイミングを示します。  
Hot Swap システム・モデルは、High Availability モデルを参考としています。

### 15-2-1. Board Insertion タイミング

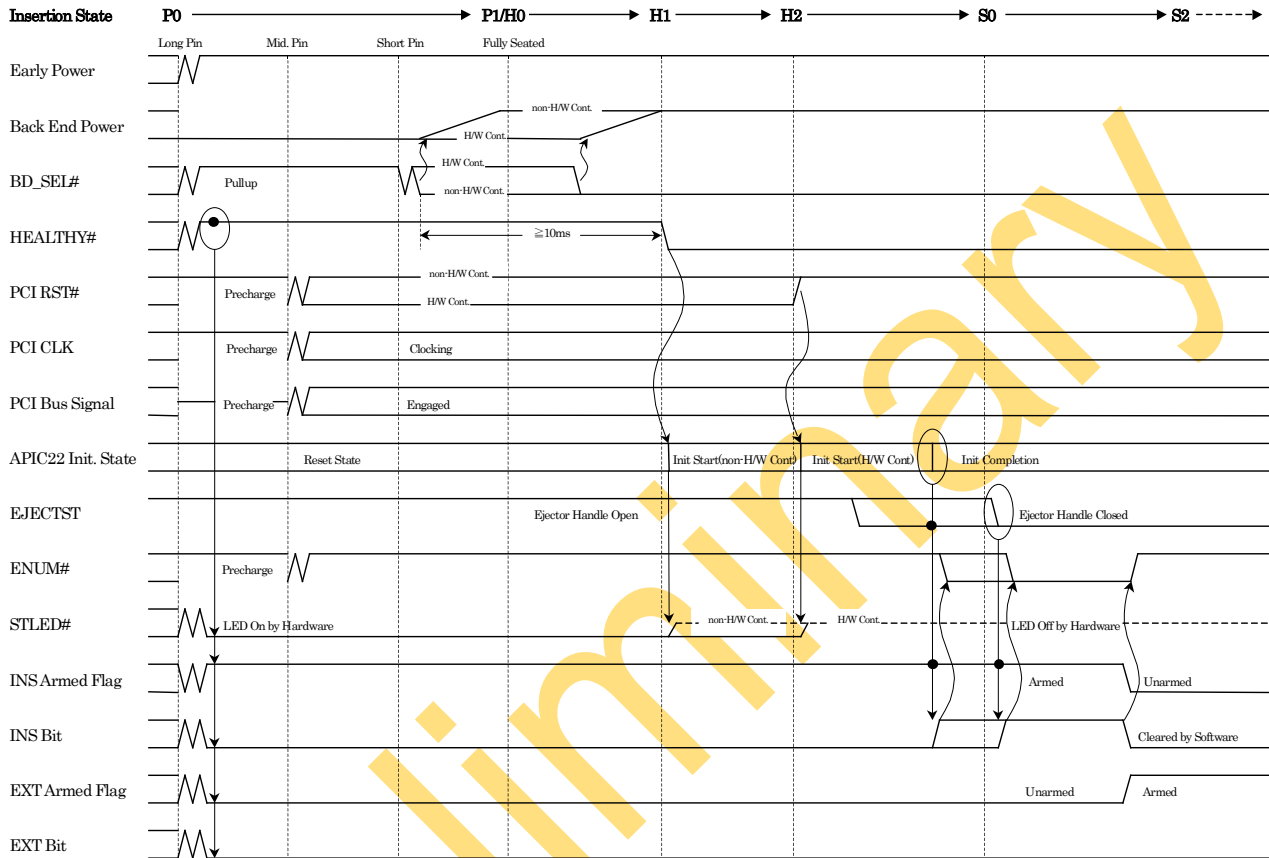


Figure15-2 : Board Insertion Timing Diagram

## 15-2-2. Board Extraction タイミング

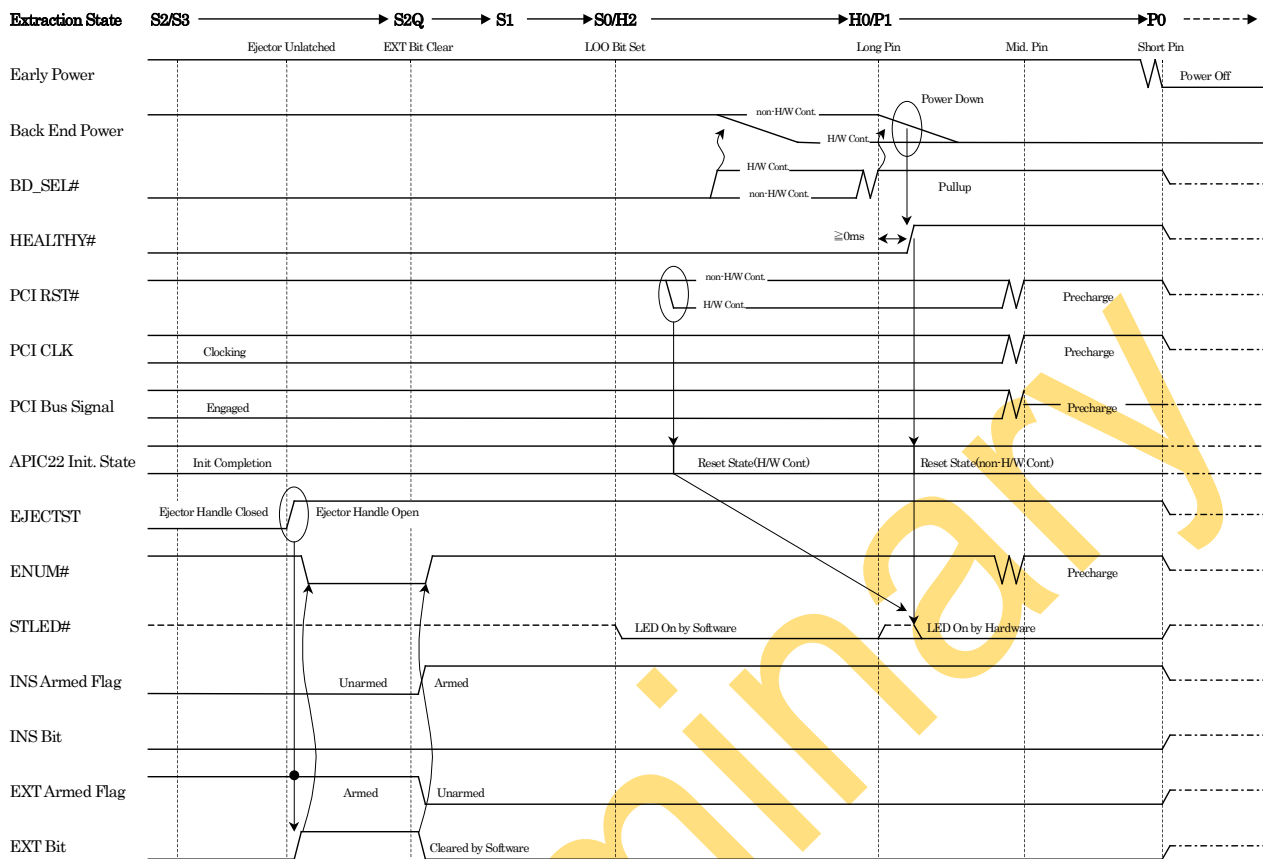


Figure15-3 : Board Extraction Timing Diagram

### 1 5-2-3. Hot Swap タイミングの信号説明

Signal	Description
Early Power	Long ピンにアサインされる「PCI Component Device」用電源です。 Precharge のための Ref.電源回路および、HEALTHY#信号生成のための電源監視回路にも使用します。
Back End Power	アプリケーション回路用電源です。 BD_SEL#信号検出により、ボード内部で生成します。
BD_SEL#	Short ピンにアサインされるボード・スロット・コントロール信号です。 BD_SEL#=“L”の状態を検出したとき Back End Power の供給を開始します。
HEALTHY#	Medium ピンにアサインされるボードの状態を示す信号です。 電源監視の結果、動作可能状態になったときに“Low”レベルを PCI バスへ出力します。 また、同信号を APIC22A の HEALTHY#端子に入力する必要があります。APIC22A では、PCIRST#信号と同等に取り扱われます。 ・ APIC22A Reset = !PCI RST#   HEALTHY# なお、APIC22A の Hot Swap 機能が OFF に構成される場合、HEALTHY#端子を GND レベルに Pulldown する必要があります。
PCI RST#	Medium ピンにアサインされる PCI バスのリセット信号です。 +V/I/O レベルへの Precharge を必要とします。
PCI CLK	Medium ピンにアサインされる PCI バスのクロック信号です。 +V/I/O レベルへの Precharge を必要とします。
PCI Bus Signal	Medium ピンにアサインされる PCI バスのバス接続信号です。 Vp(Precharge Bias Voltage)レベルへの Precharge を必要とします。
APIC22A Init. State	シリアル EEPROM による APIC22A の初期イニシャライズ・ステートです。 APIC22A は、「PCI RST# & !HEALTHY#」の状態を検出すると初期イニシャライズを開始します。
EJECTST	Ejector ハンドル・スイッチ信号です。 APIC22A の EJECTST 端子へ入力します。EJECTST 端子入力は、内部で約 2ms(PCI 33MHz)の「De-bouncing」処理が施されています。 ・ “H”レベル : Ejector Handle Open ・ “L”レベル : Ejector Handle Closed
ENUM#	Medium ピンにアサインされるボードのコンフィギュレーション要求信号です。 INS Bit または EXT Bit が値“1”にセットされたとき、APIC22A の ENUM#端子から“Low”レベルを PCI バスへ出力します。 APIC22A の ENUM#端子はオープン・ドレイン出力で構成され、+V/I/O レベルへの Precharge を必要とします。なお、APIC22A の Hot Swap 機能が OFF に構成される場合、ENUM#端子は“HiZ”状態を保持します。
STLED#	Blue LED 信号です。 「!PCI RST#   HEALTHY#」の状態、または HS_CSR レジスタの LOO Bit が値“1”にセットされたとき APIC22A の STLED#端子から“Low”レベルが出力されます。 APIC22A の STLED#端子はオープン・ドレイン出力で構成され、LED のカソード・ラインへ接続します。(抵抗が必要なときは直列付加)。 なお、APIC22A の Hot Swap 機能が OFF に構成される場合でも「!PCI RST#   HEALTHY#」の期間中は“Low”が出力されます。
INS Armed Flag	APIC22A 内部で生成される Insertion ステートの受付可能状態を示すフラグです。 INS Armed Flag が値“1”のときのみ Ejector ハンドル・スイッチの状態が HS_CSR レジスタの INS Bit に反映されます。INS Armed Flag は、「!PCI RST#   HEALTHY#」で値“1”にセットされます。 また、「EXT Bit=“1”」の状態でも EXT Bit がクリアされると同時に INS Armed Flag は値“1”にセットされます。「INS Bit=“1”」の状態でも INS Bit がクリアされると同時に INS Armed Flag は値“0”にリセットされます。
INS Bit	Hot Swap レジスタ (HS_CSR) の INS Bit です。 INS Bit は、INS Armed Flag が値“1”のときに Ejector ハンドル・スイッチのクローズ状態を検出すると値“1”にセットされます。 なお、初期イニシャライズ中、すでにハンドル・スイッチがクローズ状態のときは初期イニシャライズが終了した時点で反映されます。
EXT Armed Flag	APIC22A 内部で生成される Extraction ステートの受付可能状態を示すフラグです。 EXT Armed Flag が値“1”のときのみ Ejector ハンドル・スイッチの状態が EXT Bit に反映されます。 EXT Armed Flag は、「!PCI RST#   HEALTHY#」で値“0”にリセットされます。 また、「EXT Bit=“1”」の状態でも EXT Bit がクリアされると同時に EXT Armed Flag は値“0”にリセットされます。「INS Bit=“1”」の状態でも INS Bit がクリアされると同時に EXT Armed Flag は値“1”にセットされます。
EXT Bit	Hot Swap レジスタ (HS_CSR) の EXT Bit です。 EXT Bit は、EXT Armed Flag が値“1”のときに Ejector ハンドル・スイッチのオープン状態を検出すると値“1”にセットされます。

## 15-3. Hot Swap ボード・デザイン

### 15-3-1. ボード・サンプル回路

Hot Swap システムの基本的なボード・デザインを Figure15-4 に示します。

なお、Hot Swap R2.0 では、BD\_SEL#信号による Precharge 抵抗の Disconnection 要求が追加されています。これは、ユニバーサル (3.3V) PCI を目的とし、かつ 50K $\Omega$ 未満の Precharge 抵抗を使用する場合に必要なです。APIC22A の I/O セルは、 $\pm 2\mu\text{A}$  以内のリーク電流値が保証されているため 50K $\Omega$ 以上の Precharge 抵抗を採用できます。この場合、Precharge 抵抗の分離は必要ありません。

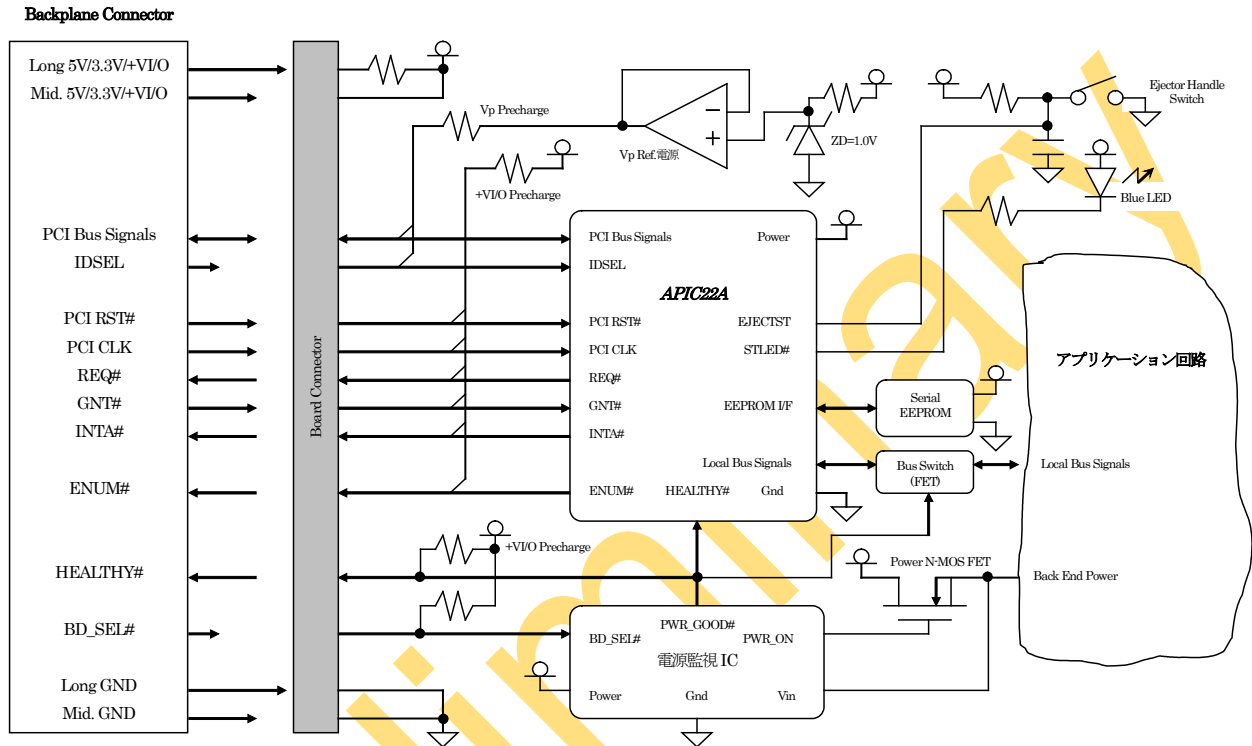


Figure15-4 : Hot Swap Board Sample Circuit

### 15-3-2. 電気的信号モデル

Vp Precharge の信号モデルを Figure15-5 に示します。

CompactPCI の 5V 系システムと 3.3V 系システムでは、電気的条件が分けられている部分があります。詳細については、「CompactPCI Hot Swap Spec PICMG2.1 R2.0」を参照ください。

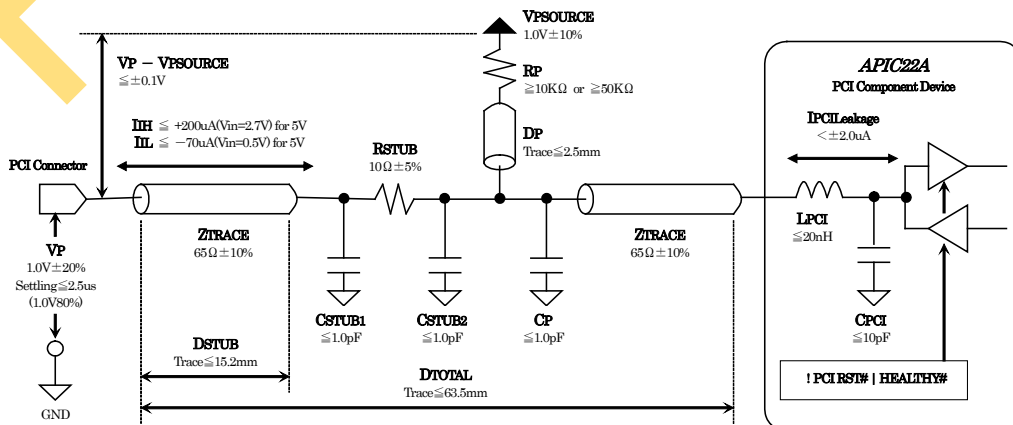


Figure15-5 : Hot Swap Vp Precharge Signal Model

## 16. レジスタの構成

APIC22A のレジスタ空間は、大きく2つの空間に分けられます。

1つは、PCI規格で定義されるPCIコンフィギュレーション空間です。これは、一般のメモリやI/O空間とはことなる特別な空間に割り当てられます。

もう1つは、APIC22Aの固有機能を構成するアダプタ・コンフィギュレーション空間です。これは、PCIコンフィギュレーション空間の「Base Address Register0 (BAR0)」で示すアドレスに割り当てられます。メモリまたはI/O空間に配置可能です。

### ■ APIC22A レジスタ空間

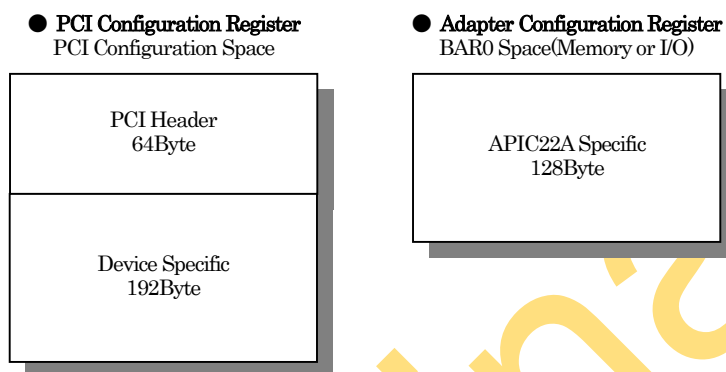


Figure16-1 : APIC22A レジスタ空間

## 16-1. PCI コンフィギュレーション・レジスタ

PCI コンフィギュレーション・レジスタは、PCI ヘッド・タイプ 00H のフォーマットです。  
 実装されたシステムにおける APIC22A の使用リソースがホスト CPU より設定されます。  
 シリアル EEPROM による初期イニシャライズで、目的とするアプリケーション用に PCI コンフィギュレーション・レジスタの取り扱い方法を設定することが可能です。

### 16-1-1. レジスタ・マップ

Bit31				Bit16		Bit15		Bit0		Offset(HEX)	
										PCI(CFG)	Local
Device ID				Vendor ID						00h	00h
Status				Command						04h	04h
Base Class		Sub Class		Programming I/F		Revision ID				08h	08h
BIST		Header Type		Latency Timer		Cache Line Size				0Ch	0Ch
Base Address Register0(Adapter Configuration Space)										10h	10h
Base Address Register1(Local I/O Space)										14h	14h
Base Address Register2(Local Memory Space)										18h	18h
Base Address Register3(Unused)										1Ch	1Ch
Base Address Register4(Unused)										20h	20h
Base Address Register5(Unused)										24h	24h
CardBus CIS Pointer(Unused)										28h	28h
Subsystem ID				Subsystem Vendor ID						2Ch	2Ch
Expansion ROM Base Address										30h	30h
Reserved				Cap_Ptr						34h	34h
Reserved										38h	38h
Max_Lat		Min_Gnt		Interrupt Pin		Interrupt Line				3Ch	3Ch
Reserved		HS_CSR		Next Item		Cap_ID(06h)				40h	40h
Reserved										44h	44h
PM Capabilities(PMC)				Next Item		Cap_ID(01h)				48h	48h
Data		Reserved		PM Control/Status(PMCSR)						4Ch	4Ch
F	VPD Address			Next Item		Cap_ID(03h)				50h	50h
VPD Data										54h	54h
Reserved										58h	58h
Reserved										5Ch	5Ch
MSI Control				Next Item		Cap_ID(05h)				60h	60h
MSI Address										64h	64h
Reserved				MSI Data						68h	68h
Reserved										6Ch	6Ch
Reserved										70-7Ch	70-7Ch
Reserved										80-FCh	—

#### Notes :

Reserved および Unused のレジスタは、読み出しに対し値"0"を返します。  
 また、書き込みに対しては、値"0"としてください。

## 1 6-1-2. レジスタの説明

### 1 6-1-2-1. Vendor ID/Device ID : Offset = PCI CFG 00h/Local 00h

Bit	Description	Read	Write	Reset
15:0	Vendor ID : PCI SIGにより割り当てられるメーカー固有のIDを設定。	Yes	EEPROM	136Ch
31:16	Device ID : メーカーごとに任意に割り当てることのできるデバイス識別IDを設定。	Yes	EEPROM	0002h

### 1 6-1-2-2. Command Register : Offset = PCI CFG 04h/Local 04h

Bit	Description	Read	Write	Reset
0	I/O Space : I/O空間のイネーブル・ビット。	Yes	Yes	0
1	Memory Space : メモリ空間のイネーブル・ビット。	Yes	Yes	0
2	Bus Master : マスタ動作のイネーブル・ビット。	Yes	Yes	0
3	Special Cycles : スペシャルサイクル監視機能のイネーブル・ビット。	Yes	No	0 (固定)
4	Memory Write and Invalidate Enable : メモライイト・アンド・インバリデイト機能のイネーブル・ビット。	Yes	No	0 (固定)
5	VGA Palette Snoop : VGAパレット・スヌープのイネーブル・ビット。	Yes	No	0 (固定)
6	Parity Error Response : パリティ・エラー応答のイネーブル・ビット。 本 Bit が値"1"のとき、データ・パリティ・エラーが検出されると PERR#をアサートします。	Yes	Yes	0
7	Wait Cycle Control : アドレス/データ・ステッピングのイネーブル・ビット。	Yes	No	0 (固定)
8	SERR# Enable : アドレス・パリティ・エラー応答のイネーブル・ビット。 本 Bit と Bit6 が共に値"1"のとき、アドレス・パリティ・エラーが検出されると SERR#をアサートします。	Yes	Yes	0
9	Fast Back-to-Back Enable : ことなるターゲットに対するファースト・バック・ツー・バック・トランザクションのイネーブル・ビット。	Yes	Yes	0
15:10	Reserved :	Yes	No	0 (固定)

### 1 6-1-2-3. Status Register : Offset = PCI CFG 06h / Local 06h

Bit	Description	Read	Write	Reset
3:0	Reserved :	Yes	No	0 (固定)
4	New Capabilities : PCI Spec2.2における新機能がサポートされていることを示すステータス・ビット。	Yes	EEPROM	0
5	66MHz Capable : 66MHz 動作が可能であることを示すステータス・ビット。	Yes	No	0 (固定)
6	UDF Supported : ユーザ定義機能をサポートしていることを示すステータス・ビット。	Yes	No	0 (固定)
7	Fast Back-to-Back Capable : ターゲット動作時、ことなるターゲットに対するファースト・バック・ツー・バック・トランザクションに対応可能であることを示すステータス・ビット。	Yes	EEPROM	0
8	Master Data Parity Error : マスタ動作時、ターゲットまたは APIC22A が PERR#をアサートしたことを示すステータス・ビット。なお、Command Register の Bit6 が値"0"のとき PERR#が発生しても本 Bit はセットされません。	Yes	Yes(Clear)	0
10:9	DEVSEL# Timing : DEVSEL#の出力タイミングを示すステータス・ビット。 00 : Fast Response 01 : Medium Response 10 : Slow Response 11 : Reserved	Yes	No	01 (固定)
11	Signaled Target Abort : ターゲット動作時、ターゲット・アボートによってトランザクションが終了したことを示すステータス・ビット。	Yes	Yes(Clear)	0
12	Received Target Abort : マスタ動作時、ターゲット・アボートによってトランザクションを終了したことを示すステータス Bit。	Yes	Yes(Clear)	0
13	Received Master Abort : マスタ動作時、マスタ・アボートによってトランザクションを終了したことを示すステータス・ビット。	Yes	Yes(Clear)	0
14	Signaled System Error : APIC22A が SERR#をアサートしたことを示すステータス・ビット。	Yes	Yes(Clear)	0
15	Detected Parity Error : アドレス/データ・パリティを検出したことを示すステータス・ビット。 本 Bit は、Command Register の Bit6 の状態に影響を受けません。	Yes	Yes(Clear)	0

### 1 6-1-2-4. Revision ID / Class Code : Offset = PCI CFG 08h / Local 08h

Bit	Description	Read	Write	Reset
7:0	Revision ID : デバイスのレビジョン・レベルを設定。	Yes	EEPROM	00h
31:8	Class Code(BaseClass・SubClass・Programming I/F Code) : PCI 定義のクラス・コードを設定。 068000h : その他のブリッジ・デバイス	Yes	EEPROM	068000h

### 1 6-1-2-5. Cache Line Size : Offset = PCI CFG 0Ch / Local 0Ch

Bit	Description	Read	Write	Reset
7:0	Cache Line Size : システムのキャッシュ・ライン・サイズを設定。 00h : メモリ・ターゲットは SDONE / SBO#を使用しません。 マスタ・デバイスはメモリアイト・アンド・インバリデート・コマンドを使用しません。 APIC22A では、未サポートです。	No	No	00h (固定)



### 1 6-1-2-6. Master Latency Timer : Offset = PCI CFG 0Dh / Local 0Dh

Bit	Description	Read	Write	Reset
7:0	Master Latency Timer : マスタ・レイテンシ・タイマの値を設定。 PCI クロックでダウンカウント。	Yes	Yes	00h

### 1 6-1-2-7. Header Type : Offset = PCI CFG 0Eh / Local 0Eh

Bit	Description	Read	Write	Reset
6:0	Header Layout Code : PCI Configuration Register Offset 10h~3Fh のレイアウト情報。 00h : PCI ヘッダ・タイプ 00H	Yes	No	00h (固定)
7	Multi-Function Status : 多機能デバイス情報。 0 : 単機能デバイス	Yes	No	0 (固定)

### 1 6-1-2-8. BIST : Offset = PCI CFG 0Fh / Local 0Fh

Bit	Description	Read	Write	Reset
7:0	BIST Register : 内部セルフ・テスト。 Bit7=0 : BIST 未サポート	No	No	00h (固定)

### 1 6-1-2-9. Base Address Register0(BAR0) : Offset = PCI CFG 10h / Local 10h

アダプタ・コンフィギュレーション空間用のベース・アドレスで、アドレス範囲は 128Byte 固定です。  
シリアル EEPROM による初期イニシャライズで、I/O 空間またはメモリ空間を選択可能です。

Bit	Description	Read	Write	Reset
0	Address Space Status : 要求アドレス空間を示すステータス・ビット。 0 : メモリ空間 1 : I/O 空間	Yes	EEPROM	1
2:1	Memory Type : 要求するメモリ範囲情報。 ・ Memory Map : 32Bit Wide in 4Gbyte ・ I/O Map : N/A	Yes	No	00 (固定)
3	Memory Prefetchable Status : メモリ・プリフェッチ可能を示すステータス・ビット。 ・ Memory Map : プリフェッチ不可 ・ I/O Map : N/A	Yes	No	0 (固定)
31:4	I/O or Memory Base Address : 割り当てられる I/O 空間またはメモリ空間の先頭アドレスを設定。 Bit6~Bit4 : 0 固定 (アドレス範囲=128Byte)	Yes	Yes	0000000h

### 1 6-1-2-10. Base Address Register1(BAR1) : Offset = PCI CFG 14h / Local 14h

ローカル・バスの I/O 空間用のベース・アドレスです。  
シリアル EEPROM による初期イニシャライズで、機能の ON/OFF やデコード範囲の設定が可能です。

Bit	Description	Read	Write	Reset
0	Address Space Status : 要求アドレス空間を示すステータスビット。 1 : I/O 空間(固定) シリアル EEPROM により機能 OFF に設定される場合、本 Bit は"0"固定です。	Yes	EEPROM (機能 : On/Off)	1 (機能 On)
1	Reserved :	Yes	No	0 (固定)
31:2	I/O Base Address : 割り当てられる I/O 空間の先頭アドレスを設定。 シリアル EEPROM によりデコード範囲の設定が可能です。 ・ 32Bit Mux Mode : Max 2Gbyte ・ 8/16Bit NonMux Mode : Max 256Byte シリアル EEPROM により機能 OFF に設定される場合、本 Bit は"0"固定です。	Yes	Yes	00000000h

### 1 6-1-2-1 1. Base Address Register2(BAR2) : Offset = PCI CFG 18h/Local 18h

ローカル・バスのメモリ空間用のベース・アドレスです。

シリアル EEPROM による初期イニシャライズで、機能の ON/OFF やデコード範囲の設定が可能です。

Bit	Description	Read	Write	Reset
0	Address Space Status : 要求アドレス空間を示すステータス・ビット。 0 : メモリ空間(固定)	Yes	EEPROM (機能 : On/Off)	0 (固定) (機能 Off)
2:1	Memory Type : 要求するメモリ範囲情報。 00 : 32Bit Wide in 4Gbyte    01 : 32Bit Wide below 1Mbyte 10 : 未対応(64Bit Addressing)    11 : Reserved	Yes	EEPROM	00
3	Memory Prefetchable Status : メモリ・プリフェチ可能を示すステータス・ビット。 0 : プリフェチ不可 1 : プリフェチ可能	Yes	EEPROM	0
31:4	Memory Base Address : 割り当てられるメモリ空間の先頭アドレスを設定。 シリアル EEPROM によりデコード範囲の設定が可能です。 ・ 32Bit Mux Mode : Max 2Gbyte ・ 8/16Bit NonMux Mode : Max 128KByte シリアル EEPROM により機能 OFF に設定される場合、本 Bit は"0"固定です。	Yes	Yes	0000000h

### 1 6-1-2-1 2. Base Address Register3(BAR3) : Offset = PCI CFG 1Ch/Local 1Ch

APIC22A では、未サポートです。

Bit	Description	Read	Write	Reset
0	Address Space Status :	No	No	0 (固定)
2:1	Memory Type :	No	No	00 (固定)
3	Memory Prefetchable Status :	No	No	0 (固定)
31:4	Memory Base Address :	No	No	0000000h (固定)

### 1 6-1-2-1 3. Base Address Register4(BAR4) : Offset = PCI CFG 20h/Local 20h

APIC22A では、未サポートです。

Bit	Description	Read	Write	Reset
0	Address Space Status :	No	No	0 (固定)
2:1	Memory Type :	No	No	00 (固定)
3	Memory Prefetchable Status :	No	No	0 (固定)
31:4	Memory Base Address :	No	No	0000000h (固定)

### 1 6-1-2-1 4. Base Address Register5(BAR5) : Offset = PCI CFG 24h/Local 24h

APIC22A では、未サポートです。

Bit	Description	Read	Write	Reset
0	Address Space Status :	No	No	0 (固定)
2:1	Memory Type :	No	No	00 (固定)
3	Memory Prefetchable Status :	No	No	0 (固定)
31:4	Memory Base Address :	No	No	0000000h (固定)

### 1 6-1-2-1 5. CardBus CIS Pointer : Offset = PCI CFG 28h/Local 28h

APIC22A では、未サポートです。

Bit	Description	Read	Write	Reset
2:0	Address Space Indicator : CIS(カード情報)が配置されているアドレス空間を識別。	No	No	0h (固定)
31:3	Address Space Offset : Address Space Indicator で示されるアドレス空間における、CIS が格納されている開始オフセット・アドレスを示します。	No	No	00000000h (固定)

### 1 6-1-2-1 6. Subsystem Vendor ID/Subsystem ID : Offset = PCI CFG 2Ch/Local 2Ch

Bit	Description	Read	Write	Reset
15:0	Subsystem Vendor ID : PCI SIG により割り当てられるアダプタ・カードの製造メーカ ID を設定。	Yes	EEPROM	136Ch
31:16	Subsystem ID : メーカごとに任意に割り当てることのできるデバイス識別 ID を設定。	Yes	EEPROM	0002h

### 1 6-1-2-1 7. Expansion ROM Base Address : Offset = PCI CFG 30h/Local 30h

ローカル・バスの ExpROM 空間用のベース・アドレスです。

シリアル EEPROM による初期イニシャライズで、機能の ON/OFF やデコード範囲の設定が可能です。

Bit	Description	Read	Write	Reset
0	ROM Decode Enable : 拡張 ROM のデコード・イネーブル・ビット。 0 : Disable 1 : Enable シリアル EEPROM により機能 OFF に設定される場合、本 Bit は 0 固定です。	Yes	Yes	0 (機能 Off)
10:1	Reserved :	Yes	No	0 (固定)
31:11	ROM Base Address : 割り当てられる拡張 ROM 空間の先頭アドレスを設定。 シリアル EEPROM によりデコード範囲の設定が可能です。 ・ 32Bit Mux Mode : Max 2Gbyte ・ 8/16Bit NonMux Mode : Max 128KByte シリアル EEPROM により機能 OFF に設定される場合、本 Bit は 0 固定です。	Yes	Yes	0000000h

### 1 6-1-2-1 8. Cap\_Ptr : Offset = PCI CFG 34h/Local 34h

Bit	Description	Read	Write	Reset
7:0	New Capabilities Pointer : PCI フังก์ションの新機能を定義するデータ構造体リンク・リストの先頭ポインタ。 ポインタ値は、PCI Configuration 空間「40h~FCh」の範囲で 4Byte バウンダリでなければいけません。 APIC22A では、新機能のポインタは 40h/48h/50h/60h に固定配置となり、それ以外の設定は無効です。 40h : Hot Swap      48h : Power Management 50h : VPD            60h : MSI	Yes	EEPROM	00h

1 6-1-2-1 9. Interrupt Line/Interrupt Pin : Offset = PCI CFG 3Ch/Local 3Ch

Bit	Description	Read	Write	Reset
7:0	Interrupt Line Value : デバイスが接続している割り込み線の番号。 システム(POST)によって INTA#ラインが割り込みコントローラにルーティングされます。 00h : IRQ0 01h : IRQ1... 0Fh : IRQ15 FFh : 未接続	Yes	Yes	FFh
15:8	Interrupt Pin Value : デバイスで使用する割り込みピンの値を設定。 シリアル EEPROM によるイニシャライズで機能の ON/OFF が選択可能です。 00h : 未使用 01h : INTA# INTA#ラインは、MSI 機能がイネーブルされると Hiz となり割り込み送出はメモリ・ライトにより行われます。	Yes	EEPROM (機能 : On/Off)	01h (機能 On)

1 6-1-2-2 0. Min\_Gnt/Max\_Lat : Offset = PCI CFG 3Eh/Local 3Eh

Bit	Description	Read	Write	Reset
7:0	Min_Gnt Value : デバイスが最低必要とするバースト・サイクルの時間を設定。 00h : 未要求 01h : 8PCI Clock(33MHz)...	Yes	EEPROM	00h
15:8	Max_Lat Value : デバイスがバス・マスタとしてどれくらいの PCI バス帯域幅(アクセス周期)を必要としているかを示します。 システムは、Min_Gnt 値と合わせてマスタ・レイテンシ・タイマの設定に使用します。 00h : 未要求 01h : 8PCI Clock(33MHz)...	Yes	EEPROM	00h

Preliminary

1 6-1-2-2 1. Hot Swap Cap\_ID : Offset = PCI CFG 40h/Local 40h

Bit	Description	Read	Write	Reset
7:0	Capability ID : CompactPCI Hot Swap 機能データ構造体の ID。 06h : Hot Swap 機能	Yes	EEPROM (機能 : On/Off)	00h (機能 Off)

1 6-1-2-2 2. Hot Swap Next Item : Offset = PCI CFG 41h/Local 41h

Bit	Description	Read	Write	Reset
7:0	Next Item : 機能リンク・リスト内における次の構造体の先頭ポインタ。 00h : 最終リンク・リスト 48h : PM 機能 50h : VPD 機能 60h : MSI 機能	Yes	EEPROM	00h

1 6-1-2-2 3. Hot Swap HS\_CSR : Offset = PCI CFG 42h/Local 42h

Bit	Description	Read	Write	Reset
0	Reserved :	Yes	No	0 (固定)
1	ENUM# Signal Mask(EIM) : PCI ENUM#信号ラインのマスク・コントロール。 0 : Enable 1 : Mask	Yes	Yes	0
2	Reserved :	Yes	No	0 (固定)
3	LED ON/OFF(LOO) : 外部 Blue LED の ON/OFF コントロール。 0 : LED OFF(STLED#="H") 1 : LED ON(STLED#="L")	Yes	Yes	0
5:4	Reserved :	Yes	No	0 (固定)
6	ENUM# Status-Extraction(EXT) : Extraction State を示すステータス・ビット。 本 Bit がセットされると ENUM#信号をアサートしシステムへ通知します。 0 : ENUM# Not Asserted 1 : ENUM# Asserted ソフトウェアからはクリアのみが可能です。 本 Bit は、EJECTST 端子の状態に関わらず INS Bit がクリアされるまで"1"にセットされることはありません。	Yes	Yes(Clear)	0
7	ENUM# Status-Insertion(INS) : Insertion State を示すステータス Bit。 本 Bit がセットされると ENUM#信号をアサートしシステムへ通知する。 0 : ENUM# Not Asserted 1 : ENUM# Asserted ソフトウェアからはクリアのみが可能です。 本 Bit は、EJECTST 端子の状態に関わらず EXT Bit がクリアされるまで"1"にセットされることはありません。	Yes	Yes(Clear)	0

**1 6-1-2-2 4. Power Management Cap\_ID : Offset = PCI CFG 48h/Local 48h**

Bit	Description	Read	Write	Reset
7:0	Capability ID : PCI Power Management 機能データ構造体の ID。 01h : Power Management 機能	Yes	EEPROM (機能 : On/Off)	00h (機能 Off)

**1 6-1-2-2 5. Power Management Next Item : Offset = PCI CFG 49h/Local 49h**

Bit	Description	Read	Write	Reset
7:0	Next Item : 機能リンク・リスト内における次の構造体の先頭ポインタ。 00h : 最終リンク・リスト 40h : Hot Swap 機能 50h : VPD 機能 60h : MSI 機能	Yes	EEPROM	00h

**1 6-1-2-2 6. Power Management Capabilities(PMC) : Offset = PCI CFG 4Ah/Local 4Ah**

Bit	Description	Read	Write	Reset
2:0	Version : ファンクションが PCI Power Management インタフェース仕様の Revision1.0 に適合していることを示すバージョン情報です。 001 : Revision1.0	Yes	EEPROM	001
3	PME Clock : (PME#)信号ラインのアサートを行うために PCI クロックが必要であることを示すステータス・ビット。 0 : Clock 必要なし 1 : Clock が必要	Yes	EEPROM	0
4	Auxiliary Power Source(Vaux) : PM ステート D3cold 状態からの(PME#)信号ラインのアサートを行うために補助電源(Vaux)が必要であることを示すステータス・ビット。 0 : Vaux 必要なし 1 : Vaux が必要 APIC22A では、D3cold は未対応です。 なお、本 Bit は Revision1.1 での追加機能です。	Yes	EEPROM	0
5	Device Specific Initialization(DSD) : 通常のクラス・デバイス・ドライバがデバイスを使用する前に特別な初期化が必要であることを示すステータス・ビット。 OS は、本 Bit により特別な制御を行うことはありません。 0 : 必要なし 1 : 必要あり	Yes	EEPROM	0
8:6	Aux_Current : PM ステート D3cold 状態からの(PME#)信号ラインのアサートを行うために補助電源(Vaux)を必要とするデバイスが消費する電流値を示すステータス・ビット。 000 : D3cold 未対応 001 : 55mA 010 : 100mA 011 : 160mA 100 : 220mA 101 : 270mA 110 : 320mA 111 : 375mA なお、本 Bit は Revision1.1 での追加機能です。	Yes	EEPROM	000
9	D1_Support : PM ステート D1 をサポートしていることを示すステータス・ビット。 0 : D1 未サポート 1 : D1 サポート	Yes	EEPROM	0
10	D2_Support : PM ステート D2 をサポートしていることを示すステータス・ビット。 0 : D2 未サポート 1 : D2 サポート	Yes	EEPROM	0
15:11	PME_Support : (PME#)信号ラインをアサートする可能性のある Power State を示すステータス・ビット。 00000 : 未対応 xxxx1 : D0 xxx1x : D1 xx1xx : D2 x1xxx : D3hot 1xxxx : D3cold	Yes	EEPROM	00000

1 6-1-2-27. Power Management Control/Status(PMCSR) : Offset = PCI CFG 4Ch/Local 4Ch

Bit	Description	Read	Write	Reset
1:0	Power State : Power State のコントロール・ビット。 APIC22A は、ここで設定された PM ステートへ移行します。 00 : D0 01 : D1 10 : D2 11 : D3hot	Yes	Yes	00
7:2	Reserved :	Yes	No	00h (固定)
8 sticky	PME_En : (PME#)信号ラインのイネーブル・ビット。 イネーブル状態では(PME#)をアサート可能で、ディセーブル状態では(PME#)をマスクし”HiZ”を保持します。 0 : ディセーブル 1 : イネーブル	Yes	Yes	0
12:9	Data_Select : Data レジスタを通しレポートされるデータ内容を選択。 0h : D0 消費電力 1h : D1 消費電力... 4h : D0 放散電力 5h : D1 放散電力... 8h-Fh : Reserved(00h)	Yes	Yes	0h
14:13	Data_Scale : Data レジスタを通しレポートされるデータ内容のスケール・ファクタを示します。 00 : 不明 01 : 0.1 10 : 0.01 11 : 0.001	Yes	EEPROM	00
15 sticky	PME_Status : (PME#)信号ラインの状態を示すステータス・ビット。 値”1”の書き込みに対しては、(PME#)信号のクリアに使用されます。 0 : ディアサート 1 : アサート Wake Event 要求は、「Local PM Control Register : Wake Event IRQ Select」により選択された IRQx 信号がアサートされることにより発生します。 なお、PME_En Bit によりディセーブルされている場合でも Wake Event 要求が発生すると本 Bit に反映されます。	Yes	Yes(Clear)	0

1 6-1-2-28. Power Management Data : Offset = PCI CFG 4Fh/Local 4Fh

Bit	Description	Read	Write	Reset
7:0	Data : 消費電力/放散電力をレポートするためのデータ・ポート。	Yes	EEPROM	00h

1 6 - 1 - 2 - 2 9 . VPD Cap\_ID : Offset = PCI CFG 50h / Local 50h

Bit	Description	Read	Write	Reset
7:0	Capability ID : PCI VPD 機能データ構造体の ID。 03h : VPD 機能	Yes	EEPROM (機能 : On / Off)	03h (機能 On)

1 6 - 1 - 2 - 3 0 . VPD Next Item : Offset PCI CFG 51h / Local 51h

Bit	Description	Read	Write	Reset
7:0	Next Item : 機能リンク・リスト内における次の構造体の先頭ポインタ。 00h : 最終リンク・リスト 40h : Hot Swap 機能 48h : PM 機能 60h : MSI 機能	Yes	EEPROM	00h

1 6 - 1 - 2 - 3 1 . VPD Address : Offset = PCI CFG 52h / Local 52h

Bit	Description	Read	Write	Reset
14:0	Address : VPD 格納媒体へアクセスするときのアドレスを設定します。 設定されたアドレスを基準に 4Byte 単位のアクセスが行われます。 VPD 格納媒体には、APIC22A イニシャライズ用のシリアル EEPROM を使用します。 VPD 格納媒体に 3-Wire のシリアル EEPROM が使用される場合、データ幅が 16Bit 固定のため書き込みは Word アドレス単位で行う必要があります。 また、読み出しに対しアドレスが Word 単位でない場合、最初の偶数データをダミーデータとし以降の 4Byte をデータ・ポートに格納します。 2-Wire のシリアル EEPROM では、Byte 単位の制御が可能なため制約はありません。 なお、PCI 規格上は 4Byte バウンダリ単位のアクセスに限定されています。 Bit14="0"で VPD データ空間へアクセスが行われ、Bit14="1"で APIC22A コンフィギュレーション空間へアクセスが行われます。	Yes	Yes	0000h
15	Flag(F) : 読み出し / 書き込み動作の実行および終了を示すステータス・ビット。 ・読み出し動作 : Write "0" = 動作開始 Read "1" = 動作完了 ・書き込み動作 : Write "1" = 動作開始 Read "0" = 動作完了	Yes	Yes	0

1 6 - 1 - 2 - 3 2 . VPD Data : Offset = PCI CFG 54h / Local 54h

Bit	Description	Read	Write	Reset
31:0	Data : VPD 格納媒体に対する読み出し / 書き込みのためのデータ・ポート。	Yes	Yes	0000h



### 1 6-1-2-3 3. MSI Cap\_ID : Offset = PCI CFG 60h/Local 60h

Bit	Description	Read	Write	Reset
7:0	Capability ID : PCI MSI 機能データ構造体のID。 05h : MSI 機能	Yes	EEPROM (機能 : On/Off)	00h (機能 Off)

### 1 6-1-2-3 4. MSI Next Item : Offset = PCI CFG 61h/Local 61h

Bit	Description	Read	Write	Reset
7:0	Next Item : 機能リンク・リスト内における次の構造体の先頭ポインタ。 00h : 最終リンク・リスト 40h : Hot Swap 機能 48h : PM 機能 50h : VPD 機能	Yes	EEPROM	00h

### 1 6-1-2-3 5. MSI Control : Offset = PCI CFG 62h/Local 62h

Bit	Description	Read	Write	Reset
0	MSI_En : MSI 機能のイネーブル・ビット。 イネーブルされると MSI 機能により割り込みサービスを要求します。 ディセーブルでは、割り込みサービスは INTA# ラインを使用し要求します。 0 : ディセーブル 1 : イネーブル	Yes	Yes	0
3:1	Multiple Message Capable : 必要とするメッセージの数を示すステータス・ビット。 000 : 1 種類 001 : 2 種類 010 : 4 種類... APIC22A では、1 種類のメッセージのサポートです。	Yes	No	000 (固定)
6:4	Multiple Message Enable : 使用許可されるメッセージの数を設定。 デバイスは、ここで指定された数分のメッセージを生成できます。 000 : 1 種類 001 : 2 種類 010 : 4 種類... APIC22A では、1 種類のメッセージのサポートです。	Yes	Yes	000
7	64Bit Address Capable : 64Bit のメッセージ・アドレスが生成可能であることを示すステータス・ビット。 0 : 生成不可 1 : 生成可 APIC22A では、未対応です。	Yes	No	0 (固定)
15:8	Reserved :	Yes	No	00h (固定)

### 1 6-1-2-3 6. MSI Address : Offset = PCI CFG 64h/Local 64h

Bit	Description	Read	Write	Reset
31:0	Address : MSI メモリ・ライト・トランザクション用の 4Byte バウンダリのアドレスを設定。 デバイスが割り込みを要求するとき、本レジスタのアドレス値に対しメモリ・ライトが行われます。 下位 2Bit(Bit[1:0])は、値'00'固定のリード・オンリー・ビットです。	Yes	Yes	00000000h

### 1 6-1-2-3 7. MSI Data : Offset = PCI CFG 68h/Local 68h

Bit	Description	Read	Write	Reset
15:0	Data : MSI メモリ・ライト・トランザクション用のメッセージ・データを設定。 デバイスが割り込みを要求するとき、本レジスタのデータ値をメモリ・ライトで転送します。 なお、ライト・アクセスは Dword 単位で実行します。	Yes	Yes	0000h
31:16	Reserved :	Yes	No	0000h

## 16-2. アダプタ・コンフィギュレーション・レジスタ

アダプタ・コンフィギュレーション・レジスタは、PCI コンフィギュレーション・レジスタの BAR0 でマッピングされるアドレス空間 (128Byte) へリニアに配置し、APIC22A アダプタ動作を決定するためのレジスタです。内部レジスタは、ホスト CPU またはローカル・マスタ (CPU) からの設定が可能です。シリアル EEPROM による初期イニシャライズで、目的とするアプリケーション用にアダプタ・コンフィギュレーション・レジスタの初期設定を行うことができます。

### 16-2-1. レジスタ・マップ

Bit31		Bit16		Bit15		Bit0		Offset(HEX)	
								PCI(BAR0)	Local
Adapter Revision		Local LINT# Status		PCI INTA# / SERR# Status				00h	80h
PCI SERR# Control		Local Power Management Control		Adapter Control				04h	84h
External Interrupt Control				Internal Interrupt Control for Local		Internal Interrupt Control for PCI		08h	88h
Pin Function Control				Parallel Input/Output(PIO)		Serial EEPROM Control		0Ch	8Ch
Local Bus Control								10h	90h
PCI Target I/O Remap Address								14h	94h
PCI Target Memory Remap Address								18h	98h
PCI Target ExpROM Remap Address								1Ch	9Ch
PCI State Control								20h	A0h
Local Master I/O Remap Address								24h	A4h
Local Master Memory Remap Address								28h	A8h
Local State Control								2Ch	ACh
DMA PCI Address								30h	B0h
DMA Local Address								34h	B4h
DMA Transfer Count/Control								38h	B8h
DMA Indirect Control-word Address								3Ch	BCh
Reserved						DMA Control		40h	C0h
Timer Control		Timer Count						44h	C4h
Message Box Data Port								48h	C8h
Message Box Command Port								4Ch	CCh
IOCS1# Address Decode				IOCS0# Address Decode				50h	D0h
IOCS3# Address Decode				IOCS2# Address Decode				54h	D4h
IOCS5# Address Decode				IOCS4# Address Decode				58h	D8h
IOCS7# Address Decode				IOCS6# Address Decode				5Ch	DCh
IOCS9# Address Decode				IOCS8# Address Decode				60h	E0h
IOCS11# Address Decode				IOCS10# Address Decode				64h	E4h
IOCS13# Address Decode				IOCS12# Address Decode				68h	E8h
IOCS15# Address Decode				IOCS14# Address Decode				6Ch	ECh
I/O Chip Select Timing Control								70h	F0h
Reserved								74h	F4h
Reserved								78h	F8h
Reserved								7Ch	FCh

#### Notes :

Reserved のレジスタは、読み出しに対し値"0"を返します。  
また、書き込みに対しては、値"0"としてください。  
機能拡張のためレジスタを追加する場合があります。

## 1 6-2-2. レジスタの説明

### 1 6-2-2-1. PCI INTA#/SERR# Status : Offset = PCI BAR0 00h/Local 80h

Bit	Description	Read	Write	Reset
0	IRQ0 Status Flag : IRQ0 端子が INTA#出力要因に構成されているときの状態を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 Edge Mode では、値"1"を書き込むことによりフラグがクリアされます。 Level Mode では、外部デバイスにより IRQ0 信号がディアサートされるまで値"1"を保持します。	Yes	Yes(Clear)	0
1	IRQ1 Status Flag : 0 : 割り込み未検出 1 : 割り込み検出	Yes	Yes(Clear)	0
2	IRQ2 Status Flag : 0 : 割り込み未検出 1 : 割り込み検出	Yes	Yes(Clear)	0
3	IRQ3 Status Flag : 0 : 割り込み未検出 1 : 割り込み検出	Yes	Yes(Clear)	0
5:4	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	00 (固定)
6	Retry Limit SERR# Flag : Retry 制限による SERR#出力を示すフラグ。 0 : SERR#未検出 1 : SERR#検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
7	IRQ SERR# Flag : IRQx 入力要因とする SERR#出力を示すフラグ。 0 : SERR#未検出 1 : SERR#検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
8	Target Abort INTA# Flag : Target Abort の実行または受信時の INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
9	Master Abort INTA# Flag : Master Abort による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
10	Retry Limit INTA# Flag : リトライ制限による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
11	Message Box INTA# Flag : Message Box 機能による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
12	Wait Limit INTA# Flag : ローカルバスのウェイト制限による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
13	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)
14	Timer INTA# Flag : タイマ機能による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
15	DMATC INTA# Flag : DMA Terminal Count による INTA#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値"1"を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0

**1 6-2-2-2. Local LINT# Status : Offset = PCI BAR0 02h / Local 82h**

Bit	Description	Read	Write	Reset
0	Target Abort LINT# Flag : Target Abort の実行または受信時の LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
1	Master Abort LINT# Flag : Master Abort による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
2	Retry Limit LINT# Flag : リトライ制限による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
3	Message Box LINT# Flag : Message Box 機能による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
4	Target Lock LINT# Flag : PCI ターゲット動作時の Target Lock による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
5	Power Management LINT# Flag : Power Management 機能による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
6	Timer LINT# Flag : タイマ機能による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0
7	DMATC LINT# Flag : DMA Terminal Count による LINT#出力を示すフラグ。 0 : 割り込み未検出 1 : 割り込み検出 値“1”を書き込むことによりフラグがクリアされます。	Yes	Yes(Clear)	0

**1 6-2-2-3. Adapter Revision : Offset = PCI BAR0 03h / Local 83h**

Bit	Description	Read	Write	Reset
0	Adapter Revision : APIC22A のレビジョン・コードです (Rev 1.0)。	Yes	No	10h (固定)

#### 1 6-2-2-4. Adapter Control : Offset = PCI BAR0 04h/Local 84h

Bit	Description	Read	Write	Reset
0	Adapter Mode : アダプタの動作モードを示すステータス・ビット。 シリアル EEPROM による初期イニシャライズで設定します。 0 : PCI/CompactPCI Adapter Mode 1 : Reserved (設定不可)	Yes	EEPROM	0
2:1	Local Clock Mode : ローカル・バスの動作クロック・ソースを選択します。 シリアル EEPROM による初期イニシャライズで設定します。 本 Bit で選択されるクロック・ソースでローカル・バスが動作します。 同期モードが選択される場合、LCLKo 端子はローカル・バスの動作クロックを出力します。非同期モードの場合、LCLKo 端子は“L”固定となります。 00 : 非同期モード LCLKi 端子に入力されるクロックでローカル・バスが動作します。 PCI クロックとは非同期動作です。 01 : 同期モード LCLKo 端子からローカル・バスの動作クロックを出力します。 PCI クロックとの同期動作です。 10 : Reserved 設定不可 11 : Reserved 設定不可	Yes	EEPROM	00
3	Local Bus Mode : ローカル・バスの動作モードを示すステータス・ビット。 シリアル EEPROM による初期イニシャライズで設定します。 0 : 8/16Bit NonMux Mode 1 : 32Bit Mux Mode	Yes	EEPROM	0
4	Local Software Reset : LRESET#信号のアサートおよび割り込みなどの内部ステータスをクリアします。 0 : Reset Disable 1 : Reset Enable	Yes	Yes	1
7:5	Reserved : 書き込みでは、値“0”を設定してください。	Yes	No	000 (固定)
8	PCI Target Read Buffer Flush : PCI ターゲット動作の Prefetch Buffer の状態を示すフラグ。 0 : Data Empty 1 : Data Valid 値“1”を書き込むことにより Buffer(FIFO)がクリアされます。	Yes	Yes (Clear)	0
9	PCI Target Write Buffer Flush : PCI ターゲット動作の Posted Buffer の状態を示すフラグ。 0 : Data Empty 1 : Data Valid 値“1”を書き込むことにより Buffer(FIFO)がクリアされます。	Yes	Yes (Clear)	0
10	Local Master Read Buffer Flush : ローカル・マスタ動作の Prefetch Buffer の状態を示すフラグ。 0 : Data Empty 1 : Data Valid 値“1”を書き込むことにより Buffer(FIFO)がクリアされます。	Yes	Yes (Clear)	0
11	Local Master Write Buffer Flush : ローカル・マスタ動作の Posted Buffer の状態を示すフラグ。 0 : Data Empty 1 : Data Valid 値“1”を書き込むことにより Buffer(FIFO)がクリアされます。	Yes	Yes (Clear)	0
15:12	Reserved : 書き込みでは、値“0”を設定してください。	Yes	No	0h (固定)

1 6-2-2-5. Local Power Management Control : Offset = PCI BAR0 06h / Local 86h

Bit	Description	Read	Write	Reset
1:0	PM LRESET# Control : PM ステートによる LRESET#の制御を選択します。 本 Bit で選択された PM ステートに指定されると LRESET#をアサートします。 PM 機能が許可されているときのみに有効です。 00 : Disable(LRESET#制御無し) 01 : PM D1~D3 および D0unini ステートで LRESET#アサート 10 : PM D2~D3 および D0unini ステートで LRESET#アサート 11 : PM D3 および D0unini ステートで LRESET#アサート	Yes	Yes	00
3:2	Reserved : 書き込みでは、値"0"を設定してください。	Yes	Yes	00
4	IRQ Wake Event Enable : IRQx 入力による PM Wake Event 生成の許可ビット。 0 : Disable PM Wake Event は生成しません。 1 : Enable 指定される IRQx 信号のアクティブ状態を検出すると(PME#)をアサートします。 IRQx 端子の状態はアクティブ・ローの非同期エッジで検出します。 なお、対象の IRQx 端子が INTA#要因に指定されている場合、INTA#もアサートされます。	Yes	Yes	0
6:5	Wake Event IRQ Select : PM Wake Event の要因となる IRQx 端子を選択します。 00 : IRQ0 01 : IRQ1 10 : IRQ2 11 : IRQ3	Yes	Yes	00
7	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)

1 6-2-2-6. PCI SERR# Control : Offset = PCI BAR0 07h / Local 87h

Bit	Description	Read	Write	Reset
0	Target Abort SERR# Enable : PCI マスタ動作時の Target Abort 受信による SERR#出力許可ビット。 なお、実際の SERR#出力には PCI Configuration 空間の「Command Register : SERR# Enable」が許可されている必要があります。 0 : Disable 1 : Enable	Yes	Yes	0
1	Master Abort SERR# Enable : PCI マスタ動作時の Master Abort 実行による SERR#出力許可ビット。 なお、実際の SERR#出力には PCI Configuration 空間の「Command Register : SERR# Enable」が許可されている必要があります。 0 : Disable 1 : Enable	Yes	Yes	0
2	Retry Limit SERR# Enable : Retry Limit 機能使用時、Retry 制限が行われたときの SERR#出力許可ビット。 なお、実際の SERR#出力には PCI Configuration 空間の「Command Register : SERR# Enable」が許可されている必要があります。 0 : Disable 1 : Enable	Yes	Yes	0
3	Data Parity Error SERR# Enable : PCI マスタ動作時の Data Parity Error 検出による SERR#出力許可ビット。 なお、実際の SERR#出力には PCI Configuration 空間の「Command Register : SERR# Enable」が許可されている必要があります。 0 : Disable 1 : Enable	Yes	Yes	0
4	IRQ SERR# Enable : IRQx 入力を要因とする SERR#出力の許可ビット。 なお、実際の SERR#出力には PCI Configuration 空間の「Command Register : SERR# Enable」が許可されている必要があります。 0 : Disable SERR#出力は生成しません。 1 : Enable 指定される IRQx 信号のアクティブ状態を検出すると SERR##をアサートします。 IRQx 端子の状態は LCLK によるアクティブ・ローの同期エッジで検出します。 なお、対象の IRQx 端子が INTA#要因に指定されている場合、INTA#もアサートされます。	Yes	Yes	0
6:5	SERR# Factor IRQ Select : SERR#出力の要因となる IRQx 端子を選択します。 00 : IRQ0 01 : IRQ1 10 : IRQ2 11 : IRQ3	Yes	Yes	00
7	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)

**1 6-2-2-7. Internal Interrupt Control for PCI(INTA#/MSI) : Offset = PCI BAR0 08h/Local 88h**

Bit	Description	Read	Write	Reset
0	Target Abort INTA# Enable : Target Abort の実行または受信したときの INTA#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
1	Master Abort INTA# Enable : Master Abort が行われたときの INTA#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
2	Retry Limit INTA# Enable : Retry Limit 機能使用時、リトライ制限が行われたときの INTA#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
3	Message Box INTA# Enable : Message Box 機能による INTA#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
4	Wait Limit INTA# Enable : ローカル・バスの Wait Limit 機能使用時、ウェイト制限が行われたときの INTA#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
5	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)
6	Timer INTA# Enable : タイマ機能による INTA#出力の許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
7	DMATC INTA# Enable : DMA ターミナル・カウンタによる INTA#出力の許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0

**1 6-2-2-8. Internal Interrupt Control for Local(LINT#) : Offset = PCI BAR0 09h/Local 89h**

Bit	Description	Read	Write	Reset
0	Target Abort LINT# Enable : Target Abort の実行または受信したときの LINT#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
1	Master Abort LINT# Enable : Master Abort が行われたときの LINT#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
2	Retry Limit LINT# Enable : Retry Limit 機能使用時、リトライ制限が行われたときの LINT#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
3	Message Box LINT# Enable : Message Box 機能による LINT#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
4	Target Lock LINT# Enable : PCI ターゲット動作時、リソース・ロックが行われたときの LINT#出力許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
5	Power Management LINT# Enable : PM 機能使用時、PM ステートの変更による LINT#出力の許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
6	Timer LINT# Enable : タイマ機能による LINT#出力の許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0
7	DMATC LINT# Enable : DMA ターミナル・カウンタによる LINT#出力の許可ビット。 0 : Disable 1 : Enable	Yes	Yes	0

### 1 6-2-2-9. External Interrupt Control : Offset = PCI BAR0 0Ah/Local 8Ah

Bit	Description	Read	Write	Reset
0	<p>IRQ0 Interrupt Enable :</p> <p>IRQ0 端子入力による PCI INTA#出力の許可ビット。            実際の INTA#出力には、PCI Configuration 空間の「Interrupt Pin Register : INTA# Function」を有効にする必要があります。            INTA#機能が無効の場合は、内部ステータスのみ反映されます。            なお、INTA#出力以外の機能ピン(DMA Start Factor/SERR# Factor/PM Wake Event)に構成される場合も本 Bit の設定は有効です。            0 : Disable 1 : Enable</p>	Yes	Yes	0
1	<p>IRQ0 Interrupt Type :</p> <p>IRQ0 端子の入力方式を選択します。            0 : Level            有効なレベル入力が検出されると INTA#をアサートします。INTA#のアサート状態は、外部デバイスにより IRQ0 がディアサートされるまで続きます。            1 : Edge            有効なエッジ入力が検出されると INTA#をアサートします。INTA#のアサート状態は、内部ステータスの対応するビットがクリアされるまで続きます。            エッジ入力は、2 要因まで内部で保持されます。</p>	Yes	Yes	0
2	<p>IRQ0 Polarity :</p> <p>IRQ0 端子の入力極性を選択します。            0 : Active Low 1 : Active High</p>	Yes	Yes	0
3	<p>IRQ0 Priority Control :</p> <p>IRQ0 端子入力の優先順位制御を行うかどうかを選択します。            優先順位制御は、レベル/エッジ方式共に有効です。            0 : Disable            優先順位制御は行われません。            有効な入力が検出されるとそのまま内部ステータスに反映し INTA#をアサートします。            他の Disable 設定されている IRQx が同時に発生した場合も内部ステータスに反映され複数の IRQ 要因が存在することになります。            なお、優先順位制御が行われている IRQx がサービス要求状態にあるときは、その IRQx の割り込み処理が終了するまで受付られません。            1 : Enable            優先順位制御が行われます。            全ての IRQx が優先順位制御に指定されるときは、サービス要求が同時発生しても優先順位の高い IRQx 要因のみが内部ステータスに反映されます。            ・IRQx 優先順位 : IRQ0 &gt; IRQ1 &gt; IRQ2 &gt; IRQ3            なお、優先順位制御が行われていない IRQx がサービス要求状態にあるときでも、優先順位制御が行われている IRQx 要因が発生すると内部ステータスに反映されます。</p>	Yes	Yes	0
4	<p>IRQ1 Interrupt Enable :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0
5	<p>IRQ1 Interrupt Type :</p> <p>0 : Level 1 : Edge</p>	Yes	Yes	0
6	<p>IRQ1 Polarity :</p> <p>0 : Active Low 1 : Active High</p>	Yes	Yes	0
7	<p>IRQ1 Priority Control :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0
8	<p>IRQ2 Interrupt Enable :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0
9	<p>IRQ2 Interrupt Type :</p> <p>0 : Level 1 : Edge</p>	Yes	Yes	0
10	<p>IRQ2 Polarity :</p> <p>0 : Active Low 1 : Active High</p>	Yes	Yes	0
11	<p>IRQ2 Priority Control :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0
12	<p>IRQ3 Interrupt Enable :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0
13	<p>IRQ3 Interrupt Type :</p> <p>0 : Level 1 : Edge</p>	Yes	Yes	0
14	<p>IRQ3 Polarity :</p> <p>0 : Active Low 1 : Active High</p>	Yes	Yes	0
15	<p>IRQ3 Priority Control :</p> <p>0 : Disable 1 : Enable</p>	Yes	Yes	0



1 6-2-2-1 0. Serial EEPROM Control : Offset = PCI BAR0 0Ch/Local 8Ch

Bit	Description	Read	Write	Reset
0	EESK/SCL(EEPROM Serial Clock) : シリアル EEPROM へのシリアル・クロック出力です。 EEPROM Select Bit の状態により端子機能が決まります。 ・3-Wire EEPROM Mode 0 : "L"出力 1 : "H"出力 ・2-Wire EEPROM Mode 0 : "L"出力 1 : "HiZ"	Yes	Yes	0(3-Wire) 1(2-Wire)
1	EECS(EEPROM Chip Select) : シリアル EEPROM へのチップ・セレクト出力です。 本 Bit は、3-Wire EEPROM Mode に構成されるときのみ有効です。 ・3-wire EEPROM Mode 0 : "L"出力 1 : "H"出力 ・2-wire EEPROM(I2C) Mode 0 : "HiZ" 1 : "HiZ"	Yes	Yes	0
2	EEDI/SDA(EEPROM Serial Data Input or In/Out) : シリアル EEPROM へのデータ出力、または入出力です。 EEPROM Select Bit の状態により端子機能が決まります。 ・3-Wire EEPROM Mode 0 : "L"出力 1 : "H"出力 ・2-Wire EEPROM Mode 0 : "L"出力 1 : "HiZ"/Input	Yes	Yes	0(3-Wire) 1(2-Wire)
3	EEDO(EEPROM Serial Data Output) : シリアル EEPROM からのデータ入力です。 EEDO 端子には、プルアップ処理が必要です。 本 Bit は、3-Wire EEPROM Mode に構成されるときのみ有効です。 ・3-Wire EEPROM Mode 0 : "L"入力 1 : "H"入力	Yes	No	1
4	EEPROM Status : シリアル EEPROM の存在を示すステータス・ビット。 0 : EEPROM 未検出 シリアル EEPROM が接続されていない状態。 1 : EEPROM 検出 3-Wire EEPROM では、Dummy Bit を検出。 2-Wire EEPROM では、ACK Bit を検出。	Yes	No	0
5	EEPROM Reload : シリアル EEPROM からのイニシャライズ・データの再ロード制御。 0 : No Action 1 : Reload	Yes	Yes	0
6	EEPROM Fault : シリアル EEPROM のデータが無効データであることを示すステータス・ビット。 0 : 有効データ 有効な Serial EEPROM Status を検出。 1 : 無効データ 無効な Serial EEPROM Status を検出。	Yes	No	0
7	EEPROM Select : EESSEL 端子で選択されたシリアル EEPROM の種類を示すステータス・ビット。 EESSEL 端子は、「PCI RES# & !HEALTHY#」でサンプリングされシリアル EEPROM の種類が決まります。 0 : 3-Wire EEPROM 1 : 2-Wire EEPROM	Yes	No	0

### 1 6-2-2-1 1. Parallel Input/Output(PIO) : Offset = PCI BAR0 0Dh/Local 8Dh

Bit	Description	Read	Write	Reset
0	PIO0 : PIO0 の入出力ビット。 PIO 機能は、「Pin Function Control Register : PIOx Direction Select」 で入力または出力端子に構成可能です。 ・読み出し動作 PIO0 端子の状態がそのまま反映されます。 ・書き込み動作 0 : "L"出力 1 : "H"出力	Yes	Yes	0
1	PIO1 : PIO1 の入出力ビット。	Yes	Yes	0
2	PIO2 : PIO2 の入出力ビット。	Yes	Yes	0
3	PIO3 : PIO3 の入出力ビット。	Yes	Yes	0
7:4	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0h (固定)

### 1 6-2-2-1 2. Pin Function Control : Offset = PCI BAR0 0Eh/Local 8Eh

Bit	Description	Read	Write	Reset
0	LA9/IOCS8# Pin Select : 多機能端子で構成される端子機能を選択します。 端子機能は、ローカルバスが 8/16Bit NonMux Mode のときに有効です。 IOCSx#端子に構成される場合、「IOCSx Address Decode Register」と「I/O Chip Select Timing Control Register」によりデコード範囲と出力タイミングの設定が必要です。 0 : LA9 1 : IOCS8#	Yes	Yes	0
1	LA10/IOCS9# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA10 1 : IOCS9#	Yes	Yes	0
2	LA11/IOCS10# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA11 1 : IOCS10#	Yes	Yes	0
3	LA12/IOCS11# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA12 1 : IOCS11#	Yes	Yes	0
4	LA13/IOCS12# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA13 1 : IOCS12#	Yes	Yes	0
5	LA14/IOCS13# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA14 1 : IOCS13#	Yes	Yes	0
6	LA15/IOCS14# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA15 1 : IOCS14#	Yes	Yes	0
7	LA16/IOCS15# Pin Select : 多機能端子で構成される端子機能を選択します。 0 : LA16 1 : IOCS15#	Yes	Yes	0
8	PIO0 Direction Select : PIO 端子の入出力方向を選択します。 0 : 入力 1 : 出力	Yes	Yes	0
9	PIO1 Direction Select : PIO 端子の入出力方向を選択します。 0 : 入力 1 : 出力	Yes	Yes	0
10	PIO2 Direction Select : PIO 端子の入出力方向を選択します。 0 : 入力 1 : 出力	Yes	Yes	0
11	PIO3 Direction Select : PIO 端子の入出力方向を選択します。 0 : 入力 1 : 出力	Yes	Yes	0
15:12	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0h (固定)

### 1 6-2-2-1 3. Local Bus Control : Offset = PCI BAR0 10h/Local 90h

Bit	Description	Read	Write	Reset
0	Local Bus Width : ローカル・バスのデータ・バス幅を選択します。 本 Bit は、ローカル・バスが 8/16Bit NonMux Mode のときに有効です。 0 : Local 8Bit Bus 1 : Local 16Bit Bus	Yes	PCI EEPROM	0
1	Local Bus Endian Select : ローカル・バスのバイト・データ配置を選択します。 0 : Little Endian 1 : Big Endian	Yes	PCI EEPROM	0
2	AS#/ALE Pin Select : AS#/ALE 端子の機能を選択します。 本 Bit は、ローカル・バスが 32Bit Mux Mode のときに有効です。 0 : AS#(Address Strobe) Pin バス・サイクル開始時、アドレスが出力されている間、“Low”を出力します。 1 : ALE(Address Latch Enable) Pin バス・サイクル開始点で、1クロック分の“High”パルスを出力します。	Yes	Yes	0
3	Reserved : 書き込みでは、値“0”を設定してください。	Yes	No	0 (固定)
5:4	Local Memory Read Address Wait : PCI ターゲット/DMA 転送におけるメモリ・リード時のアドレス・ウェイトを選択します。 ・ 8/16Bit NonMux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK) ・ 32Bit Mux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 1x : Reserved(設定不可)	Yes	Yes	11
8:6	Local Memory Read Data Wait : PCI ターゲット/DMA 転送におけるメモリ・リード時のデータ・ウェイトを選択します。 なお、8/16Bit NonMux Mode のとき No Wait 設定では、IORDY 端子によるウェイト挿入は行われません。 ・ 8/16Bit NonMux Mode 000 : No Wait(1LCLK) 001 : 1Wait(2LCLK) 010 : 2Wait(3LCLK) 011 : 3Wait(4LCLK) 100 : 4Wait(5LCLK) 101 : 5Wait(6LCLK) 110 : 6Wait(7LCLK) 111 : 7Wait(8LCLK) ・ 32Bit Mux Mode 000 : No Wait(LRDY#アサート点の LCLK で転送データ成立) 001 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立) x1x/1xx : Reserved(設定不可)	Yes	Yes	111
10:9	Local Memory Write Address Wait : PCI ターゲット/DMA 転送におけるメモリ・ライト時のアドレス・ウェイトを選択します。 ・ 8/16Bit NonMux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK) ・ 32Bit Mux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 1x : Reserved(設定不可)	Yes	Yes	11
13:11	Local Memory Write Data Wait : PCI ターゲット/DMA 転送におけるメモリ・ライト時のデータ・ウェイトを選択します。 なお、8/16Bit NonMux Mode のとき No Wait 設定では、IORDY 端子によるウェイト挿入は行われません。 ・ 8/16Bit NonMux Mode 000 : No Wait(1LCLK) 001 : 1Wait(2LCLK) 010 : 2Wait(3LCLK) 011 : 3Wait(4LCLK) 100 : 4Wait(5LCLK) 101 : 5Wait(6LCLK) 110 : 6Wait(7LCLK) 111 : 7Wait(8LCLK) ・ 32Bit Mux Mode 000 : No Wait(LRDY#アサート点の LCLK で転送データ成立) 001 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立) x1x/1xx : Reserved(設定不可)	Yes	Yes	111
15:14	Local Memory Address Hold Time : PCI ターゲット/DMA 転送におけるメモリ・アクセス時のアドレス・ホールドを選択します。 本 Bit は、ローカル・バスが 8/16Bit NonMux Mode のときに有効です。 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK)	Yes	Yes	11

17:16	<p>Local I/O Read Address Wait : PCI ターゲット/DMA 転送における I/O リード時のアドレス・ウェイトを選択します。</p> <ul style="list-style-type: none"> <li>8/16Bit NonMux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK)</li> <li>32Bit Mux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 1x : Reserved(設定不可)</li> </ul>	Yes	Yes	11
20:18	<p>Local I/O Read Data Wait : PCI ターゲット/DMA 転送における I/O リード時のデータ・ウェイトを選択します。 なお、8/16Bit NonMux Mode のとき No Wait 設定では、IORDY 端子によるウェイト挿入は行われません。</p> <ul style="list-style-type: none"> <li>8/16Bit NonMux Mode 000 : No Wait(1LCLK) 001 : 1Wait(2LCLK) 010 : 2Wait(3LCLK) 011 : 3Wait(4LCLK) 100 : 4Wait(5LCLK) 101 : 5Wait(6LCLK) 110 : 6Wait(7LCLK) 111 : 7Wait(8LCLK)</li> <li>32Bit Mux Mode 000 : No Wait(LRDY#アサート点の LCLK で転送データ成立) 001 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立) x1x/1xx : Reserved(設定不可)</li> </ul>	Yes	Yes	111
22:21	<p>Local I/O Write Address Wait : PCI ターゲット/DMA 転送における I/O ライト時のアドレス・ウェイトを選択します。</p> <ul style="list-style-type: none"> <li>8/16Bit NonMux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK)</li> <li>32Bit Mux Mode 00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 1x : Reserved(設定不可)</li> </ul>	Yes	Yes	11
25:23	<p>Local I/O Write Data Wait : PCI ターゲット/DMA 転送における I/O ライト時のデータ・ウェイトを選択します。 なお、8/16Bit NonMux Mode のとき No Wait 設定では、IORDY 端子によるウェイト挿入は行われません。</p> <ul style="list-style-type: none"> <li>8/16Bit NonMux Mode 000 : No Wait(1LCLK) 001 : 1Wait(2LCLK) 010 : 2Wait(3LCLK) 011 : 3Wait(4LCLK) 100 : 4Wait(5LCLK) 101 : 5Wait(6LCLK) 110 : 6Wait(7LCLK) 111 : 7Wait(8LCLK)</li> <li>32Bit Mux Mode 000 : No Wait(LRDY#アサート点の LCLK で転送データ成立) 001 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立) x1x/1xx : Reserved(設定不可)</li> </ul>	Yes	Yes	111
27:26	<p>Local I/O Address Hold Time : PCI ターゲット/DMA 転送におけるメモリ・アクセス時のアドレス・ホールドを選択します。 本 Bit は、ローカル・バスが 8/16Bit NonMux Mode のときに有効です。</p> <p>00 : No Wait(1LCLK) 01 : 1Wait(2LCLK) 10 : 2Wait(3LCLK) 11 : 3Wait(4LCLK)</p>	Yes	Yes	11
29:28	<p>Access to Access Idle Time : PCI ターゲット/DMA 転送における各バス・サイクル間の最小アイドル時間を選択します。 8/16Bit NonMux Mode では、リード・サイクルの後にライト・サイクルが続く場合に挿入されます。32Bit Mux Mode では、全てのバス・サイクル間に挿入されます。</p> <p>00 : Min 1LCLK 01 : Min 2LCLK 10 : Min 3LCLK 11 : Min 4LCLK</p>	Yes	Yes	11

30	<p><b>Local Master Read Timing Control :</b>  ローカル・マスタからリード・アクセスを受けたときのデータ・タイミングを選択します。  タイミングは IORDY/LRDY#信号を基準とするデータの有効出力点を示します。</p> <ul style="list-style-type: none"> <li>• 8/16Bit NonMux Mode <ul style="list-style-type: none"> <li>0 : No Wait(IORDY アサート点の LCLK)</li> <li>1 : 1Wait(IORDY アサート点の 1LCLK 前)</li> </ul> </li> <li>• 32Bit Mux Mode <ul style="list-style-type: none"> <li>0 : No Wait(LRDY#アサート点の LCLK で転送データ成立)</li> <li>1 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立)</li> </ul> </li> </ul>	Yes	PCI EEPROM	1
31	<p><b>Local Master Write Timing Control :</b>  ローカル・マスタからライト・アクセスを受けたときのデータ・タイミングを選択します。  タイミングは、8/16Bit NonMux Mode では IOW#/MWR#信号を基準とし、32Bit Mux Mode では LRDY#信号を基準とするデータ取り込み点を示します。</p> <ul style="list-style-type: none"> <li>• 8/16Bit NonMux Mode <ul style="list-style-type: none"> <li>0 : No Wait(IOW#/MWR#アサート点の 1LCLK 後)</li> <li>1 : 1Wait(IOW#/MWR#アサート点の 2LCLK 後)</li> </ul> </li> <li>• 32Bit Mux Mode <ul style="list-style-type: none"> <li>0 : No Wait(LRDY#アサート点の LCLK で転送データ成立)  なお、1*Data は、LFRAME#アサートから 2LCLK 以内にライト・データが確定していなければなりません。</li> <li>1 : 1Wait(LRDY#アサート点の次の LCLK で転送データ成立)  なお、1*Data は、LFRAME#アサートから 3LCLK 以内にライト・データが確定していなければなりません。</li> </ul> </li> </ul>	Yes	PCI EEPROM	1

Preliminary

1 6-2-2-1 4. PCI Target I/O Remap Address : Offset = PCI BAR0 14h / Local 94h

Bit	Description	Read	Write	Reset
0	I/O LOCK# Status : PCI ターゲット動作において、PCI Configuration Register の BAR1 (I/O ターゲット) で示される空間がロックされたことを示すステータス・ビット。 0 : No Lock 1 : Locked	Yes	No	0
1	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)
31:2	I/O Remap Address : PCI ターゲット動作 (PCI to Local) で、I/O アクセスを行うときのリマップ・アドレスを設定します。 PCI Configuration Register の BAR1 で指定される範囲外(Decode 対象 Bit)のアドレスが本設定値に変換されローカル・アドレスとして出力します。BAR1 デコード範囲内のアドレスは、PCI アドレスがそのままローカル・アドレスに反映されます。	Yes	Yes	00000000h

1 6-2-2-1 5. PCI Target Memory Remap Address : Offset = PCI BAR0 18h / Local 98h

Bit	Description	Read	Write	Reset
0	Memory LOCK# Status : PCI ターゲット動作において、PCI Configuration Register の BAR2 (メモリ・ターゲット) で示される空間がロックされたことを示すステータス・ビット。 0 : No Lock 1 : Locked	Yes	No	0
3:1	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	000 (固定)
31:4	Memory Remap Address : PCI ターゲット動作 (PCI to Local) で、メモリ・アクセスを行うときのリマップ・アドレスを設定します。 PCI Configuration Register の BAR2 で指定される範囲外(Decode 対象 Bit)のアドレスが本設定値に変換されローカル・アドレスとして出力します。BAR2 デコード範囲内のアドレスは、PCI アドレスがそのままローカル・アドレスに反映されます。	Yes	Yes	0000000h

1 6-2-2-1 6. PCI Target ExpROM Remap Address : Offset = PCI BAR0 1Ch / Local 9Ch

Bit	Description	Read	Write	Reset
0	ExpROM LOCK# Status : PCI ターゲット動作において、PCI Configuration Register の ExpROM Base Address で示される空間がロックされたことを示すステータス・ビット。 0 : No Lock 1 : Locked	Yes	No	0
10:1	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	000h (固定)
31:11	ExpROM Remap Address : PCI ターゲット動作 (PCI to Local) で、ExpROM アクセスを行うときのリマップ・アドレスを設定します。 PCI Configuration Register の ExpROM Base Address で指定される範囲外(Decode 対象 Bit)のアドレスが本設定値に変換されローカル・アドレスとして出力します。 ExpROM デコード範囲内のアドレスは、PCI アドレスがそのままローカル・アドレスに反映されます。	Yes	Yes	00000h

### 1 6-2-2-17. PCI State Control : Offset = PCI BAR0 20h/Local A0h

Bit	Description	Read	Write	Reset
0	<p>PCI Read Mode for I/O :</p> <p>PCIからのI/Oリード・アクセスに対するAPIC22Aの動作を設定します。</p> <p>0 : Disable(Direct RD)            PCI Target Latency の要求範囲内でローカル・バスからデータが読み出されるまで待ちます。</p> <p>1 : Enable(Delayed RD)            リード・アクセス受付時、直ちにリトライ処理が行われ、内部バッファに読み出しデータが整った時点でDelayed RDが成立します。</p>	Yes	Yes	0
1	<p>PCI Read Mode for Memory :</p> <p>PCIからのメモリ・リード・アクセスに対するAPIC22Aの動作を設定します。</p> <p>0 : Disable(Direct RD/Prefetch RD)            PCI Target Latency の要求範囲内でローカル・バスからデータが読み出されるまで待ちます。</p> <p>1 : Enable(Delayed RD/Prefetch RD)            リード・アクセス受付時、直ちにリトライ処理が行われ、内部バッファに読み出しデータが整った時点でDelayed RDまたはPrefetch RDが成立します。</p>	Yes	Yes	0
2	<p>PCI Write Mode for I/O :</p> <p>PCIからのI/Oライト・アクセスに対するAPIC22Aの動作を設定します。</p> <p>0 : Disable(Direct WR/Posted WR)            Posted Buffer の Full 状態またはDirect WR 動作時、PCI Target Latency の要求範囲内でPosted Buffer の空きまたはローカル・バスへの書き込みが終了するまで待ちます。</p> <p>1 : Enable(Delayed WR/Posted WR)            Posted Buffer の Full 状態またはDirect WR 動作中、直ちにリトライ処理が行われ、Posted Buffer の空きまたはローカル・バスへの書き込みが終了した時点でPosted WR または Delayed WR が成立します。</p>	Yes	Yes	0
3	<p>PCI Write Mode for Memory :</p> <p>PCIからのメモリ・ライト・アクセスに対するAPIC22Aの動作を設定します。</p> <p>0 : Disable(Direct WR/Posted WR)            Posted Buffer の Full 状態またはDirect WR 動作時、PCI Target Latency の要求範囲内でPosted Buffer の空きまたはローカル・バスへの書き込みが終了するまで待ちます。</p> <p>1 : Enable(Delayed WR/Posted WR)            Posted Buffer の Full 状態またはDirect WR 動作中、直ちにリトライ処理が行われ、Posted Buffer の空きまたはローカル・バスへの書き込みが終了した時点でPosted WR または Delayed WR が成立します。</p>	Yes	Yes	0
4	<p>PCI I/O Write Buffer Select :</p> <p>PCIからのI/Oライト・データの格納バッファを選択します。</p> <p>0 : Direct Buffer に格納            PCI I/O ライト動作はDirect WR となり、ローカル・バスの書き込み動作が終了するまでリトライ処理が行われます。</p> <p>1 : Posted Buffer に格納            PCI I/O ライト動作はPosted WR となり、Posted Buffer の空き領域が無くなるまでライト・データを受け付けます。</p>	Yes	Yes	0
5	<p>PCI Memory Write Buffer Select :</p> <p>PCIからのメモリ・ライト・データの格納バッファを選択します。</p> <p>0 : Direct Buffer に格納            PCI メモリ・ライト動作はDirect WR となり、ローカル・バスの書き込み動作が終了するまでリトライ処理が行われます。</p> <p>1 : Posted Buffer に格納            PCI メモリ・ライト動作はPosted WR となり、Posted Buffer の空き領域が無くなるまでライト・データを受け付けます。</p>	Yes	Yes	0
6	<p>PCI I/O Read No Local Prefetch :</p> <p>ローカル・バスのPrefetch 動作中にPCIからI/Oリード要求が発生した場合の動作を選択します。</p> <p>0 : Disable            PCI I/O リード要求は、Local Prefetch が終了するまでリトライ処理されます。Prefetch されたデータは有効状態を保持します。</p> <p>1 : Enable            PCI I/O リード要求が発生すると、ローカル・バスではPrefetch 動作を終了しI/Oリードが起動します。Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。</p>	Yes	Yes	0

7	<p><b>PCI I/O Write No Local Prefetch :</b> ローカル・バスの Prefetch 動作中に PCI から I/O ライト要求が発生した場合の動作を選択します。</p> <p>0 : Disable PCI I/O ライト要求は、Local Prefetch が終了するまでリトライ処理されます。Prefetch されたデータは有効状態を保持します。</p> <p>1 : Enable PCI I/O ライト要求が発生すると、ローカル・バスでは Prefetch 動作を終了し I/O ライトが起動します。Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。</p>	Yes	Yes	0
8	<p><b>PCI Data Parity Mode :</b> PCI からのライト・データ (I/O, メモリ) にパリティ・エラーが発生した場合の動作を選択します。</p> <p>0 : Disable パリティ・エラーの有無に関係なくローカル・バスのライト動作が行われます。</p> <p>1 : Enable パリティ・エラー検出時、対象フレームの無効化処理が行われ、ローカル・バスのライト動作は行われません。</p>	Yes	Yes	0
9	<p><b>PCI Target Latency Control :</b> PCI ターゲット動作における PCI Initial Latency(16Clock Rule)および Subsequent Latency(8Clock Rule)の取り扱いを設定します。</p> <p>なお、ローカル・マスタ機能が許可されている場合、Target Latency は有効状態を保持します。</p> <p>0 : PCI Target Latency Enable PCI 規格準拠で使用する場合、レイテンシ・ルールを有効とします。</p> <p>1 : PCI Target Latency Disable レイテンシ・ルールは無効となり、データ転送が成立するまで PCI バスを占有します。</p>	Yes	Yes	0
10	<p><b>PCI I/O Burst Addressing Mode :</b> PCI からの I/O バースト転送時のアドレス制御方法を選択します。</p> <p>I/O バーストは、AD[1:0]=00, C/BE#[3:0]=0000 の場合のみ受け付けます。その他は Disconnect でバス・サイクルを終了します。</p> <p>なお、このときのローカル・バス・サイクルは全てシングル・アクセスで処理されます。</p> <p>0 : 固定アドレス 1 : リニア・アドレス・インクリメント</p>	Yes	Yes	0
11	<p><b>PCI Memory Write Combine Enable :</b> PCI からのメモリ・ライトのコンバイン処理を選択します。</p> <p>コンバイン処理は、Posted WR のときに有効です。</p> <p>なお、I/O ライトや Data Parity Mode が許可されているときのメモリ・ライトでは、コンバイン処理は行われません。</p> <p>0 : Disable PCI メモリ・ライトは、全てことなるフレームとして処理します。</p> <p>1 : Enable 4Byte バウンダリの連続する PCI メモリ・ライトは、単一フレームにコンバイン処理します。</p>	Yes	Yes	0
13:12	<p><b>Reserved :</b> 書き込みでは、値"0"を設定してください。</p>	Yes	No	00 (固定)
14	<p><b>Local Memory Prefetch Enable :</b> ローカル・メモリに対する Prefetch 制御を選択します。</p> <p>0 : Prefetch Disable(Direct RD) ローカル・バスのメモリ・リードは、PCI からの C/BE#[3:0]で示される有効バイト・レーンのアクセスで処理されます。</p> <p>1 : Prefetch Enable(Prefetch RD) ローカル・バスのメモリ・リードは、Prefetch カウント分の先読み動作で行われます。先読み動作は、PCI からの C/BE#[3:0]で示されるバイト・レーンは全て有効であるものとして処理されます。</p>	Yes	Yes	0
15	<p><b>Local Memory Prefetch Continuous Mode :</b> Prefetch RD の動作モードを選択します。</p> <p>0 : Prefetch Single Mode PCI メモリ・リード・アクセスの Completion で、ローカル・バスの Prefetch 動作が終了します。このとき、Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。</p> <p>1 : Prefetch Continuous Mode PCI メモリ・リード・アクセスが Completion しても、ローカル・バスの Prefetch 動作は継続実行します。Prefetch されたデータは有効で、連続 (アドレス) する PCI メモリ・リードに対し内部バッファからデータを引き渡します。</p>	Yes	Yes	0



19:16	Local Memory Prefetch Count : 4Byte 単位の Prefetch カウントを設定します。 PCI からの初期アクセスが 4Byte バウンダリでないときでも 4Byte としてカウントされます。ただし、初期アクセスに関しローカル・バスの有効バイト・レーン正しい値を示します。 0h : 4Byte 1h : 8Byte 2h : 12Byte 3h : 16Byte 4h : 20Byte 5h : 24Byte 6h : 28Byte 7h : 32Byte 8h : 36Byte 9h : 40Byte Ah : 44Byte Bh : 48Byte Ch : 52Byte Dh : 56Byte Eh : 60Byte Fh : 64Byte	Yes	Yes	0h
20	Force DMA Mode : DMA 転送時の PCI バス動作を選択します。 0 : Disable 起動中の DMA 転送は、PCI Configuration 空間「Master Latency Timer」の設定値に従い転送制御が行われます。 タイムアウトが発生すると、バースト・サイクルを終了します。 1 : Enable PCI Configuration 空間「Master Latency Timer」の設定値を無効化します。 タイムアウトが発生しても、バースト・サイクルを継続実行します。	Yes	Yes	0
22:21	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	00 (固定)
23	PCI Retry Limit Control : ローカル・マスタ・アクセスおよびDMA 転送における PCI バスのリトライ制限制御の許可/禁止を選択します。 0 : Retry Limit Disable リトライ処理は、PCI アクセスが成立するまで続きます。 1 : Retry Limit Enable リトライ処理は、16 回を単位とする「PCI Retry Limit Count」で示される回数まで繰り返されると終了します。	Yes	Yes	0
31:24	PCI Retry Limit Count : リトライ制限制御を行う場合の制限回数を設定します。 設定される制限回数は、16 回のリトライごとにカウントされます。 リトライ制限回数 = (設定値 + 1) × 16	Yes	Yes	00h

### 1 6-2-2-1 8. Local Master I/O Remap Address : Offset = PCI BAR0 24h/Local A4h

Bit	Description	Read	Write	Reset
0	I/O LOCK# Status : ローカル・マスタ動作において、「I/O Remap Address」で示される PCI I/O 空間のロックが確立したことを示すステータスビット。 0 : No Lock 1 : Locked	Yes	No	0
1	I/O LOCK# Request : ローカル・マスタ動作において、「I/O Remap Address」で示される PCI I/O 空間のロック要求を行います。 ロック要求を行う場合、ローカル・マスタからのアクセスは I/O リードでなければなりません。その他のアクセスでは、ロック・シーケンスは発生しません。 0 : Lock Disable 1 : Lock Request	Yes	Yes	0
2	PCI Space Select : PCI のアクセス空間を選択します。 ローカル・マスタからの I/O アクセスを本 Bit で選択されるアクセス空間に変換します。 0 : PCI I/O 空間 1 : PCI Configuration 空間	Yes	Yes	0
7:3	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	00h (固定)
31:8	I/O Remap Address : ローカル・マスタ動作 (Local to PCI) で、PCI I/O アクセスを行うときのリマップ・アドレスを設定します。 「I/O Remap Address」の設定値とローカル・アドレス (LA[31:8]) が示す値を加算した結果が PCI アドレスとなります。 なお、下位のローカル・アドレス (LA[7:0]) は PCI アドレスにそのまま反映されます。 また、8/16Bit NonMux Mode では、ローカル・アドレス (LA <sub>xx</sub> ) 以外の機能端子に構成されるとき値"0"として「I/O Remap Address」に加算されます。	Yes	Yes	000000h

### 1 6-2-2-1 9. Local Master Memory Remap Address : Offset = PCI BAR0 28h/Local A8h

Bit	Description	Read	Write	Reset
0	Memory LOCK# Status : ローカル・マスタ動作において、「Memory Remap Address」で示される PCI メモリ空間のロックが確立したことを示すステータスビット。 0 : No Lock 1 : Locked	Yes	No	0
1	Memory LOCK# Request : ローカル・マスタ動作において、「Memory Remap Address」で示される PCI メモリ空間のロック要求を行います。 ロック要求を行う場合、ローカル・マスタからのアクセスはメモリ・リードでなければなりません。その他のアクセスでは、ロック・シーケンスは発生しません。 0 : Lock Disable 1 : Lock Request	Yes	Yes	0
7:2	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	00h (固定)
31:8	Memory Remap Address : ローカル・マスタ動作 (Local to PCI) で、PCI メモリ・アクセスを行うときのリマップ・アドレスを設定します。 「Memory Remap Address」の設定値とローカル・アドレス (LA[31:8]) が示す値を加算した結果が PCI アドレスとなります。 なお、下位のローカル・アドレス (LA[7:2]) は PCI アドレスにそのまま反映されます。 また、8/16Bit NonMux Mode では、ローカル・アドレス (LA <sub>xx</sub> ) 以外の機能端子に構成されるとき値"0"として「I/O Remap Address」に加算されます。	Yes	Yes	000000h

1 6-2-2-20. Local State Control : Offset = PCI BAR0 2Ch/Local ACh

Bit	Description	Read	Write	Reset
0	Local Master Enable : ローカル・マスタ(CPU)機能の許可/禁止を設定します。 禁止状態では、ローカル・マスタからのアクセスに対し APIC22A は応答しません。 許可状態のとき、DEVCS#(Device Chip Select)信号と SPACE(0 : PCI/1 : 内部レジスタ)信号により PCI または内部レジスタにアクセス可能です。 0 : Local Master Disable 1 : Local Master Enable	Yes	PCI EEPROM	0
1	Local Master Posted-write Merging Enable : ローカル・マスタからの Posted WR データのマーキング制御を選択します。 なお、マーキング処理はメモリ・ライトが対象で、I/O ライトでは行われません。 0 : Merging Disable マーキング処理が行われず、Posted データはそのまま PCI 側へ書き込まれます。 1 : Merging Enable 4Byte バウンダリ内の Posted データはマーキング処理されます。 4Byte バウンダリ外の Posted データはそのまま PCI 側へ書き込まれます。 また、16PCI CLK 以内に次のライト・アクセスがない場合や DEVCS#のディ asserts 状態を検出すると Posted されたデータは直ちに PCI 側に書き込まれます。	Yes	Yes	0
3:2	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	00 (固定)
4	Local Master I/O Read No PCI Prefetch : PCI バスの Prefetch 動作中にローカル・マスタから I/O リード要求が発生した場合の動作を選択します。 0 : Disable ローカル・マスタ I/O リード要求は、PCI Prefetch が終了するまでウェイトが挿入されます。 Prefetch されたデータは有効状態を保持します。 1 : Enable ローカル・マスタ I/O リード要求が発生すると、PCI バスでは Prefetch 動作を終了し I/O リードが起動します。 Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。	Yes	Yes	0
5	Local Master I/O Write No PCI Prefetch : PCI バスの Prefetch 動作中にローカル・マスタから I/O ライト要求が発生した場合の動作を選択します。 0 : Disable ローカル・マスタ I/O ライト要求は、PCI Prefetch が終了するまでウェイトが挿入されます。 Prefetch されたデータは有効状態を保持します。 1 : Enable ローカル・マスタ I/O ライト要求が発生すると、PCI バスでは Prefetch 動作を終了し I/O ライトが起動します。 Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。	Yes	Yes	0
6	PCI Memory Prefetch Enable : PCI メモリに対する Prefetch 制御を選択します。 0 : Prefetch Disable(Direct RD) PCI バスのメモリ・リードは、ローカル・マスタから示される有効バイト・レーンのシングル・アクセスで処理されます。 1 : Prefetch Enable(Prefetch RD) PCI バスのメモリ・リードは、Prefetch カウント分の先読み動作で行われます。 先読み動作は、ローカル・マスタからの要求バイト・レーンは全て有効であるものとしてバースト・アクセスで処理されます。	Yes	Yes	0
7	PCI Memory Prefetch Continuous Mode : Prefetch RD の動作モードを選択します。 ローカル・バスが 8/16Bit NonMux Mode の場合、Prefetch Continuous Mode 固定です。 0 : Prefetch Single Mode ローカル・マスタのメモリ・リード・アクセスの Completion で、PCI バスの Prefetch 動作が終了します。このとき、Prefetch されたデータは無効化処理 (FIFO Flush) が行われます。 1 : Prefetch Continuous Mode ローカル・マスタのメモリ・リード・アクセスが Completion しても、PCI バスの Prefetch 動作は継続実行します。Prefetch されたデータは有効で、連続 (アドレス) するローカル・マスタのメモリ・リードに対し内部バッファからデータを引渡します。	Yes	Yes	0

11:8	<p>PCI Memory Prefetch Count : 4Byte 単位の Prefetch カウントを設定します。 ローカル・マスタからの初期アクセスが 4Byte バウンダリでないときでも 4Byte としてカウントされます。ただし、初期アクセスに関し PCI バスの有効バイト・レーン正しい値を示します。</p> <p>0h : 4Byte    1h : 8Byte    2h : 12Byte    3h : 16Byte 4h : 20Byte    5h : 24Byte    6h : 28Byte    7h : 32Byte 8h : 36Byte    9h : 40Byte    Ah : 44Byte    Bh : 48Byte Ch : 52Byte    Dh : 56Byte    Eh : 60Byte    Fh : 64Byte</p>	Yes	Yes	0h
15:12	<p>Reserved : 書き込みでは、値"0"を設定してください。</p>	Yes	No	0h (固定)
16	<p>Local Master Access No Local Prefetch : ローカル・バスの Prefetch 起動中にローカル・マスタからバス権の要求(BREQ#アサート)が発生したときの動作を選択します。</p> <p>0 : Disable 起動中の Prefetch は継続実行します。 Prefetch カウントのカウントアップでローカル・マスタへバス権を解放します。</p> <p>1 : Enable ローカル・マスタからバス権の要求があると、起動中の Prefetch を終了します。 なお、すでに Prefetch が終了しているとき、Prefetch 済みのデータは有効状態を保持します。</p>	Yes	Yes	0
17	<p>DMA No Local Prefetch : ローカル・バスの Prefetch 起動中に DMA 要求が発生したときの動作を選択します。</p> <p>0 : Disable 起動中の Prefetch は継続実行します。 Prefetch カウントのカウントアップで DMA 転送を開始します。</p> <p>1 : Enable DMA 転送要求があると、起動中の Prefetch を終了します。なお、すでに Prefetch が終了しているとき、Prefetch 済みのデータは有効状態を保持します。</p>	Yes	Yes	0
18	<p>PCI Target/DMA No Local Master Access ローカル・マスタ動作中 (バス権解放中) に PCI ターゲット・アクセスまたは DMA 転送要求が発生したときの動作を選択します。</p> <p>0 : Disable ローカル・マスタ動作を優先します。 ローカル・マスタ主導でバス権の解放 (BREQ#ディアサート) が行われるまで PCI ターゲット・アクセスおよび DMA 転送は保留状態となります。</p> <p>1 : Enable PCI ターゲット/DMA 転送を優先します。 PCI ターゲット/DMA 転送の要求が発生すると、APIC22A 主導によるバス権要求 (BACK#ディアサート) をローカル・マスタへ通知します。BREQ#のディアサート状態を検出すると PCI ターゲット・アクセスまたは DMA 転送を開始します。</p>	Yes	Yes	0
19	<p>Reserved : 書き込みでは、値"0"を設定してください。</p>	Yes	No	0 (固定)
20	<p>Local Memory Burst Enable : ローカル・バスのメモリ・バースト転送の許可/禁止を選択します。 メモリ・バースト転送のアドレス制御は、リニア・アドレス・インクリメントです。 本 Bit は、32Bit Mux Mode の PCI ターゲット・アクセスで有効です。</p> <p>0 : Local Memory Burst Disable PCI からのローカル・メモリ・アクセスは全てシングル・アクセスで処理されます。</p> <p>1 : Local Memory Burst Enable 「PCI State Control Register : Local Memory Prefetch」が許可されているとき、Prefetch カウント数分のバースト・リードで処理されます。 「PCI State Control Register : Memory Posted Write」が許可されているとき、Posted データ数分のバースト・ライトで処理されます。 このとき、BTERM#(Burst Termination Request)による制御も同時に可能です。</p>	Yes	Yes	0
22:21	<p>Reserved : 書き込みでは、値"0"を設定してください。</p>	Yes	No	00 (固定)
23	<p>Local Wait Limit Control : PCI ターゲット・アクセスおよび DMA 転送におけるローカル・バスのウェイト制限制御の許可/禁止を選択します。</p> <p>0 : Wait Limit Disable ウェイト状態は、ローカル・アクセスが成立するまで続きます。</p> <p>1 : Wait Limit Enable ウェイト状態が、16LCLK を単位とする「Local Wait Limit Count」で示される回数まで繰り返されるとバス・サイクルを強制終了します。</p>	Yes	Yes	1
31:24	<p>Local Wait Limit Count : ウェイト制限制御を行う場合の制限数を設定します。 設定される制限数は、16LCLK ごとにカウントされます。 ウェイト制限数 = (設定値 + 1) × 16LCLK</p>	Yes	Yes	FFh

### 1 6-2-2-2 1. DMA PCI Address : Offset = PCI BAR0 30h / Local B0h

Bit	Description	Read	Write	Reset
31:0	<p>DMA PCI Address :</p> <p>DMA 転送における PCI 側の開始アドレスを設定します。</p> <p>下位 2Bit のアドレスは、「DMA Transfer Count / Control Register : DMA PCI Data Size」により設定範囲が変わります。</p> <ul style="list-style-type: none"> <li>● 設定範囲</li> <li>・ 8Bit(Byte) : PA[1:0] = xxb(下位 2Bit 有効)</li> <li>・ 16Bit(Word) : PA[1:0] = x0b(下位 1Bit"0"固定)</li> <li>・ 32Bit(Dword) : PA[1:0] = 00b(下位 2Bit"0"固定)</li> </ul> <p>なお、間接 DMA 転送では、本レジスタの設定値は参照されません。</p>	Yes	Yes	00000000h

### 1 6-2-2-2 2. DMA Local Address : Offset = PCI BAR0 34h / Local B4h

Bit	Description	Read	Write	Reset
31:0	<p>DMA Local Address :</p> <p>DMA 転送におけるローカル側の開始アドレスを設定します。</p> <p>下位 2Bit のアドレスは、「DMA Transfer Count / Control Register : DMA Local Data Size」により設定範囲が変わります。</p> <ul style="list-style-type: none"> <li>● 設定範囲</li> <li>・ 8Bit(Byte) : LA[1:0] = xxb(下位 2Bit 有効)</li> <li>・ 16Bit(Word) : LA[1:0] = x0b(下位 1Bit"0"固定)</li> <li>・ 32Bit(Dword) : LA[1:0] = 00b(下位 2Bit"0"固定)</li> </ul> <p>なお、間接 DMA 転送では、本レジスタの設定値は参照されません。</p>	Yes	Yes	00000000h

### 1 6-2-2-2 3. DMA Transfer Count / Control : Offset = PCI BAR0 38h / Local B8h

Bit	Description	Read	Write	Reset
21:0	<p>DMA Transfer Count :</p> <p>DMA 転送回数を設定します。</p> <p>設定される転送回数は、転送元のデータ・サイズ「DMA PCI Data Size」または「DMA Local Data Size」で指定されるワード長単位でカウントされます。</p> <p>転送数 = 設定値(DMA Transfer Count) + 1</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p>	Yes	Yes	0000000h
24:22	<p>Transfer Mode :</p> <p>DMA 転送モードを指定します。</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p> <p>000 : Local I/O to PCI Memory      001 : Local I/O to PCI I/O            010 : PCI Memory to Local I/O      011 : PCI I/O to Local I/O            100 : Local Memory to PCI Memory    101 : Local Memory to PCI I/O            110 : PCI Memory to Local Memory    111 : PCI I/O to Local Memory</p>	Yes	Yes	000
25	<p>DREQ# Enable :</p> <p>DREQ#信号によるハンドシェイク転送の許可 / 禁止を選択します。</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p> <p>0 : DREQ# Disable            ハンドシェイク制御は行われず、トランスファー・カウント分の DMA 転送が続けて実行されます。</p> <p>1 : DREQ# Enable            DREQ# / DACK#信号によるハンドシェイク制御で DMA 転送が行われます。</p>	Yes	Yes	0
27:26	<p>Addressing Mode :</p> <p>DMA 転送における PCI / ローカル・バスのアドレス制御方法を選択します。</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p> <p>00 : Local 固定 / PCI 固定            01 : Local 固定 / PCI インクリメント            10 : Local インクリメント / PCI 固定            11 : Local インクリメント / PCI インクリメント</p>	Yes	Yes	00
29:28	<p>DMA PCI Data Size :</p> <p>DMA 転送における PCI 側のデータ・サイズを指定します。</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p> <p>00 : 8Bit(Byte)      01 : 16Bit(Word)            10 : 32Bit(Dword)    11 : Reserved (設定不可)</p>	Yes	Yes	00
31:30	<p>DMA Local Data Size :</p> <p>DMA 転送におけるローカル側のデータ・サイズを指定します。</p> <p>なお、間接 DMA 転送では、本 Bit の設定値は参照されません。</p> <p>00 : 8Bit(Byte)      01 : 16Bit(Word)            10 : 32Bit(Dword)    11 : Reserved (設定不可)</p>	Yes	Yes	00

1 6-2-2-2 4. DMA Indirect Control-word Address : Offset = PCI BAR0 3Ch / Local BCh

Bit	Description	Read	Write	Reset
0	Indirect Control Enable : 間接 DMA コントロールによる DMA 転送の許可/禁止を設定します。 間接 DMA 転送は、ローカルまたは PCI のリソース空間にコントロール・ワードを配置し、転送開始時に読み出され転送制御が行われます。 本 Bit は、読み出されたコントロール・ワードにより更新され、ディセーブルに設定されると最後の DMA 転送となります。 0 : Indirect Control Disable 1 : Indirect Control Enable	Yes	Yes	00h
2:1	Control Word Space : コントロール・ワードが格納されているリソース空間を選択します。 00 : Local I/O 空間 01 : Local Memory 空間 10 : PCI I/O 空間 11 : PCI Memory 空間	Yes	Yes	00
3	Reserved : 書き込みでは、値"0"を設定してください。	Yes	No	0 (固定)
31:4	Indirect Control-word Address : 間接 DMA コントロールを行う場合のコントロール・ワードが格納されているアドレスを設定します。 Bit[31:4] = Addr[31:4] (Addr[3:0] = 0000 固定) 間接 DMA コントロールで DMA 転送を許可すると「Indirect Control-word Address」で示すローカルまたは PCI リソース空間のコントロール・ワードが読み出され DMA 制御が行われます。読み出されたコントロール・ワードにより設定値は更新され次のコントロール・ワード・アドレスとして扱われます。 コントロール・ワードは、16Byte を 1 単位とするレジスタで構成されます。 ● レジスタ・フォーマット ・ Offset=0h : DMA PCI Address Register ・ Offset=4h : DMA Local Address Register ・ Offset=8h : DMA Transfer Count / Control Register ・ Offset=Ch : DMA Indirect Control-word Address Register 各レジスタのビット・フォーマットは、内部の DMA 転送制御に関連する各レジスタと同じです。	Yes	Yes	0000000h

1 6-2-2-25. DMA Control : Offset = PCI BAR0 40h/Local C0h

Bit	Description	Read	Write	Reset
0	<p>DMA Enable :</p> <p>DMA 機能の許可/禁止を選択します。</p> <p>0 : DMA Disable DMA 機能はディセーブル状態です。</p> <p>1 : DMA Enable 「DMA Start Factor Select」で選択される要因が発生すると DMA 転送が開始されます。</p> <p>一連の DMA 転送 (間接 DMA コントロール含む) が終了すると本 Bit は値「0」にクリアされます。</p> <p>また、DMA 転送中に値「0」を書き込むことにより動作を中止することもできます。このとき、DMA 用の内部バッファも同時クリア(FIFO Flush)されます。</p>	Yes	Yes	0
1	<p>DMA Start Factor Select :</p> <p>DMA 転送の開始要因を選択します。</p> <p>0 : DMA Enable Start 「DMA Enable」がセットされると直ちに転送を開始します。</p> <p>1 : IRQ Start 指定される IRQx がアサートされると転送を開始します。</p> <p>このとき、IRQx 端子の状態は LCLK によるアクティブ・ローの同期エッジで検出します。なお、対象の IRQx 端子が INTA#要因に指定されている場合、INTA#もアサートされます。</p>	Yes	Yes	0
3:2	<p>Start Factor IRQ Select :</p> <p>「DMA Start Factor」に使用する IRQx 端子を選択します。</p> <p>開始要因が「DMA Enable」に指定されるとき、本 Bit の設定値は無効です。</p> <p>00 : IRQ0 01 : IRQ1 10 : IRQ2 11 : IRQ3</p>	Yes	Yes	00
4	<p>DMA Start Factor Mode :</p> <p>間接 DMA 転送時の IRQ による開始制御の方法を選択します。</p> <p>通常の DMA 転送や開始要因が「DMA Enable」に指定されるとき、本 Bit の設定値は無効です。</p> <p>0 : Simple Control 一連の DMA 開始制御は、最初の IRQx 入力で決定され、間接 DMA 転送は、終了指示(Indirect Control Disable)があるまで続きます。</p> <p>1 : Complex Control DMA 開始制御は、単位ごとの DMA 転送で IRQx 入力が必要とする。</p> <p>1 単位の DMA 転送が終了(ターミナル・カウント)すると次の DMA 転送は IRQx 入力があるまで保留状態となります。</p>	Yes	Yes	0
5	<p>DMATC Interrupt Mode :</p> <p>間接 DMA 転送時の DMATC (DMA ターミナル・カウント) による割り込みモードを選択します。</p> <p>通常の DMA 転送の場合は、本 Bit の設定値は無効です。</p> <p>なお、割り込みを使用する場合、「Internal Interrupt Control Register : DMATC Interrupt」を許可する必要があります。</p> <p>0 : All DMATC Interrupt 単位ごとの DMATC で割り込みを発生します。</p> <p>1 : Last DMATC Interrupt 間接 DMA 転送の最終 DMATC(Indirect Control Disable)で割り込みを発生します。</p>	Yes	Yes	0
6	<p>PCI I/O Burst Enable :</p> <p>DMA 転送における PCI I/O バースト転送の許可/禁止を選択します。</p> <p>PCI I/O バースト転送は、「DMA Transfer Count/Control Register : DMA PCI Data Size」が 32Bit に指定されるとき有効です。</p> <p>アドレス制御は、「DMA Transfer Count/Control Register : Addressing Mode」の設定によります。</p> <p>0 : PCI I/O Burst Disable 1 : PCI I/O Burst Enable</p>	Yes	Yes	0
7	<p>Local Burst Enable :</p> <p>DMA 転送におけるローカル・バースト転送の許可/禁止を選択します。</p> <p>アドレス制御は、「DMA Transfer Count/Control Register : Addressing Mode」の設定によります。</p> <p>なお、間接 DMA 転送のコントロール・ワードのリード・サイクルも本設定値が反映されます。</p> <p>本 Bit は、ローカル・バスが 32Bit Mux Mode のときに有効です。</p> <p>0 : Local Burst Disable 1 : Local Burst Enable</p>	Yes	Yes	0

### 1 6-2-2-26. Timer Count : Offset = PCI BAR0 44h / Local C4h

Bit	Description	Read	Write	Reset
23:0	<p>Timer Count :</p> <p>タイマのカウンタ値を設定します。</p> <p>「Timer Control Register : Timer Enable」が許可されると、カウンタ値をタイマ・カウンタにロードしカウントを開始します。カウントの結果、カウンタ・ボローが検出されるとカウンタ値を再ロードしカウント動作が続きます。</p> <p>なお、設定値が「000000h」の場合、「Timer Control Register : TOUT#Mode」で One-Shot に指定されるとき TOUT#端子出力は行われません。</p> <p>タイマ周期 = (カウンタ値 + 1) × LCLK × プリスケアラ</p>	Yes	Yes	000000h

### 1 6-2-2-27. Timer Control : Offset = PCI BAR0 47h / Local C7h

Bit	Description	Read	Write	Reset
0	<p>Timer Enable :</p> <p>タイマ機能の許可/禁止を選択します。</p> <p>0 : Disable            カウンタ動作は行われずプリスケアラ用カウンタも停止します。            また、TOUT#端子は“HiZ”状態を保持します。</p> <p>1 : Enable            プリスケアラで指定される周期でカウンタ動作が行われます。            TOUT#端子は有効で、カウンタ・ボローを検出すると出力します。</p>	Yes	Yes	0
3:1	<p>Prescaler :</p> <p>タイマ・カウンタの動作クロック分周比を選択します。            プリスケアラに入力するクロックは、ローカル・クロック (LCLK) が使用されます。</p> <p>000 : LCLK            001 : LCLK の 2 分周クロック            010 : LCLK の 4 分周クロック            011 : LCLK の 8 分周クロック            100 : LCLK の 16 分周クロック            101 : LCLK の 32 分周クロック            110 : LCLK の 64 分周クロック            111 : LCLK の 128 分周クロック</p>	Yes	Yes	000
4	<p>Reserved :</p> <p>書き込みでは、値“0”を設定してください。</p>	Yes	No	0 (固定)
5	<p>TOUT# Mode :</p> <p>TOUT#端子の出力方法を選択します。</p> <p>0 : One-Shot            タイマ・カウンタのボロー検出で 1 タイマ・クロック分 (プリスケアラ周期) TOUT#をアサートします。</p> <p>1 : Alternate            タイマ・カウンタのボロー検出ごとに TOUT#を論理反転し出力します。            動作開始時は“High”レベルです。</p>	Yes	Yes	0
6	<p>Reserved :</p> <p>書き込みでは、値“0”を設定してください。</p>	Yes	No	0 (固定)
7	<p>Timer Status :</p> <p>タイマ・カウンタのボロー検出を示すステータス・ビット。</p> <p>0 : ボロー未検出            タイマ・カウンタのボローは未検出。            タイマ機能がディセーブルのときは値“0”にクリアされます。</p> <p>1 : ボロー検出            ダウン・カウンタの結果、ボローが検出されたことを示します。            値“1”の状態は、フラグ・クリアされるまで保持されます。</p> <p>「Internal Interrupt Control Register」で割り込みが許可されている場合、PCI またはローカル側に割り込みを出力し、割り込みステータスに反映されます。対象の割り込みフラグがクリアされると、本フラグも同時にクリアされます。ただし、本フラグをクリアしても割り込みフラグはクリアされません。            本 Bit に“1”を書き込むことによりフラグをクリアします。</p>	Yes	Yes(Clear)	0



1 6-2-2-2 8. Message Box Data Port : Offset = PCI BAR0 48h/Local C8h

Bit	Description	Read	Write	Reset
31:0	Message Data : PCI およびローカル側へのメッセージ・データを設定します。 PCI 側から書き込まれたデータはローカル側のみ読み出しが可能で、ローカル側から書き込まれたデータはPCI 側のみ読み出しが可能です。 設定するデータは任意で、APIC22A 内部制御に影響はありません。	Yes	Yes	00000000h

1 6-2-2-2 9. Message Box Command Port : Offset = PCI BAR0 4Ch/Local CCh

Bit	Description	Read	Write	Reset
29:0	Message Command : PCI およびローカル側へのメッセージ・コマンドを設定します。 PCI 側から書き込まれたコマンドはローカル側のみ読み出しが可能で、ローカル側から書き込まれたコマンドはPCI 側のみ読み出しが可能です。 設定するコマンドは任意で、APIC22A 内部制御に影響はありません。	Yes	Yes	00000000h
30	PCI Command Flag : PCI 側からのコマンドが有効であることを示すフラグです。 ・ PCI 側の動作 ローカル側へコマンドを送信するときに値"1"を設定します。 値"1"の状態でも書き込んでも影響はありません。 ・ ローカル側の動作 ローカル側の割り込みが許可されているとき、PCI 側から値"1"が設定されると LINT#割り込みが発生します。 割り込み要因は、割り込みステータスに反映され、対応する割り込みフラグのクリアで本フラグがクリアされます。ただし、本フラグをクリアしても割り込みフラグはクリアされません。 本 Bit に"1"を書き込むことによりコマンド・フラグをクリアします。	Yes	PCI(Set) Local(Clear)	0
31	Local Command Flag : ローカル側からのコマンドが有効であることを示すフラグです。 ・ ローカル側の動作 PCI 側へコマンドを送信するときに値"1"を設定します。 値"1"の状態でも書き込んでも影響はありません。 ・ PCI 側の動作 PCI 側の割り込みが許可されているとき、ローカル側から値"1"が設定されると INTA#割り込みが発生します。 割り込み要因は、割り込みステータスに反映され、対応する割り込みフラグのクリアで本フラグがクリアされます。ただし、本フラグをクリアしても割り込みフラグはクリアされません。 本 Bit に"1"を書き込むことによりコマンド・フラグをクリアします。	Yes	Local(Set) PCI(Clear)	0

1 6-2-2-3 0. I/O Chip Select Address Decode : Offset = PCI BAR0 50h~6Eh / Local D0h~EEh

Bit	Description	Read	Write	Reset
7:0	IOCSx# Base Address : IOCSx#がアサートされる範囲のベース・アドレスを設定します。 設定値は、ローカル・バスが 8/16Bit NonMuxMode のときに有効です。また、多機能端子では、ピン・ファンクションが IOCSx#端子に構成されているときに有効です。 Bit[7:0] = LA[7:0]に対応 ここで設定されるベース・アドレスは、「Decode Range」で値"1"に設定されたビットの対応するアドレス・ビットが LA[7:0]との比較対照となります。 比較結果、一致したときに IOCSx#をアサートします。	Yes	Yes	00h
15:8	IOCSx# Decode Range : IOCSx#がアサートされる範囲を設定します。 設定できる範囲は、2の乗数単位です。 設定値は、ローカル・バスが 8/16Bit NonMuxMode のときに有効です。また、多機能端子では、ピン・ファンクションが IOCSx#端子に構成されているときに有効です。 Bit[15:8] = LA[7:0]に対応	Yes	Yes	00h

● IOCSx# Address Decode Register Offset Address

Register	Offset		Register	Offset	
	PCI	Local		PCI	Local
IOCS1# Address Decode	52h	D2h	IOCS0# Address Decode	50h	D0h
IOCS3# Address Decode	56h	D6h	IOCS2# Address Decode	54h	D4h
IOCS5# Address Decode	5Ah	DAh	IOCS4# Address Decode	58h	D8h
IOCS7# Address Decode	5Eh	DEh	IOCS6# Address Decode	5Ch	DCh
IOCS9# Address Decode	62h	E2h	IOCS8# Address Decode	60h	E0h
IOCS11# Address Decode	66h	E6h	IOCS10# Address Decode	64h	E4h
IOCS13# Address Decode	6Ah	EAh	IOCS12# Address Decode	68h	E8h
IOCS15# Address Decode	6Eh	EEh	IOCS14# Address Decode	6Ch	ECh

1 6-2-2-3 1. I/O Chip Select Timing Control : Offset = PCI BAR0 70h/Local F0h

Bit	Description	Read	Write	Reset
1:0	IOCS0# Timing Select : IOCS0#のアサートするタイミングを選択します。 ディセーブル設定では、IOCSx#端子は"Hiz"状態を保持します。 IOCS[7:0]#は、ローカルバスが 8/16Bit NonMux Mode のときに有効です。 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
3:2	IOCS1# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
5:4	IOCS2# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
7:6	IOCS3# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
9:8	IOCS4# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
11:10	IOCS5# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
13:12	IOCS6# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
15:14	IOCS7# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
17:16	IOCS8# Timing Select : IOCS8#のアサートするタイミングを選択します。 IOCS[15:8]#は、ローカルバスが 8/16Bit NonMux Mode で、かつピン・ファンクションが IOCSx#に構成されているときに有効です。 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
19:18	IOCS9# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
21:20	IOCS10# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
23:22	IOCS11# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
25:24	IOCS12# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
27:26	IOCS13# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
29:28	IOCS14# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00
31:30	IOCS15# Timing Select : 00 : Disable(Hiz) 01 : IOR# Timing 10 : IOW# Timing 11 : Address Timing	Yes	Yes	00

## 17. 端子配置と特性

APIC22A の端子配置と各端子の特性およびリセット時などの状態を示します。

端子配置は、PCI インタフェースとローカル・インタフェース（シリアル EEPROM インタフェース含む）に分けられています。

PCI インタフェース用の I/O バッファ電源は、HVDD 端子から供給されます。

ローカル・インタフェース用の I/O バッファ電源は、LVDD 端子から供給されます。

### ● 端子配置表の記号説明

記号	説明
I/O	Input/Output Pin :
In	Input Only Pin :
Out	Output Only Pin :
TS	Tri-State Pin :
OD	Open Drain Pin :
STS	Sustained Tri-State Pin : ドライブを止めるときに、一端"High"を出力し"HiZ"状態となります。
PWR	Plus Power Pin :
GND	Minus Power Pin :
Schmitt	Schmitt-Trigger Input Pin :
LVTTL	Low Voltage TTL Buffer : 3.3V 電源動作の TTL バッファです。入力は 5V まで可能で、出力は 3.3V です。
Pullup	Internal Pullup Resistor : 50K $\Omega$ /100K $\Omega$ の内部プルアップ抵抗です。 論理的な動作を保証する抵抗ではありません。必要に応じて外部抵抗を追加します。
Pulldown	Internal Pulldown Resistor : 100K $\Omega$ の内部プルダウン抵抗です。 論理的な動作を保証する抵抗ではありません。必要に応じて外部抵抗を追加します。
G-off	Input Buffer Gate Off : 入力バッファのゲートを閉じた状態です。端子入力が不定レベルでも影響はありません。 CompactPCI Hot Swap 対応です。
SR	System Reset : (PCI RST# = "Low") or (HEALTHY# = "High")

## 17-1. PCI インタフェース

Pin Number	Pin Name	Pin Type	端子特性	端子状態 System Reset
194	INTA#	Out(OD)	3.3V/5V PCI 準拠	Hiz
195	RST#	In	3.3V/5V PCI 準拠	In
196	VSS	GND	基準電源	
197	CLK	In	3.3V/5V PCI 準拠	In
198	GNT#	In	3.3V/5V PCI 準拠	In(G-off)
199	REQ#	Out(TS)	3.3V/5V PCI 準拠	Hiz
200	(PME#)	Out(OD)	「20-3. (PME#)信号」について参照	Hiz
201	VSS	GND	基準電源	
202	AD31	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
203	AD30	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
204	AD29	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
205	AD28	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
206	HVDD	PWR	PCI 電源	
207	VSS	GND	基準電源	
208	AD27	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
209	AD26	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
210	AD25	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
211	AD24	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
212	HVDD	PWR	PCI 電源	
5	VSS	GND	基準電源	
6	C/BE3#	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
7	IDSEL	In	3.3V/5V PCI 準拠	In(G-off)
8	AD23	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
9	AD22	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
10	AD21	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
11	AD20	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
12	HVDD	PWR	PCI 電源	
13	VSS	GND	基準電源	
14	AD19	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
15	AD18	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
16	AD17	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
17	AD16	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
18	HVDD	PWR	PCI 電源	
19	VSS	GND	基準電源	
20	C/BE2#	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
21	FRAME#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
22	IRDY#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
23	TRDY#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
24	DEVSEL#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
25	STOP#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
26	LVDD	PWR	Local/Core 電源	
27	VSS	GND	基準電源	
28	LOCK#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
29	PERR#	I/O(STS)	3.3V/5V PCI 準拠	Hiz(G-off)
30	SERR#	Out(OD)	3.3V/5V PCI 準拠	Hiz
31	PAR	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)
32	C/BE1#	I/O(TS)	3.3V/5V PCI 準拠	Hiz(G-off)

Pin Number	Pin Name	Pin Type	端子特性	端子状態	
				System Reset	
33	HVDD	PWR	PCI 電源		
34	VSS	GND	基準電源		
35	AD15	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
36	AD14	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
37	AD13	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
38	AD12	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
39	HVDD	PWR	PCI 電源		
40	VSS	GND	基準電源		
41	AD11	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
42	AD10	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
43	AD9	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
44	AD8	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
45	C/BEO#	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
46	LVDD	PWR	Local/Core 電源		
47	VSS	GND	基準電源		
48	FTEST	In	LVTTL/Schmitt/Pulldown(Test 端子)		N/A
49	HVDCT	Out	Voltage Detector(Test 端子)		N/A
50	HVDD	PWR	PCI 電源		
59	VSS	GND	基準電源		
60	AD7	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
61	AD6	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
62	AD5	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
63	AD4	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
64	HVDD	PWR	PCI 電源		
65	VSS	GND	基準電源		
66	AD3	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
67	AD2	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
68	AD1	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
69	AD0	I/O(TS)	3.3V/5V PCI 準拠		Hiz(G-off)
70	HVDD	PWR	PCI 電源		
71	VSS	GND	基準電源		
72	ENUM#	Out(OD)	3.3V/5V PCI 準拠		Hiz

## 17-2. ローカル・インタフェース

Pin Number	Pin Name		Pin Type	端子特性	端子状態	
	NonMux	Mux			LRESET#=L	BACK#=L
73		LVDD	PWR	Local/Core 電源		
74		VSS	GND	基準電源		
75		LRESET#	Out	LVTTL/出力:±6mA	N/A	Out
76		BACK#	Out	LVTTL/出力:±6mA	Low	N/A
77		BREQ#	In	LVTTL/Pullup	In	In
78		DREQ#	In	LVTTL/Pullup	In	In
79		DACK#	Out(TS)	LVTTL/出力:±6mA	Hiz	High
80		DMATC#	Out(TS)	LVTTL/出力:±6mA	Hiz	High
81		LVDD	PWR	Local/Core 電源		
82		VSS	GND	基準電源		

Pin Number	Pin Name		Pin Type	端子特性	端子狀態	
	NonMux	Mux			LRESET#=L	BACK#=L
83	IORDY	LRDY#	I/O(STS)	LVTTL/Pullup/出力:±6mA	Hiz	Out
84	IOW#	R/W#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
85	IOR#	MIO#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
86	MWR#	LFRAME#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
87	MRD#	AS#/ALE	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In/Hiz
88	MEMCS#	MEMCS#	Out(TS)	LVTTL/出力:±6mA	Hiz	Hiz
89	ROMCS#	ROMCS#	Out(TS)	LVTTL/出力:±6mA	Hiz	Hiz
90	LVDD		PWR	Local/Core 電源		
91	VSS		GND	基準電源		
92	IOCS0#	IOCS#	Out(TS)	LVTTL/Pullup/出力:±6mA	Hiz	Hiz
93	IOCS1#	—	Out(TS)	LVTTL/Pullup/出力:±6mA	Hiz	Hiz
94	IOCS2#	—	Out(TS)	LVTTL/Pullup/出力:±6mA	Hiz	Hiz
95	IOCS3#	BTERM#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	Hiz
96	IOCS4#	—	Out(TS)	LVTTL/Pullup/出力:±6mA	Hiz	Hiz
97	IOCS5#	LBE3#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
98	IOCS6#	LBE2#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
99	IOCS7#	LBE1#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
100	BHE#	LBE0#	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	In
101	VSS		GND	基準電源		
102	LCLKi		In	LVTTL/Pullup	In	In
103	LCLKo		Out	LVTTL/出力:±6mA	Low(SR)/Out	Out
104	LVDD		PWR	Local/Core 電源		
113	VSS		GND	基準電源		
114	SPACE		In	LVTTL/Pullup	In	In
115	DEVCS#		In	LVTTL/Pullup	In	In
116	N/C		—			
117	LVDD		PWR	Local/Core 電源		
118	VSS		GND	基準電源		
119	LD0	LAD0	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
120	LD1	LAD1	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
121	LD2	LAD2	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
122	LD3	LAD3	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
123	LD4	LAD4	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
124	LD5	LAD5	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
125	LD6	LAD6	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
126	LD7	LAD7	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
127	LVDD		PWR	Local/Core 電源		
128	VSS		GND	基準電源		
129	LD8	LAD8	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
130	LD9	LAD9	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
131	LD10	LAD10	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
132	LD11	LAD11	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
133	LD12	LAD12	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
134	LD13	LAD13	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
135	LD14	LAD14	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
136	LD15	LAD15	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
137	LVDD		PWR	Local/Core 電源		
138	VSS		GND	基準電源		

Pin Number	Pin Name		Pin Type	端子特性	端子狀態	
	NonMux	Mux			LRESET#-L	BACK#-L
139	LA0	LAD16	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
140	LA1	LAD17	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
141	LA2	LAD18	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
142	LA3	LAD19	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
143	LA4	LAD20	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
144	LA5	LAD21	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
145	LA6	LAD22	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
146	LA7	LAD23	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
147	LVDD		PWR	Local/Core 電源		
148	VSS		GND	基準電源		
149	LA8	LAD24	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
150	LA9/ IOCS8#	LAD25	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
151	LA10/ IOCS9#	LAD26	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
152	LA11/ IOCS10#	LAD27	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
153	LA12/ IOCS11#	LAD28	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
154	LA13/ IOCS12#	LAD29	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
155	LA14/ IOCS13#	LAD30	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
156	LA15/ IOCS14#	LAD31	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
157	LA16/ IOCS15#	-	I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz	I/O
158	LVDD		PWR	Local/Core 電源		
167	VSS		GND	基準電源		
168	IRQ3		In	LVTTL/Pullup	In	In
169	IRQ2		In	LVTTL/Pullup	In	In
170	IRQ1		In	LVTTL/Pullup	In	In
171	IRQ0		In	LVTTL/Pullup	In	In
172	LINT#		Out(OD)	LVTTL/出力:+6mA	Hiz	Out
173	TOUT#		Out(TS)	LVTTL/出力:±6mA	Hiz	Out
174	VSS		GND	基準電源		
175	EJECTST		In	LVTTL/Schmitt/Pulldown	In	In
176	STLED#		Out(OD)	LVTTL/出力:+12mA	Low(SR)/Out	Out
177	PIO3		I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz(SR)/I/O	I/O
178	PIO2		I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz(SR)/I/O	I/O
179	PIO1		I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz(SR)/I/O	I/O
180	PIO0		I/O(TS)	LVTTL/Pullup/出力:±6mA	Hiz(SR)/I/O	I/O
181	LVDD		PWR	Local/Core 電源		
182	VSS		GND	基準電源		
183	TSTEN		In	LVTTL/Pulldown(Test 端子)	N/A	N/A
184	INP2		In	LVTTL/Pulldown(Test 端子)	N/A	N/A
185	INP1		In	LVTTL/Pulldown(Test 端子)	N/A	N/A
186	INP0		In	LVTTL/Pulldown(Test 端子)	N/A	N/A
187	EECS/EESEL		I/O(TS)	LVTTL/Schmitt/Pulldown/出力:±6mA	Hiz(SR)/Out	Out
188	EESK/SCL		Out(TS)	LVTTL/出力:±6mA	Hiz(SR)/Out	Out
189	EEDI/SDA		I/O(TS)	LVTTL/Schmitt/出力:±6mA	Hiz(SR)/I/O	I/O
190	EEDO		In	LVTTL/Schmitt	In	In
191	HEALTHY#		In	LVTTL/Schmitt/Pulldown	In	In
192	LVDD		PWR	Local/Core 電源		
193	VSS		GND	基準電源		



### 17-3. 端子配置图

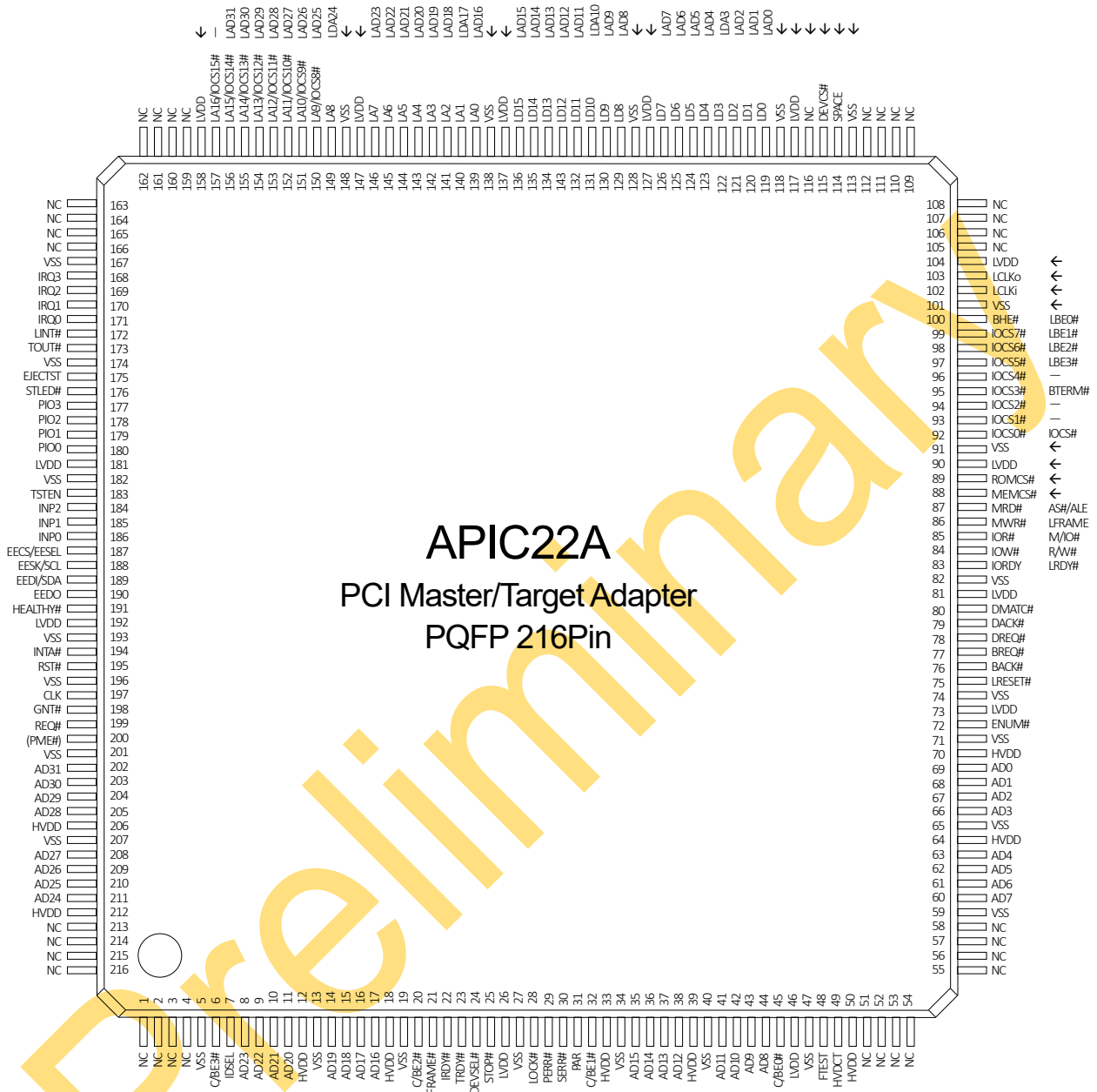


Figure17-1 : APIC22A 端子配置图

## 18. 電気的特性

### 18-1. 絶対最大定格

(VSS = 0V)

項目	記号	定格	単位
電源電圧(VDD) *1	HVDD	VSS-0.3 ~ +7.0	V
	LVDD	VSS-0.3 ~ +4.0	
入力電圧(VIN)	HVIN	VSS-0.3 ~ HVDD+0.5	V
	LVIN	VSS-0.3 ~ +7.0 *2	
出力電圧(VOUT)	HVOUT	VSS-0.3 ~ HVDD+0.5	V
	LVOUT	VSS-0.3 ~ LVDD+0.5 *3	
出力電流/端子	IOUT	±30 (±50 *4)	mA
保存温度	Tstg	-65 ~ +150	°C
はんだ付け温度 (赤外線リフロー/10秒)	Tsol	+245	°C

Notes :

\*1 HVDD ≥ LVDD

\*2 LVTTTL の入力バッファに適用します。

\*3 LVTTTL の出力バッファに適用します。

“H”レベル出力時に、外部から LVDD 以上の電圧が印加されると、内部に大電流が流れ込み破損の原因となります。

\*4 HVDD が 5V のときの PCI バッファに適用する DC パラメータです。

### 18-2. 推奨動作条件

(VSS = 0V)

項目	記号	Min	Typ	Max	単位
電源電圧(VDD)	HVDD(5V系)	+4.75	+5.0	+5.25	V
	HVDD(3.3V系)	+3.0	+3.3	+3.6	
	LVDD	+3.0	+3.3	+3.6	
入力電圧(VIN)	HVIN	VSS	—	HVDD	V
	LVIN	VSS	—	+5.5 *1	
入力立ち上がり時間 (通常入力端子)	tri	—	—	50	ns
入力立ち下がり時間 (通常入力端子)	tfi	—	—	50	ns
入力立ち上がり時間 (シュミット入力端子)	tri	—	—	5	ms
入力立ち下がり時間 (シュミット入力端子)	tfi	—	—	5	ms
周囲温度 *4	Ta *2	0	+25	+70	°C
	Ta *3	-40	+25	+85	
チップ接合部温度	Tj	—	—	+125	°C

Notes :

\*1 バッファが出力方向にあるときは適用されません。

\*2 5V系 PCI (HVDD=5V) に適用します。

\*3 3.3V系 PCI (HVDD=3.3V) に適用します。

\*4 温度範囲は、Tj=-40~125°Cを想定した推奨周囲温度です。

### 18-3. 消費電流

(推奨動作条件/VSS=0V)

項目	記号	条件	Typ	Max	単位
静的消費電流 *1	IDDS	HVDD(3.3V系)=LVDD=Max/IOUT=0/ VIN=VDD or VSS	—	2000	μA
	HIDDS	HVDD(5V系)=Max/IOUT=0/ VIN=HVDD or VSS	—	300	
	LIDDS	LVDD=Max/VIN=LVDD or VSS/IOUT=0	—	1000	
動的消費電流 *2	HIDD *3	HVDD(3.3V系)=Typ/f=33MHz/CL=50pF /32Bit 同時ドライブ	30	87	mA
		HVDD(5V系)=Typ/f=33MHz/CL=50pF /32Bit 同時ドライブ	50	132	
	LIDD *4	LVDD=Typ/f=33MHz/PM=D0act	—	250	
		LVDD=Typ/f=33MHz/PM=D1~D3	172	220	
		LVDD=Typ/f=33MHz/PM=D0ini(Sleep)	63	80	
パッケージ熱抵抗 *5	θja	空冷=0m/sec/単体吊り状態	—	65	°C/W

#### Notes :

- \*1 総消費電流は、IDDS または (HIDDS+LIDDS) です。
- \*2 総消費電流は、(HIDD+LIDD) です。
- \*3 Max 値は、PCI 33MHz 動作で常時バスのドライブを続けた場合です。  
実際の消費電流は、バス・ドライブの周期で大きく変わります。
  - HIDD =  $\Sigma \{ f \times CL \times HVDD \}$ 
    - f : 出力バッファのトグル周波数(Hz)/PCI33MHz のときトグル周波数は 16.5MHz
    - CL : 負荷容量(F)
    - HVDD : 電源電圧(V)
 Typ 値は、ランダムなデータ列の転送を行った場合の参考値です。
- \*4 デバイス内部の消費電流です。ローカル・クロックは同期モードでローカル・バスは無負荷状態です。
  - PM=D0act :  
データ転送を常時行っている状態です。
  - PM=D1~D3 :  
Max 値は、PCI コンフィギュレーション空間へのアクセスを行っている状態です。  
Typ 値は、PCI バスが Idle 状態のときの参考値です。
  - PM=D0unini(Sleep) :  
リセット状態でアクセスは行われていない状態です。ただし、クロックは動作しています。
- \*5 空冷を行った場合や基板への実装状態では大きく変動します。  
4層基板 (10×15 [cm]) への実装状態では、「θja×0.6」(参考値) 程度を目安としてください。
  - 接合部温度(Tj) = Ta + (PD×θja) [°C]
    - Ta : 周囲温度(°C)
    - PD : デバイス消費電力(W)

## 1 8-4. DC 特性

(推奨動作条件/VSS=0V)

項目	記号	条件	Min	Typ	Max	単位
高レベル出力電圧	VOH1	LVTTL/I <sub>OH</sub> =-6mA	LVDD -0.4	-	-	V
	VOH2	PCI(5V系)/I <sub>OH</sub> =-2mA	2.4	-	-	
	VOH3	PCI(3.3V系)/I <sub>OH</sub> =-500μA	2.7	-	-	
低レベル出力電圧	VOL1	LVTTL/I <sub>OL</sub> =+6mA	-	-	VSS +0.4	V
		LVTTL/I <sub>OL</sub> =+12mA	-	-	0.55	
	VOL2	PCI(5V系)/I <sub>OL</sub> =+6mA	-	-	0.36	
高レベル入力電圧	VIH1	LVTTL/LVDD=Max	2.0	-	-	V
	VT+	LVTTL/シュミット入力	1.1	-	2.4	
	VIH2	PCI(5V系)/HVDD=Max	2.0	-	-	
低レベル入力電圧	VIH3	PCI(3.3V系)/HVDD=Max	1.8	-	-	V
	VIL1	LVTTL/LVDD=Min	-	-	0.8	
	VT-	LVTTL/シュミット入力	0.6	-	1.8	
入力リーク電流	VIL2	PCI(5V系)/HVDD=Min	-	-	0.8	μA
	VIL3	PCI(3.3V系)/HVDD=Min	-	-	0.9	
ヒステリシス電圧	VH	LVTTL/シュミット入力	0.1	-	-	V
Off-State リーク電流	III1	LVTTL/LVDD=Max/ VSS≤VIN≤LVDD	-30	-	+30	μA
	III2	PCI/HVDD=Max/ VSS≤VIN≤HVDD	-1	-	+1	
プルアップ抵抗	IOZ1	LVTTL/LVDD=Min VSS≤VOUT≤+5.5V	-1	-	+1	μA
	IOZ2	PCI/HVDD=Max VSS≤VOUT≤HVDD	-1	-	+1	
プルダウン抵抗	RPU1	端子: LCLKi/VIN=VSS	20	50	100	KΩ
	RPU2	端子: その他/VIN=VSS	40	100	200	
プルダウン抵抗	RPD	VIN=LVDD	40	100	200	KΩ
入力端子容量	CI	LVTTL/f=1MHz/LVDD=0V	-	-	10	pF
出力端子容量	CO	LVTTL/f=1MHz/LVDD=0V	-	-	10	pF
入出力端子容量	CIO	LVTTL/f=1MHz/LVDD=0V	-	-	10	pF

## 18-5. AC 特性

### 18-5-1. タイミング図

AC 特性を示すローカル・バスのタイミング図です。  
 各タイミング図の信号関係は、論理的な動作タイミングの関係を示すものではありません。  
 PCI バス側の AC タイミングは、PCI 規格に準拠しています。

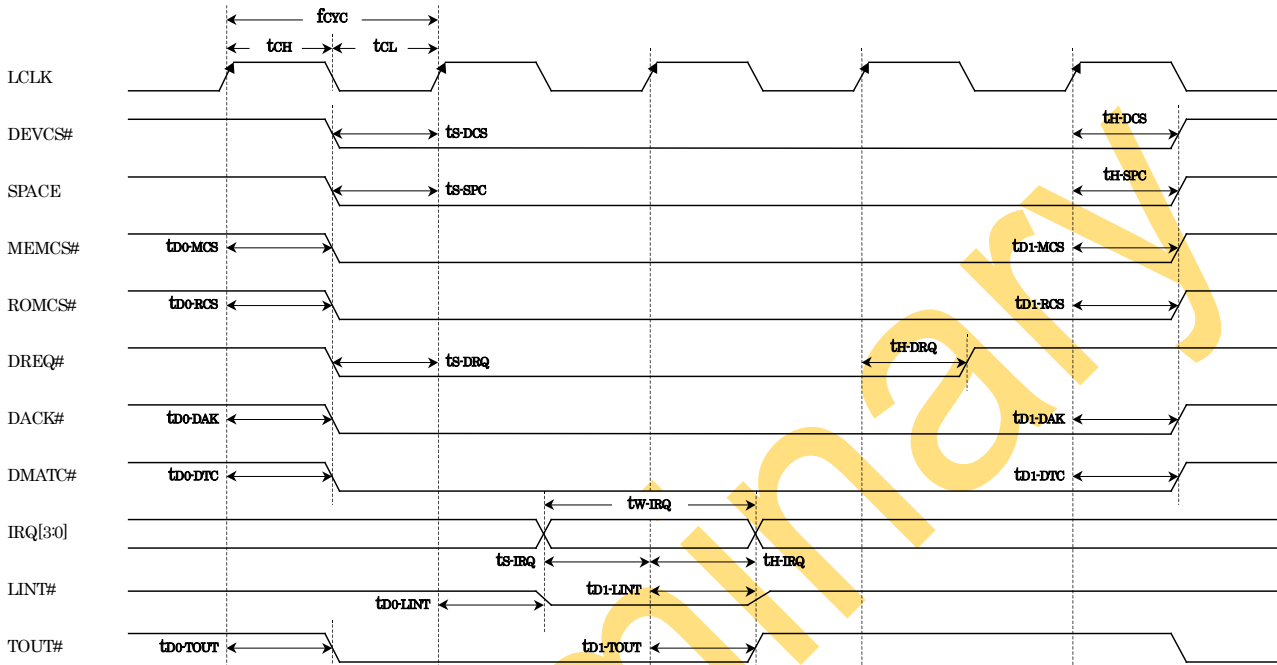


Figure18-1 : 共通のローカル・バス信号タイミング

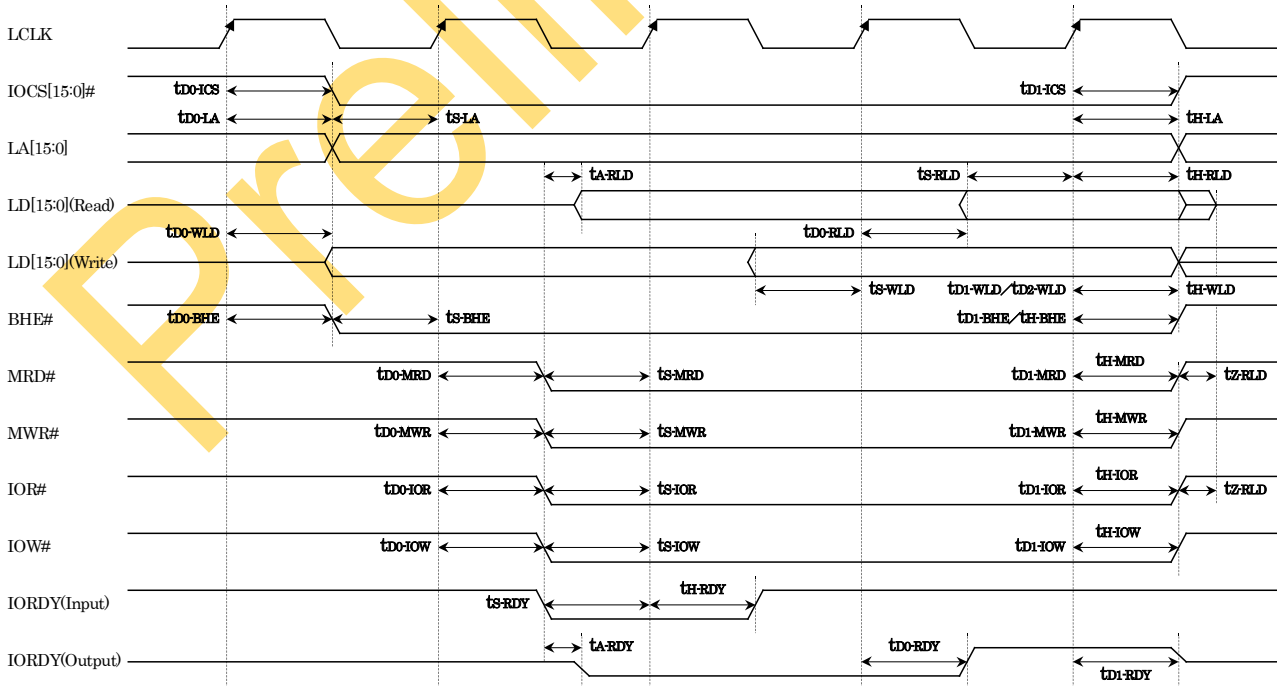


Figure18-2 : 基本ローカル・バス・サイクル (8/16Bit NonMux Mode)

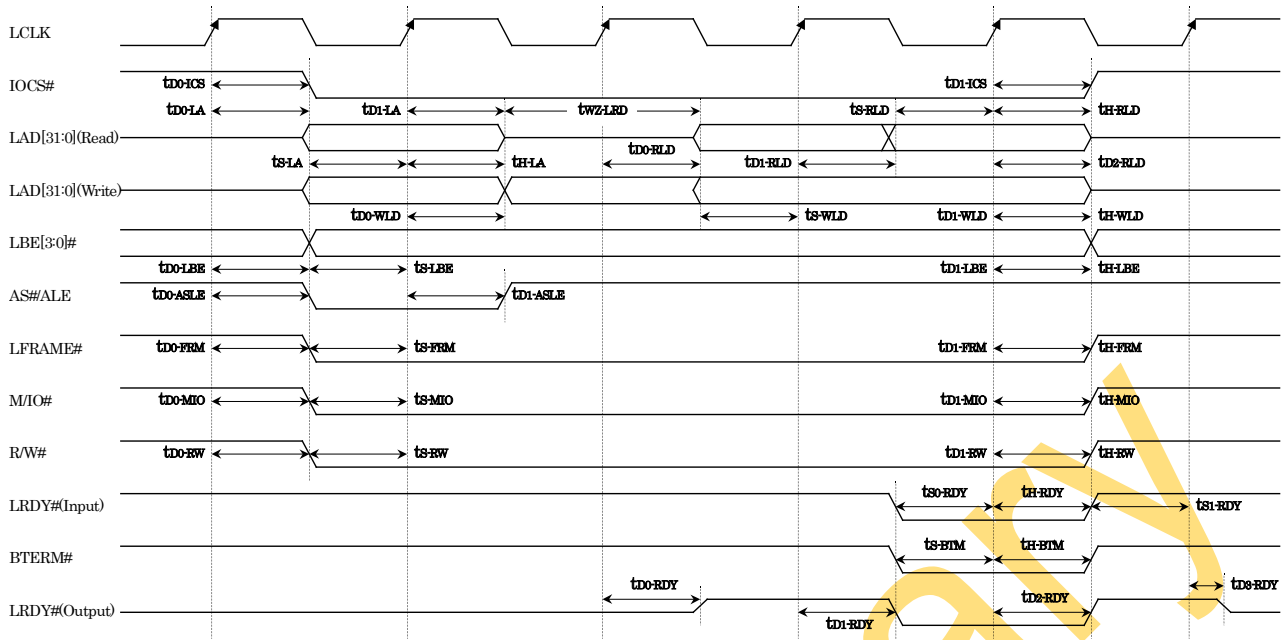
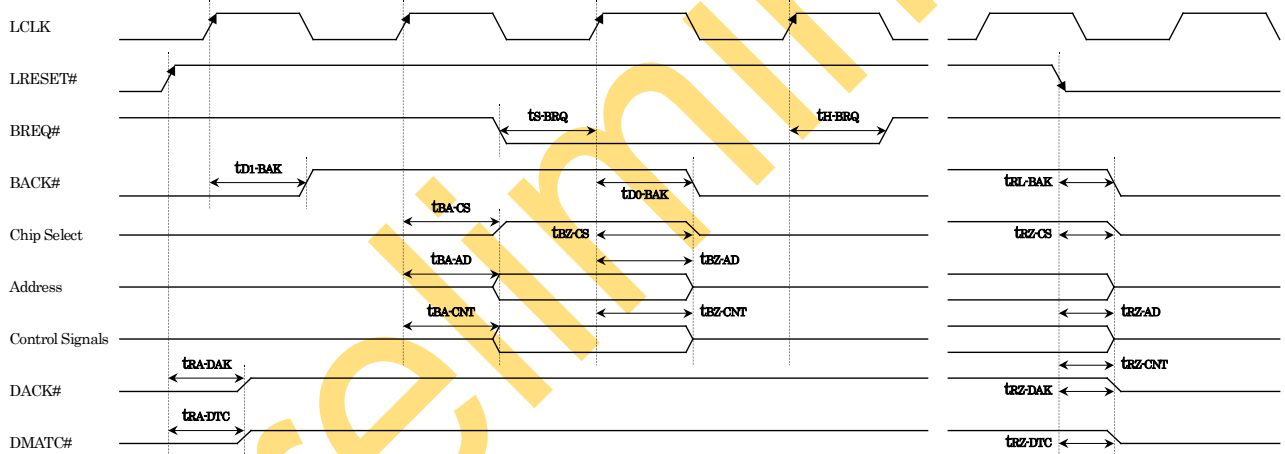


Figure18-3 : 基本ローカルバスサイクル (32Bit Mux Mode)



● 8/16Bit NonMux Mode

- Chip Select : MEMCS# / ROMCS# / IOCS[15:0]#
- Address : LA[16:0]
- Control Signals : BHE# / MRD# / MWR# / IOR# / IOW#

● 32Bit Mux Mode

- Chip Select : MEMCS# / ROMCS# / IOCS#
- Address : N/A
- Control Signals : LBE[3:0]# / AS#/ALE / LFRAME# / M/IO# / R/W#

Figure18-4 : LRESET#とローカルバス・アービトレーション・タイミング

## 18-5-2. クロック/周辺信号タイミング

(推奨動作条件/Output CL=50pF/参照図: Figure18-1)

項目	記号	Min	Max	単位
入力クロック周波数(LCLKi)	fCYC	0	33	MHz
クロック・ハイレベル・パルス幅(LCLKi)	tCH	10	—	ns
クロック・ローレベル・パルス幅(LCLKi)	tCL	10	—	ns
IRQ セットアップ時間 *1	tS-IRQ	11.5	—	ns
IRQ ホールド時間 *1	tH-IRQ	0	—	ns
IRQ パルス幅 *2	tW-IRQ	1	—	LCLK
LINT#アサート遅延時間(Hiz to Low)	tD0-LINT	—	12.5	ns
LINT#ディアサート遅延時間(Low to Hiz)	tD1-LINT	—	8.5	ns
TOUT#アサート遅延時間	tD0-TOUT	—	18	ns
TOUT#ディアサート遅延時間	tD1-TOUT	—	17.5	ns

Notes :

- \*1 PM Wake Event に使用する場合は、非同期入力です。
- \*2 PM Wake Event に使用する場合は、「Min 10ns」です。

## 18-5-3. LRESET#とアービトレーション・タイミング

(推奨動作条件/Output CL=50pF/LCLKo CL=20pF/参照図: Figure18-4)

項目	記号	非同期(LCLKi)		同期(LCLKo)		単位
		Min	Max	Min	Max	
LRESET#解除から DACK#アクティブ遅延時間	tRA-DAK	—	5	—	5	ns
LRESET#解除から DMATC#アクティブ遅延時間	tRA-DTC	—	5	—	5	ns
LRESET#から BACK#アサート遅延時間	tRL-BAK	—	5.5	—	5.5	ns
LRESET#からチップ・セレクト”Hiz”遅延時間	tRZ-CS	—	4	—	4	ns
LRESET#からアドレス”Hiz”遅延時間	tRZ-AD	—	4	—	4	ns
LRESET#からコントロール信号”Hiz”遅延時間	tRZ-CNT	—	4	—	4	ns
LRESET#から DACK#”Hiz”遅延時間	tRZ-DAK	—	4	—	4	ns
LRESET#から DMATC#”Hiz”遅延時間	tRZ-DTC	—	4	—	4	ns
BREQ#セットアップ時間	tS-BRQ	5	—	6.5	—	ns
BREQ#ホールド時間	tH-BRQ	0	—	0	—	ns
BACK#アサート遅延時間	tD0-BAK	2 *1	11	2 *1	5.5	ns
BACK#ディアサート遅延時間	tD1-BAK	2 *1	11	2 *1	5.5	ns
チップ・セレクト・アクティブ遅延時間	tBA-CS	—	15	—	8.5	ns
チップ・セレクト”Hiz”遅延時間	tBZ-CS	—	11.5	—	5	ns
アドレス・アクティブ遅延時間	tBA-AD	—	15	—	8.5	ns
アドレス”Hiz”遅延時間	tBZ-AD	—	11.5	—	5	ns
コントロール信号アクティブ遅延時間	tBA-CNT	—	13.5	—	8	ns
コントロール信号”Hiz”遅延時間	tBZ-CNT	—	10.5	—	5	ns

Notes :

- \*1 遅延時間の Min 値は参考値 (Typ) です。

## 1 8-5-4. バス・タイミング (8/16Bit NonMux Mode)

### 1 8-5-4-1. PCI ターゲット/DMA アクセス

(推奨動作条件/Output CL=50pF/LCLKo CL=20pF/参照図 : Figure18-1, Figure18-2)

項目	記号	非同期(LCLKi)		同期(LCLKo)		単位
		Min	Max	Min	Max	
MEMCS#アサート遅延時間	tD0-MCS	2 *1	13	2 *1	7	ns
MEMCS#ディアサート遅延時間	tD1-MCS	2 *1	13	2 *1	7	ns
ROMCS#アサート遅延時間	tD0-RCS	2 *1	13	2 *1	7	ns
ROMCS#ディアサート遅延時間	tD1-RCS	2 *1	13	2 *1	7	ns
IOCS[15:0]#アサート遅延時間	tD0-ICS	2 *1	13.5	2 *1	7.5	ns
IOCS[15:0]#ディアサート遅延時間	tD1-ICS	2 *1	13	2 *1	7	ns
アドレス遅延時間	tD0-LA	2 *1	13.5	2 *1	7.5	ns
リード・データ・セットアップ時間	tS-RLD	5	—	6.5	—	ns
リード・データ・ホールド時間	tH-RLD	0	—	0	—	ns
ライト・データ遅延時間(Hiz to Valid)	tD0-WLD	2 *1	15	2 *1	8.5	ns
ライト・データ遅延時間(Valid to Hiz)	tD1-WLD	2 *1	11.5	2 *1	5	ns
ライト・データ遅延時間(Valid to Valid)	tD2-WLD	2 *1	13.5	2 *1	7.5	ns
BHE#アサート遅延時間	tD0-BHE	2 *1	13.5	2 *1	7.5	ns
BHE#ディアサート遅延時間	tD1-BHE	2 *1	13	2 *1	7	ns
MRD#アサート遅延時間	tD0-MRD	2 *1	13.5	2 *1	7.5	ns
MRD#ディアサート遅延時間	tD1-MRD	2 *1	13	2 *1	7	ns
MWR#アサート遅延時間	tD0-MWR	2 *1	13.5	2 *1	7.5	ns
MWR#ディアサート遅延時間	tD1-MWR	2 *1	13	2 *1	7	ns
IOR#アサート遅延時間	tD0-IOR	2 *1	13.5	2 *1	7.5	ns
IOR#ディアサート遅延時間	tD1-IOR	2 *1	13	2 *1	7	ns
IOW#アサート遅延時間	tD0-IOW	2 *1	13.5	2 *1	7.5	ns
IOW#ディアサート遅延時間	tD1-IOW	2 *1	13	2 *1	7	ns
IRDY セットアップ時間	tS-RDY	5	—	7	—	ns
IRDY ホールド時間	tH-RDY	0	—	0	—	ns
DREQ#セットアップ時間	tS-DRQ	5	—	6.5	—	ns
DREQ#ホールド時間	tH-DRQ	0	—	0	—	ns
DACK#アサート遅延時間	tD0-DAK	2 *1	14	2 *1	7.5	ns
DACK#ディアサート遅延時間	tD1-DAK	2 *1	14	2 *1	7.5	ns
DMATC#アサート遅延時間	tD0-DTC	2 *1	14	2 *1	7.5	ns
DMATC#ディアサート遅延時間	tD1-DTC	2 *1	14	2 *1	7.5	ns

#### Notes :

\*1 遅延時間の Min 値は参考値 (Typ) です。



## 18-5-4-2. ローカル・マスタ・アクセス

(推奨動作条件/Output CL=50pF/LCLKo CL=20pF/参照図: Figure18-1, Figure18-2)

項目	記号	非同期(LCLKi)		同期(LCLKo)		単位
		Min	Max	Min	Max	
DEVCS#セットアップ時間	tS-DCS	5	—	6.5	—	ns
DEVCS#ホールド時間	tH-DCS	0	—	0	—	ns
SPACE セットアップ時間	tS-SPC	5	—	6.5	—	ns
SPACE ホールド時間	tH-SPC	0	—	0	—	ns
アドレス・セットアップ時間	tS-LA	5	—	6.5	—	ns
アドレス・ホールド時間	tH-LA	0	—	0	—	ns
MRD#/IOR#="L"からデータ・ドライブ遅延時間	tA-RLD	—	13	—	13	ns
リード・データ確定遅延時間	tD0-RLD	—	13.5	—	7.5	ns
MRD#/IOR#="H"からデータ"HiZ"遅延時間	tZ-RLD	—	9	—	9	ns
ライト・データ・セットアップ時間	tS-WLD	5	—	6.5	—	ns
ライト・データ・ホールド時間	tH-WLD	0	—	0	—	ns
BHE#セットアップ時間	tS-BHE	5	—	6	—	ns
BHE#ホールド時間	tH-BHE	0	—	0	—	ns
MRD#セットアップ時間	tS-MRD	7	—	8.5	—	ns
MRD#ホールド時間	tH-MRD	0	—	0	—	ns
MWR#セットアップ時間	tS-MWR	7	—	8.5	—	ns
MWR#ホールド時間	tH-MWR	0	—	0	—	ns
IOR#セットアップ時間	tS-IOR	7	—	8.5	—	ns
IOR#ホールド時間	tH-IOR	0	—	0	—	ns
IOW#セットアップ時間	tS-IOW	7	—	8.5	—	ns
IOW#ホールド時間	tH-IOW	0	—	0	—	ns
コントロール信号="L"から IORDY="L"遅延時間	tA-RDY	—	11.5	—	11.5	ns
IORDY 遅延時間(Low to High)	tD0-RDY	2 *1	13	2 *1	7.5	ns
IORDY 遅延時間(High to Hiz)	tD1-RDY	—	10.5	—	5.5	ns

### Notes :

\*1 遅延時間の Min 値は参考値 (Typ) です。

## 1 8-5-5. バス・タイミング (32Bit Mux Mode)

### 1 8-5-5-1. PCI ターゲット/DMA アクセス

(推奨動作条件/Output CL=50pF/LCLKo CL=20pF/参照図: Figure18-1, Figure18-3)

項目	記号	非同期(LCLKi)		同期(LCLKo)		単位
		Min	Max	Min	Max	
MEMCS#アサート遅延時間	tD0-MCS	2 *1	13	2 *1	7	ns
MEMCS#ディアサート遅延時間	tD1-MCS	2 *1	13	2 *1	7	ns
ROMCS#アサート遅延時間	tD0-RCS	2 *1	13	2 *1	7	ns
ROMCS#ディアサート遅延時間	tD1-RCS	2 *1	13	2 *1	7	ns
IOCS#アサート遅延時間	tD0-ICS	2 *1	13	2 *1	7	ns
IOCS#ディアサート遅延時間	tD1-ICS	2 *1	13	2 *1	7	ns
アドレス遅延時間(Hiz to Valid)	tD0-LA	—	15	—	9	ns
アドレス遅延時間(Valid to Hiz)	tD1-LA	—	11.5	—	5.5	ns
アドレス/リード・データ間の"Hiz"幅	tWZ-LRD	1	—	1	—	LCLK
リード・データ・セットアップ時間	tS-RLD	5	—	6.5	—	ns
リード・データ・ホールド時間	tH-RLD	0	—	0	—	ns
ライト・データ遅延時間(Address to Valid)	tD0-WLD	2 *1	14	2 *1	8	ns
ライト・データ遅延時間(Valid to Valid)	tD0-WLD	2 *1	14	2 *1	8	ns
ライト・データ遅延時間(Valid to Hiz)	tD1-WLD	2 *1	11.5	2 *1	5.5	ns
LBE[3:0]#遅延時間(Invalid to Valid)	tD0-LBE	2 *1	13.5	2 *1	7.5	ns
LBE[3:0]#遅延時間(Valid to Valid)	tD1-LBE	2 *1	13.5	2 *1	7.5	ns
AS#/ALE アサート遅延時間	tD0-ASLE	2 *1	13.5	2 *1	7.5	ns
AS#/ALE ディアサート遅延時間	tD1-ASLE	2 *1	13	2 *1	7	ns
LFRAME#アサート遅延時間	tD0-FRM	2 *1	13.5	2 *1	7.5	ns
LFRAME#ディアサート遅延時間	tD1-FRM	2 *1	13	2 *1	7	ns
M/IO#アサート遅延時間	tD0-MIO	2 *1	13.5	2 *1	7.5	ns
M/IO#ディアサート遅延時間	tD1-MIO	2 *1	13	2 *1	7	ns
R/W#アサート遅延時間	tD0-RW	2 *1	13.5	2 *1	7.5	ns
R/W#ディアサート遅延時間	tD1-RW	2 *1	13	2 *1	7	ns
LRDY#セットアップ時間	tS0-RDY	9	—	13.5	—	ns
LRDY#ホールド時間	tH-RDY	0	—	0	—	ns
サイクル終了から LRDY#="H"セットアップ時間	tS1-RDY	9	—	13.5	—	ns
BTERM#セットアップ時間	tS-BTM	8	—	12.5	—	ns
BTERM#ホールド時間	tH-BTM	0	—	0	—	ns
DREQ#セットアップ時間	tS-DRQ	5	—	6.5	—	ns
DREQ#ホールド時間	tH-DRQ	0	—	0	—	ns
DACK#アサート遅延時間	tD0-DAK	2 *1	14	2 *1	7.5	ns
DACK#ディアサート遅延時間	tD1-DAK	2 *1	14	2 *1	7.5	ns
DMATC#アサート遅延時間	tD0-DTC	2 *1	14	2 *1	7.5	ns
DMATC#ディアサート遅延時間	tD1-DTC	2 *1	14	2 *1	7.5	ns

Notes :

\*1 遅延時間の Min 値は参考値 (Typ) です。

## 18-5-5-2. ローカル・マスタ・アクセス

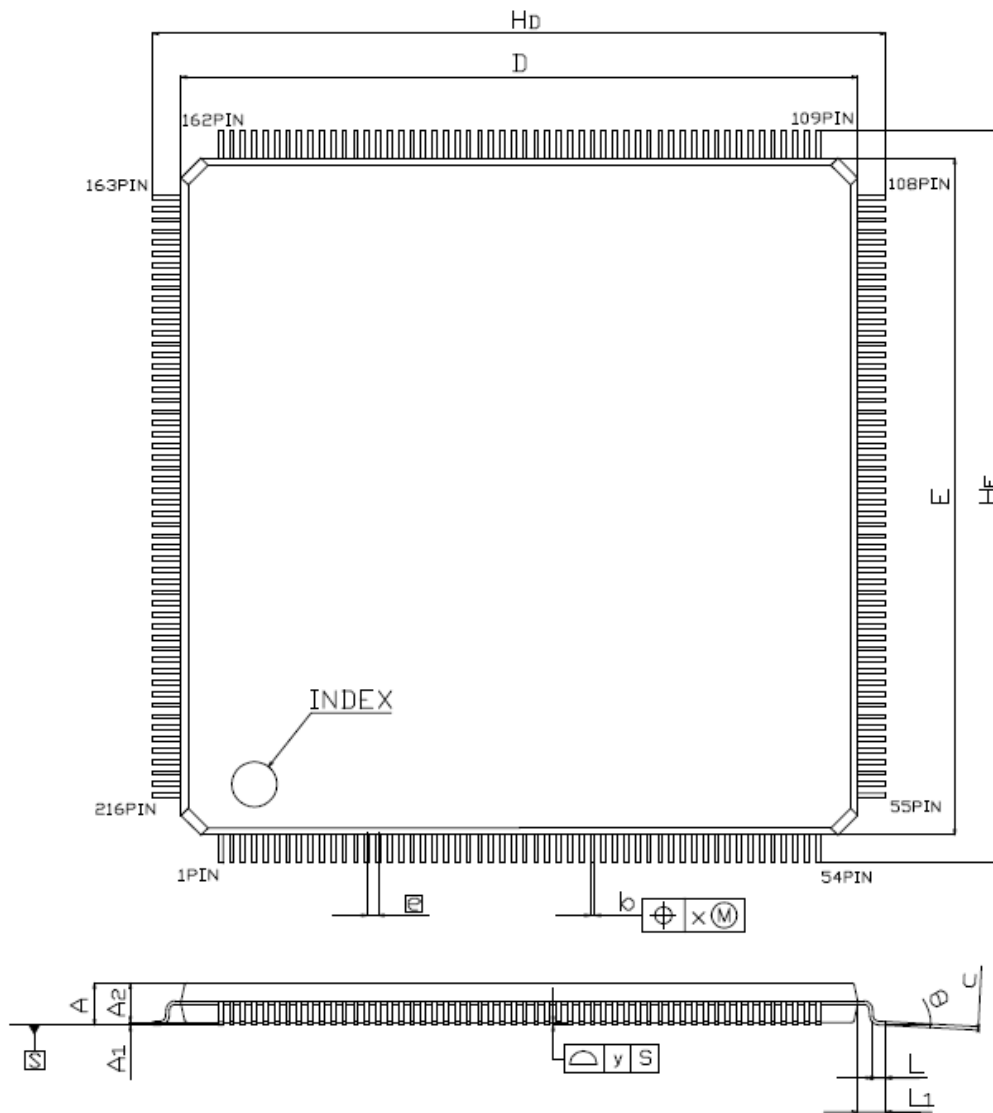
(推奨動作条件/Output CL=50pF/LCLKo CL=20pF/参照図: Figure18-1, Figure18-3)

項目	記号	非同期(LCLKi)		同期(LCLKo)		単位
		Min	Max	Min	Max	
DEVCS#セットアップ時間	tS-DCS	5	—	6.5	—	ns
DEVCS#ホールド時間	tH-DCS	0	—	0	—	ns
SPACE セットアップ時間	tS-SPC	5	—	6.5	—	ns
SPACE ホールド時間	tH-SPC	0	—	0	—	ns
アドレス・セットアップ時間	tS-LA	5	—	6.5	—	ns
アドレス・ホールド時間	tH-LA	0	—	0	—	ns
アドレス検出からリード・データ・ドライブ時間	tWZ-LRD	1	—	1	—	LCLK
リード・データ遅延時間(Hiz to Invalid)	tD0-RLD	—	15	—	9	ns
リード・データ遅延時間(Invalid/Valid to Valid)	tD1-RLD	—	14	—	8	ns
リード・データ遅延時間(Valid to Hiz)	tD2-RLD	—	11.5	—	5.5	ns
ライト・データ・セットアップ時間	tS-WLD	5	—	6.5	—	ns
ライト・データ・ホールド時間	tH-WLD	0	—	0	—	ns
LBE[3:0]#セットアップ時間	tS-LBE	5	—	6.5	—	ns
LBE[3:0]#ホールド時間	tH-LBE	0	—	0	—	ns
LFRAME#セットアップ時間	tS-FRM	9	—	10.5	—	ns
LFRAME#ホールド時間	tH-FRM	0	—	0	—	ns
M/IO#セットアップ時間	tS-MIO	6.5	—	8	—	ns
M/IO#ホールド時間	tH-MIO	0	—	0	—	ns
R/W#セットアップ時間	tS-RW	7	—	8.5	—	ns
R/W#ホールド時間	tH-RW	0	—	0	—	ns
LRDY#遅延時間(Hiz to High)	tD0-RDY	—	13.5	—	7.5	ns
LRDY#遅延時間(High to Low)	tD1-RDY	2 *1	13.5	2 *1	7.5	ns
LRDY#遅延時間(Low to High)	tD2-RDY	2 *1	13	2 *1	7	ns
LRDY#遅延時間(High to Hiz)	tD3-RDY	—	10	—	5.5	ns

### Notes :

\*1 遅延時間の Min 値は参考値 (Typ) です。

# 19. パッケージ寸法



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.90	24.00	24.10
E	23.90	24.00	24.10
A	-	-	1.70
A <sub>1</sub>	0.00	0.10	0.20
A <sub>2</sub>	1.30	1.40	1.50
⊗	-	0.40	-
b	0.13	0.20	0.27
c	0.09	0.15	0.20
θ	0°	5°	10°
L	0.30	0.50	0.70
L <sub>1</sub>	0.80	1.00	1.20
H <sub>D</sub>	25.60	26.00	26.40
H <sub>E</sub>	25.60	26.00	26.40
x	-	-	0.08
y	-	-	0.08

Unit ; mm

## 20. 設計上の注意事項

本項目では、APIC22A を使用する上で注意しなければならない内容についてまとめています。

### 20-1. 電気的特性

#### 20-1-1. LVTTTL 出力バッファの取り扱い

ローカル・インタフェースでは 3.3V (LVDD) 電源動作の LVTTTL バッファを採用しています。入力方向にあるときは外部から 5V 系の信号を入力できるのですが、出力方向にあるとき電源電圧以上の信号が端子に入力されると DC 的な大電流が LSI に流れ込み破損の原因となります。これは、APIC22A が出力方向のとき同時に 5V 系外部デバイスが出力方向で信号どうしの衝突が発生するような論理的動作においても同条件となります。また、低い抵抗値のプルアップ処理も対象となりますのでご注意ください。

なお、オープン・ドレイン構成の出力バッファが“Hiz”状態のときは、5V までの信号印加が可能です。

#### 20-1-2. デバイス内部のプルアップ/プルダウン抵抗について

内部に付加されているプルアップ/プルダウン抵抗は、内部入力保護を目的としており、論理的な動作を保証するためのものではありません。アドレス/データ・バスや制御信号など、“Hiz”状態となる信号は適切な抵抗値で外部プルアップ処理を行う必要があります。

#### 20-1-3. 消費電流と高温動作環境での取り扱いについて

「18-3. 消費電流」項目の動的消費電流は、「18-2. 推奨動作条件」における電源電圧の Typ 値で算出されています。

ボード上で電源電圧を作成する場合は、ある程度余裕を持ったレギュレータ等を選定してください。動的消費電流は、電源電圧に比例し増減します。

高温動作環境では、チップ接合部温度 (Tj) が 125°C を超えることのないようにしてください。特に周囲温度が 70°C を超える環境では、空冷などの放熱処理による安全設計を行ってください。許容範囲内で電源電圧を低く抑えることや動作クロックの低周波数化なども有効です。

## 20-2. バス・オペレーション

### 20-2-1. データ転送中の内部レジスタ操作

低速アプリケーションの場合、データ転送が完了するまで時間差があります。特に Prefetch RD や Posted WR で時間差が発生します。

データ転送中にバス動作に関わる内部レジスタ（ウェイト制御/ステート制御など）の変更が行われると、動作は保証されません。

内部レジスタの変更を行う場合は、内部データ・バッファの状態確認（Adapter Control Register）や Direct RD などを行い転送中のデータが無いことを確認してください。

また、DMA 転送で、最初にアプリケーション回路へ指示を行ったあとに転送を開始するような制御の場合も注意が必要です。

### 20-2-2. バスの競合状態によるデッド・ロックの問題

#### ■ PCI to Local 転送と Local to PCI 転送の競合

PCI からのアクセスと APIC22A からのアクセスが競合するとデッド・ロック状態に陥る場合があります。これは、ホスト・ブリッジ（他の PCI マスタ）と APIC22A がデータを受け付けられないとき互いにリトライ処理を繰り返すことで発生します。特に大容量のデータ転送時に発生しやすくなります。

ホスト・ブリッジが起動するライト・アクセスがリトライ処理のとき、他の PCI マスタからホスト・ブリッジへのアクセスもリトライ処理となる場合があります。

APIC22A の場合、ライト・バッファや内部管理 TAG の空き領域が無いときリトライ処理を行います。ここで、ローカル・バスのバス使用権が APIC22A に無いときはリトライ処理が続くことになります。これら状態のタイミングが一致するとデッド・ロックとなります。

このようなデッド・ロックの問題は、APIC22A の PCI ターゲット動作におけるライト制御を Posted WR とし、コンバイン制御を行うことで比較的発生しづらくなります。また、ローカル・バスのバス使用権を優先的に APIC22A に割り当てることも有効です。

なお、バスの競合状態は、システム全体のパフォーマンスを低下させます。大容量のデータ転送の場合、競合状態が発生しないように制御を行ってください。

#### ■ ローカル・マスタ・アクセスとローカル・プリフェッチの競合

「Local State Control Register : Local Master Access No Local Prefetch」がイネーブルに設定されているとき、BREQ#信号によるアービトレーションとローカル・プリフェッチが周期的に発生すると、PCI 側のリード・アクセスはリトライ処理が続きデッド・ロック状態に陥る場合があります。これは、ローカル・クロックが同期モードのときに発生しやすくなります。

この問題を回避するには、BREQ#信号の一定周期のアサート状態を避けるか、または「Local State Control Register : Local Master Access No Local Prefetch」をディセーブルに設定してください。

### 2 0-2-3. LRDY#信号の取り扱い

ローカル・バスが 32Bit Mux モードのとき、LRDY#信号の取り扱いについて以下に示します。

1. バス・サイクルが起動していないとき (Idle 状態)、LRDY#のアサートは避けてください。
2. シングル・サイクルのとき、LRDY#のアサート状態は 1 LCLK 期間だけ参照されます。
3. LRDY#がアサート状態のとき、同時に LFRAME#がディアサートされている場合は、次のクロックで LRDY#をディアサートしてください。
4. BTERM#信号によりバースト・サイクルを終了したとき、同時に LRDY#をディアサートしてください。

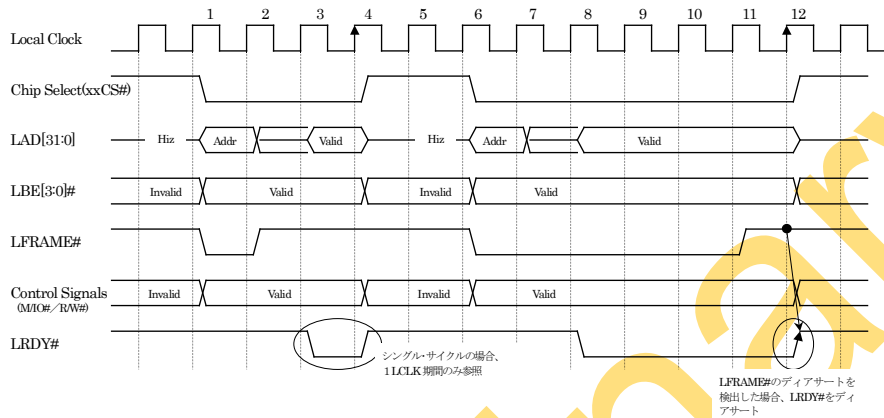


Figure20-1 : LRDY#制御 (DW="0")

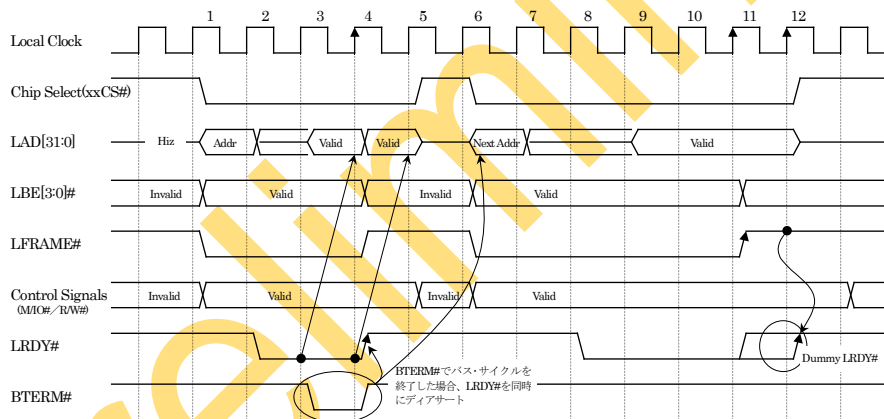


Figure20-2 : BTERM#と LRDY#制御 (DW="1")

## 20-2-4. ローカル・バス・コントロール・レジスタの設定

ローカル・バスが 32Bit Mux モードのとき、アドレス・ウェイト (AW) やデータ・ウェイト (DW) は、メモリ/I/O 空間およびリード/ライトそれぞれに設定項目が分けられていますが、トラブル回避のためできるだけ同一設定でご使用ください。

### ■ 設定例 (Local Bus Mode : 32Bit Mux)

1. AW="0"/DW="0"  
Local Bus Control Register(PCI Offset=10h) : Set "00000000h"
2. AW="1"/DW="0"  
Local Bus Control Register(PCI Offset=10h) : Set "00210210h"
3. AW="0"/DW="1"  
Local Bus Control Register(PCI Offset=10h) : Set "C0840840h"
4. AW="1"/DW="1"  
Local Bus Control Register(PCI Offset=10h) : Set "C0A50A50h"

## 20-2-5. 8/16Bit NonMux モード時のローカル・マスタ・アクセス

ローカル・バスが 8/16Bit NonMux モードでローカル・クロックが非同期モードのとき、ローカル・マスタによる PCI バス・アクセスと PCI マスタからのローカル・バス・アクセスが同時に発生するとデッドロック状態に陥る場合があります。

これは、PCI バス上での競合状態によるデッドロックと同様の状態が APIC22A 内部でも発生するためです。

この問題に関する対応策を以下に示します。

1. 競合状態が発生しないよう転送制御を行います。  
PCI 側とローカル側でステータスなどのメッセージ交換が必要な場合、APIC22A 内部のメッセージ・ボックス機能や割り込み機能を使用し競合状態を回避します。
2. ローカル・データ・バス幅を 16Bit とし、ローカル・マスタからの転送をワード(16Bit)単位で行います。
3. ローカル・データ・バス幅が 8Bit のときやバイト(8Bit)単位の転送が必要な場合、連続するデータ転送中は DEVCS#端子のアサート状態を保持してください。  
8/16Bit NonMux モードの場合、DEVCS#端子のアサート状態を保持することによりローカル・マスタ・アクセスが優先されます。このため、APIC22A 内部の競合状態は比較的に発生しづらくなります。

ローカル・クロックが同期モードのときは、内部データ・バス制御が単純化されているため影響はありません。また、ローカル・バスが 32Bit Mux モードのときは、転送制御がフレーム単位で行われるため影響はありません。



### 20-3. (PME#)信号について

(PME#)は、ホストシステムに対して、ウェイクイベントの発生を知らせる信号です。APIC22A においては、D3cold ステート時<sup>(注1)</sup>、この信号は Hi-Z ではなく、約 0.8V の電位を示します<sup>(注2)</sup>。そのため、APIC22A の (PME#)端子を PCI バスの PME#信号に直接接続すると、シャットダウンや休止等により D3cold ステートに移行した場合、システムによりウェイクイベントが発生したと誤認される場合があります。具体的には、システムがウェイクイベントを有効としていた場合、シャットダウン状態や休止状態となってもすぐに再開してしまうという現象が発生します。

そのため、ウェイクイベント機能を使用しない場合は、この信号は未接続としてください。

また、ウェイクイベント機能を使用する場合においても上記の「誤認」事象を回避する必要があります。そのため、APIC22A の(PME#)端子を PCI バスに直接接続せず、外付け回路にて D3cold ステートにおいて Hi-Z を維持する対策を行っていただく必要があります。

<sup>(注1)</sup> APIC22A に電源が供給されていない状態。「14-1-3. Function Power State(D0~D3)」参照。

<sup>(注2)</sup> (PME#)信号の動作、電気仕様は、前機種「APIC22」の PME#信号から変更されていませんが、PCI バスの PME#信号と直接接続できないことから、信号名の変更と説明の追加を行っています。

Preliminary

## 製品取扱い上のご注意

◇この資料に記載した仕様は、改良などのため、予告なく変更することがあります。  
本製品をご採用の際は、弊社営業担当部門にご確認ください。

◇この資料に掲載されている技術情報は、弊社及び、第三者の知的所有権その他の権利に対する保証または実施の許諾を行うものではありません。また、この資料に記載された情報の使用に起因する障害または財産の侵害に関して弊社は一切の責任を負いません。

◇文書による弊社の許諾なしに本資料の一部または全部を転載または複製することを堅くお断りいたします。

◇本製品は一般電子機器に使用されることを前提に設計されております。  
高い信頼性が要求され、人身・人命に係る装置（航空・宇宙機器を含む輸送機器、交通信号機器、防犯・防災機器、各種安全装置、産業用ロボット、燃焼制御機器、原子力制御システム、生命維持装置を含む医療機器等）に本製品を使用する際は、必ず弊社営業窓口までご相談願います。

◇本製品は耐放射線設計をしておりません。

◇本製品は日本国内仕様として出荷されており、国外での使用は弊社保証規定により保証・サポートの対象外となっております。

◇本製品は輸出貿易管理令における規制対象貨物に該当いたします。  
お客様の事情により本製品または本製品を使用した機器を日本国外へ持ち出しあるいは輸出を行う場合は、弊社営業所までお問い合わせください。

◇弊社は、必ずしも製品の全パラメータに関する検査まで行うものではありません。  
半導体製品はある確立で故障が発生しますので、この製品を使用した機器の設計には許される限りの安全設計、冗長設計等を行うことをお勧めいたします。

### APIC22A 技術資料

2025年2月6日

Revision 2.00p

株式会社シーピーアイテクノロジーズ

E-Mail : support@cpi-tec.com

FAX : 045-331-9203

©2025 CPI Technologies, Inc.