

PLUG MAGICシリーズ プログラマブルロジック搭載CFカード

AXC-PL01

ユーザーズマニュアル

はじめに

このたびはPLUG MAGICシリーズ プログラマブルロジック搭載コンパクトフラッシュカード(以降CFカード)、AXC-PL01をお買い求めいただき誠にありがとうございます。本書を熟読され、正しい使用方法で本製品の性能を十分ご活用いただきますようお願い申し上げます。

※本製品の仕様および外観は製品改良のため予告無く変更する場合があります。

— 動作環境 —

■AXC-PL01は以下の動作環境でご使用ください。

対応機種：Pocket PC2003 日本語版搭載機のPersonal Digital Assistant（以降PDAと記す）

※ご使用前にご使用機種にCFカードスロットがあることをご確認ください。また本書“1. 製品の仕様”の“使用スロットに関して”も併せてご確認ください。

■AXC-PL01内部のCPLD書き換えは以下の環境をご使用ください。

対応機種：PC/AT互換機
Dsub25pin（プリンタポート）を持つもの

対応OS：Windows2000, WindowsXP

推奨プログラムツール：XILINX社製 ISE WebPACK
(XILINX社URL <http://www.xilinx.co.jp/>)

— 特 長 —

- AXC-PL01は製品出荷状態で規格“CompactFlash Specification Revision 1.4”に準拠した最大14点の平行I/Oカードとしてご使用いただけます。平行I/Oは付属ソフトをご利用いただくことによりPDAの画面上で視覚的に入出力の設定を1点ごとに行うことができます。
- 同梱のAXC-PL01MB基板とお客様のPC環境をご使用いただくことにより、CFカードインタフェースを意識せずにオリジナルのカードを作成することができます。
- AXC-PL01MBはAXC-PL01の Complex Programmable Logic Device（以降CPLD）へのプログラム、プログラム後のカード動作確認を行うことができます。

製品構成

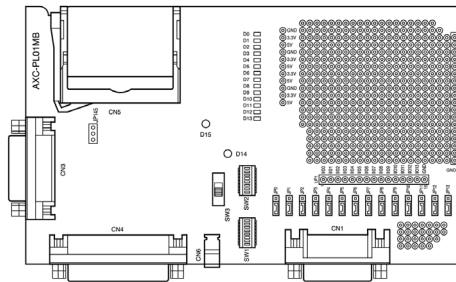
製品をご使用いただく前に本体と次の付属品に不足がない事をご確認ください。万一、不足の品がございましたらお手数ですがお買上げの販売店もしくは弊社までご連絡ください。

製品に同梱されるもの

- ・ AXC-PL01本体 …………… 1
- ・ Dsub15pinコネクタ付きケーブル ……… 1
- ・ サポートディスク (CD-R) …………… 1
- ・ AXC-PL01MB …………… 1
- ・ Dsub25pinコネクタ付きケーブル ……… 1
- ・ 保証書／お客様登録カード …………… 1



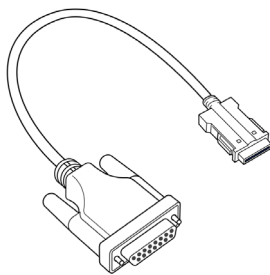
□AXC-PL01



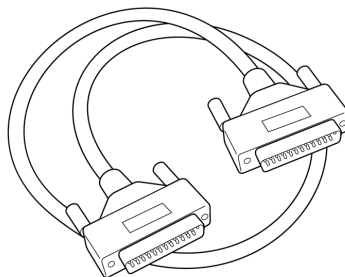
□AXC-PL01MB



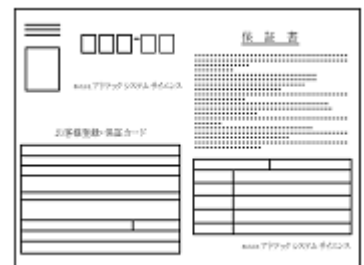
□サポートディスク



□Dsub15pinコネクタ付きケーブル
(CPLD書込み、動作確認用)



□Dsub25pinコネクタ付きケーブル
(CPLD書込み用)



□お客様登録カード・保証書

目次

はじめに	2
製品構成	4
製品に同梱されるもの	4
目次	5
ご注意	9
保証規定	10
安全上の注意	12
1. 製品の仕様	15
2. ソフトウェアの組み込み	17
3. AXC-PL01について	18
3-1. AXC-PL01の概要	18
3-2. スイッチの設定方法について	18
4. カードの取り付け、取り外し	20
4-1. 付属ケーブルのカードへの取り付け方	20
4-2. 付属ケーブルの取り外しかた	20
4-3. PDAへのカード取り付け方	21
4-4. カードの取出し	21

5. AXC-PL01MB基板について	22
5-1. AXC-PL01MB基板の概要説明	22
5-2. AXC-PL01MB操作法について	23
5-2-1. 電源投入方法	23
5-2-2. カードの挿抜方法	24
5-2-3. ジャンパソケットによる接続設定方法	24
5-2-4. 動作確認用基板スイッチ切り替え方法	25
6.CPLDプログラムの注意事項	27
7.プログラム時の機器接続、手順	28
7-1. DSUB25PINコネクタ付きケーブルの接続	28
7-2. AXC-PL01プログラム動作スイッチ設定	28
7-3. AXC-PL01の接続	29
7-4. 配線確認	29
7-5. 電源スイッチ投入	30
7-6. プログラムソフトの起動	30
7-7. カードの取り外し	30
7-8. AXC-PL01動作スイッチ設定	30
8. 動作確認時の機器接続、手順	31
8-1. AXC-PL01 動作用スイッチ設定	31
8-2. PDAへのカード取り付け接続	31
8-3. ジャンパソケットの接続確認	32
8-3-1. AXC-PL01MB基板スイッチを使用した動作確認の場合	32
8-3-2. AXC-PL01MB基板スルーホールを使用した動作確認の場合	33
8-4. DSUB15PIN付きケーブルの接続	33
8-5. 配線確認	33
8-6. 電源スイッチ投入	34
8-7. 動作確認ソフトの起動	34
8-8. カードの取り外し	34
8-9. AXC-PL01MB基板以外での動作確認について	35
9. アプリケーションの作成	36

9-1. 操作手順、アプリケーションの作成	36
<u>10. 収録サンプルプログラムについて</u>	<u>37</u>
10-1. サンプルプログラムの概要説明	37
10-2. サンプルソースファイルについて	38
10-2-1. 信号名の名前について	38
10-2-2. CPLDのピン配置	39
10-2-3. メインモジュールの信号説明	40
10-2-4. サンプルソースI/Oアドレスの説明	42
10-2-5. サンプルプログラムで使用しているレジスタ	42
10-3. サンプル1について	46
10-3-1. サンプル1の概要	46
10-3-2. コンフィグレーションモジュールについて	47
10-3-3. レジスタモジュールについて	48
10-3-4. アウトプットモジュールについて	49
10-3-5. リードモジュールについて	51
10-4. サンプル2について	52
10-4-1. サンプル2の説明	52
10-4-2. サンプル2レジスタモジュールについて	54
10-4-3. サンプル2アウトプットモジュールについて	55
10-4-4. サンプル2カウンタモジュールについて	56
10-5. サンプル3の解説	57
10-5-1. サンプル3の説明	57
10-5-2. サンプル3レジスタモジュールについて	58
10-5-3. サンプル3アウトプットモジュールについて	59
10-5-4. サンプル3リードモジュールについて	60
10-5-5. IRQIOモジュールについて	61
<u>Q&A</u>	<u>62</u>
<u>製品のメンテナンスについて</u>	<u>63</u>
<u>製品のお問い合わせについて</u>	<u>64</u>

ご注意

1. 本製品の外觀仕様および本書の内容は将来予告なしに変更することがあります。
2. 本書の内容につきましては万全を期して作成いたしましたが、万一ご不満な点やお気きの点がございましたら弊社までご連絡ください。
3. 本製品は出荷に際して十分な検査を行い万全を期しておりますが、万一ご使用中にご不審な点やお気付きの点がございましたら弊社までご連絡ください。
4. 本製品につきましては本製品添付の保証書に明記された条件における保証期間中の製品の修理をもって、弊社の唯一の責任とさせていただきます。
5. 本書に記載のすべての事項について、株式会社アドテックシステムサイエンスから文書による許諾を得ずに行うあらゆる複製も転載も禁じます。
6. 本書に記載されている会社名および製品名は、各社の商標又は登録商標です。
7. 本製品の取り扱いについては安全上細心の注意が必要です。取扱説明を十分に理解してから本製品をご使用ください。
8. 本製品をお使いいただくには、PDA、Windows、Verilog-HDL、XILINX社製ISE WebPACK、CFカードについての一般的な知識が必要です。本書はお読みになるお客様がこれらの使い方については既にご存知であることを前提に、製品の使いかたを説明しています。弊社ではこれらの内容についての質問にはお答えできません。ご不明な点がございましたら規格書や関係書籍等をご参照ください。

保証規定

1. 保証の範囲

- 1.1 この保証規定は弊社—株式会社アドテックシステムサイエンスが製造・出荷し、お客様にご購入いただいたハードウェア製品に適用されます。
- 1.2 弊社によって出荷されたソフトウェア製品については弊社所定のソフトウェア使用許諾契約書の規定が適用されます。
- 1.3 弊社以外で製造されたハードウェア又はソフトウェア製品については、製造元／供給元が出荷した製品そのままを提供いたしますが、かかる製品にはその製造元／供給元が独自の保証を規定することがあります。
- 1.4 AXC-PL01のCPLDプログラムはお客様の責任となります。
プログラムの内容や操作方法によっては書き込み後にAXC-PL01、接続機器に恒久的に不具合が生じることがあります。プログラミングを行なう際には十分に内容を確認してからプログラミングを行ってください。

2. 保証条件

弊社は以下の条項に基づき製品を保証いたします。製品トラブルを未然に防ぐためにもあらかじめ各条項をご理解のうえ製品をご使用ください。

- 2.1 この保証規定は弊社の製品保証の根幹をなすものであり製品によっては、その取扱説明書や保証書などで更に内容が細分化され個別に規定されることがあります。したがってここで規定する各条項の拡大解釈による取り扱いや特定目的への使用に際しては十分にご注意ください。
- 2.2 製品の保証期間は製品に添付される「保証書」に記載された期間となり、弊社は保証期間中に発見された不具合な製品について保証の責任をもちます。

2.3 保証期間中の不具合な製品について弊社は不具合部品を無償で修理または交換します。ただし次に記載する事項が原因で不具合が生じた製品は保証の適用外となります。

- 事故、製品の誤用や乱用
- 弊社以外が製造又は販売した部品の使用
- AXC-PL01MB基板ユニバーサル部分以外への製品改造
- 弊社が指定した会社以外での調整や保守、修理など
- その他の天災等の弊社に責が無い場合

2.4 弊社から出荷された後に災害または第三者の行為や不注意によってもたらされた不具合および損害や損失についてはいかなる状況に起因するものであっても弊社はその責任を負いません

2.5 原子力関連、医療関連、鉄道等運輸関連、ビル管理、その他の人命に関わるあらゆる事物の施設・設備・器機など全般にわたり、製品を部品や機材として使用することはできません。もし、これらへ使用した場合は保証の適用外となり、いかなる不具合および損害や損失についても弊社は責任を負いかねます。

2.6 AXC-PL01のCPLDプログラムを行った時点で製品は弊社標準品としての保証外となります。プログラムに伴う不具合および損害や損傷については、いかなる状況に起因するものであっても弊社はその責任を負いません。

安全上の注意

ここに示す注意事項は、製品を安全に正しくお使いいただき、お客様や他の人々への危害や財産への損害を未然に防ぐためのものです。

注意事項は、誤った取り扱いで生じる危害や損害の大きさ、または切迫の程度によって内容を「警告」と「注意」の2つに分けています。「警告」や「注意」はそれぞれ次のことを知らせていますので、その内容をご理解なさってから本文をお読みください。

警告： この指示を無視して誤った取り扱いをすると、人が死亡したり重傷を負ったりすることがあります。

注意： この指示を無視して誤った取り扱いをすると、人が傷害を負ったり、物に損害を受けたりすることがあります。



—— 感電や火災の危険があります ——

- 本製品を分解したり改造したりしないでください。火災や感電の原因となることがあります。万一、発熱、煙が出ている、異臭がするなどの異常に気がついた場合は速やかに所定の手順にしたがい電源スイッチを切り、その後に本製品を取り外してください。異常状態のまま使用すると火災や感電のおそれがあります。
- 金属片、水、その他の液体等の異物が機器の内部に入った場合や付着した場合には速やかに所定の手順にしたがい電源スイッチを切り、その後に本製品を取り外してください。そのまま使用すると火災や感電のおそれがあります。
- 付属のケーブル以外のものは使用しないでください。火災や感電の原因となることがあります。
- 付属ケーブルを取り外すときにケーブルを引っ張らないでください。ケーブルをいため火災や感電の原因となることがあります。

- 本製品や付属ケーブルの上に物を置かないでください。また、無理に曲げたり引っ張ったりしないでください。製品やケーブルをいため火災や感電の原因となることがあります。
- AXC-PL01の駆動電源電圧は3.3Vとなっています。ご使用になるPDAのコンパクトフラッシュ用の電源電圧が3.3Vであることを確認してから本製品を使用してください。万一、5V電圧等の想定外の電源電圧を本製品に入力すると製品の破損だけではなく火災や感電の原因のおそれがあります。
- 本製品、特にAXC-PL01MBをご使用になる場合には製品のまわりに短絡するものがないことを確認してからご使用してください。製品に短絡が起きると本製品や接続機器が破損するだけではなく火災や感電の原因となるおそれがあります。



取り扱いかたによっては
—— けがをしたり機器を損傷したりすることがあります ——

- 本製品に強い衝撃を与えないでください。
- 故障、誤動作等の原因となりますのでご使用の際には、静電気にご注意ください。
- 直射日光のあたる場所、極端に高温・低温になる場所、湿度の高い場所、ほこりの多い場所での使用や保管は行なわないでください。
- 急激な温度差を与えると結露が発生します。発生した場合は必ず時間をおき、結露が無くなってからご使用してください。
- カードの差込方向にご注意ください。カードのコネクタは逆差し防止構造になっていますが、無理に押し込もうとするとカードコネクタやカードが破損する場合があります。
- カードコネクタ端子にふれないでください。接触不良や故障の原因になることがあります。

1. 製品の仕様

AXC-PL01製品仕様

I/F仕様	CompactFlash Specification Revision 1.4準拠 CF+ (工場出荷時)
パラレルI/O仕様	3.3V駆動 LVTTL Level (5Vトレラント入力)
パラレルI/O数	最大入出力設定14点 (入出力方向は1点毎にソフト設定可能) GND 1点
入力時出力電圧 (電流)	$V_{oh} = 2.4V \text{ Min}$ ($I_{oh} = -4.0mA$) $V_{ol} = 0.4V \text{ Max}$ ($I_{ol} = 8.0mA$)
パラレルI/O入力電圧	Highレベル Min 2.0 Lowレベル MAX 0.8V 5Vトレラント入力のため、MAX 5.0Vまでの電圧を印加可能
対応機種	Pocket PC 2003準拠品
実装CPLD	XILINX XC95144XL
プログラム可能回数	最大10000回のプログラム/消去が可能
対応OS	Microsoft® Pocket PC 2003 Software日本語版
電源	3.3V (5.0V電源の入力不可) 3.3Vシステム対応CompactFlashホスト側から供給
動作温度範囲	0°C~60°C
動作湿度範囲	20°C~80% (結露しないこと)
保存温度範囲	-15°C~70°C
外形サイズ	Compact Flash Specification Revision 1.4準拠 TYPE I カード 幅 約31 (mm) × 奥行約37 (mm) × 厚さ 約3.5 (mm)
重量	約10g
消費電流	100mA (TYP)
動作切替スイッチ	プログラム動作切替用1点 Global GND切替スイッチ1点 GPIO (ユーザー用スイッチ) 1点

ご注意：CPLDのプログラム内容によっては上記仕様を満たせないことがあります。

— 使用スロットに関して —

AXC-PL01は3.3V専用カードです。PCカード変換アダプタなどを使用してノートPC等で本製品をご使用になる場合にノートPCの機種によっては、差込と同時に5V電源電圧が印加することがあります。5Vの電源電圧を本製品に印可すると製品の破損だけではなく火災や感電、ノートPCの故障等予期せぬ事故が発生する可能性があります。

本製品を以下の使用条件に基づいたカードスロットを使用することにより安全にご使用いただけます。

- CF+ and Compact Flash Specification Revision 1.4以上に準拠したCFカードスロットTYPE I またはTYPE II を持つもの。
- PC Card Standard 95以上に準拠したPCカードスロットTYPE I またはTYPE II を持つもの。
- カードスロットがDC 3.3V電圧に対応しているもの。
(DC 5V電圧のみで動作するパソコンなどでは使用できません)

また、メモ리카ード専用スロット、TrueIDEモードのみをサポートするCFカードスロットではご使用出来ません。ノートPCなどでご使用になる場合には前もってご使用になるノートPCのメーカーにDC3.3V電圧に対応しているかをお問い合わせください。

AXC-PL01MB製品仕様

I/O仕様	Dsub15pinオスコネクタ1 (CPLDプログラム時使用)
	Dsub15pinオスコネクタ2 (動作確認時使用)
	Dsub25pinメスコネクタ (CPLDプログラム時使用)
基板外形	170.0 (W) mm×100.0 (D) mm (突起部は含まず)
電源	DC5V±5%付属アダプタより供給
動作確認用回路	動作確認用LED14点
	動作確認用DIPスイッチ14点
入力時入力電圧	Highレベル Min 2.0 Low レベル MAX 0.8V 5Vトレラント入力のため、MAX 5.0V迄の電圧を印加可能
スルーホールエリア	約53.0mm×55.0mm (φ0.90mm 2.54mmピッチスルーホール)
スルーホールエリア供給電圧	3.3V 500mA (AXC-PL01MB内部回路より供給)

2. ソフトウェアの組み込み

本製品をPDAでご使用になるためには製品専用のドライバ、動作確認ソフトをお客様がPDAに組み込みこむ必要があります。専用ドライバ、動作確認ソフトをインストールする際にはサポートディスク内に収めているソフトウェアマニュアルの手順にしたがい、必要なソフトウェアのインストールを行ってください。

ご注意：サポートディスクに収録されている動作確認ソフトは、サンプルソースの動作確認用に作成されています。このため、お客様が作成されたプログラム内容によっては添付ソフトで動作確認を行なえないことがあります。

この場合には別途サンプルソースをご参考に動作確認用ソフトを作成ください。

3. AXC-PL01について

3-1. AXC-PL01の概要

AXC-PL01は内部に144マクロセルを持つCPLDを実装したCFカードです。

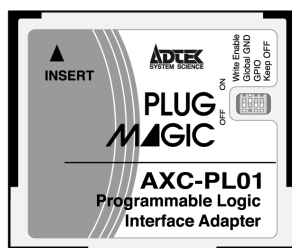
内部CPLDはパネル正面にあるスイッチの設定を行うことにより、プログラム動作とCFカード動作の切り替えを行えます。また、GPIOスイッチ設定による動作の切り替え設定（プログラムされた内容による）も可能です。

オリジナル動作をするCFカードを作成する場合にはサポートディスク内に収めているサンプルソースを参考にいただければ、比較的容易にオリジナルのCFカードを作成することができます。

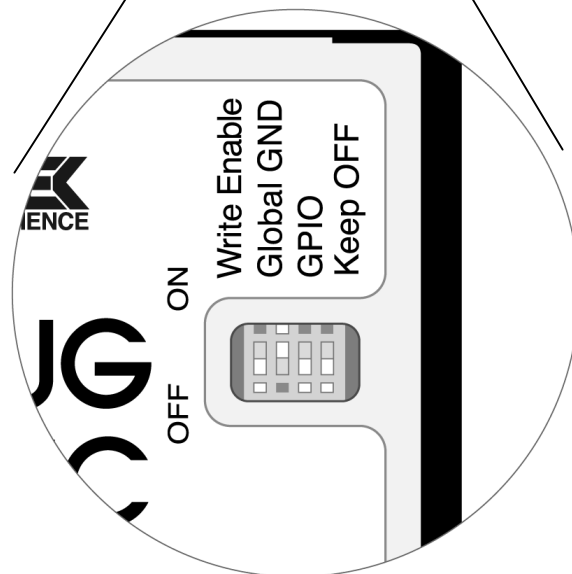
出荷時にはAXC-PI01（パラレルCFカード）相当の動作が行えるよう、サンプル3（製品収録サンプルソース）の内容がCPLDにプログラムされています。

3-2. スイッチの設定方法について

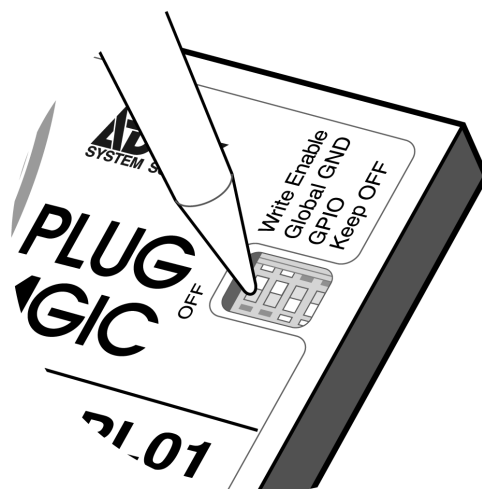
パネル正面にあるスイッチ窓から内部スイッチを操作することにより、動作の切り替えを行います。



スイッチ部分の拡大図



下図のようにパネル正面のスイッチ操作窓からスイッチの切り替えを行なってください。この時切り替えるスイッチはカチッと音がするまで押し込んでください。切り替えたスイッチが中途半端な位置にある場合には、正常に動作しないことがありますのでご注意ください。



スイッチの機能説明

シルク名	Write Enable
機能	CPLDプログラム動作切替スイッチ
Default設定	OFF
動作説明	ON設定時CPLDプログラム動作 OFF設定時カード動作（CPLDプログラム動作）

シルク名	Global GND
機能	Local Side出力切り替え
Default設定	ON
動作説明	ON設定時Local SideへGNDレベル出力 OFF設定時入出力信号（CPLDのプログラムによる）

シルク名	GPIO（General Purpose Input/Output）
機能	汎用入出力スイッチ 内部CPLDのI/Opin（12pin）へ接続しています。 作成になるCFカードの動作切替スイッチとしてご使用ください。
Default設定	OFF
動作説明	ON設定時CPLD 12pinへLowレベル出力 OFF設定時CPLD 12pinへHighレベル出力

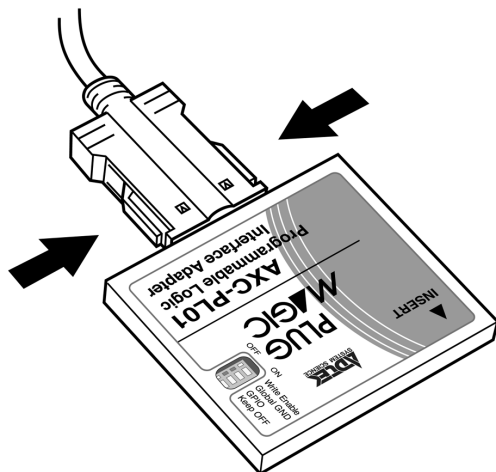
シルク名	Keep OFF
機能	—
Default設定	OFF
動作説明	未使用スイッチ

ご注意：Keep Offスイッチは常時Off設定にしてください。

4. カードの取り付け、取り外し

4-1. 付属ケーブルのカードへの取付け方

カードの上面（PLUG MAGICの文字が見える側）と付属ケーブルのカード側コネクタの上面（金属部分があるほう）を合わせカードへ静かに差し込みます。



ご注意：ロックングがしっかり嵌合したことを確認してください。

接続ケーブルを無理に曲げたり、コネクタとカードとの接続部に無理な力を加えたりすると動作不良や故障の原因になります。

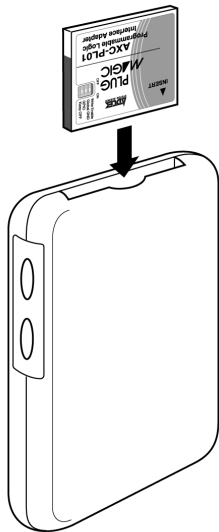
4-2. 付属ケーブルの取り外しかた

PDAがカードにアクセスしていないことを確認した後にケーブル取付けと同様に4-1図を参考にロック部分を矢印の方向に押した状態で、カードからケーブルを静かに取り外します。

ご注意：PDAのカードアクセス中にケーブルを取り外すと故障の原因となりますのでご注意ください。

4-3. PDAへのカード取付け方

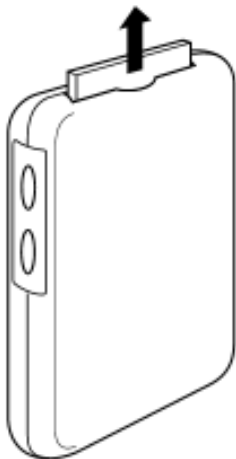
下図を参考にカードのインタフェース・コネクタ側をPDAのカードスロットに静かに差し込みます。



※お使いになるPDAの機種によっては参考図とインタフェース・コネクタの機構、CFカードの取り付け向き等が異なることがあります。カードの取付けの際にはご使用になるPDAの取扱説明書をご参考にカードの装着を行ってください。

4-4. カードの取出し

カードをPDAから取り出す時はデータの転送を行っていないことを確認し、カードをPDAから静かに取出します。



※カードを取り出すときには動作確認ソフトをすべて終了してから行ってください。

5. AXC-PL01MB基板について

5-1. AXC-PL01MB基板の概要説明

AXC-PL01MB基板はAXC-PL01内部CPLDのプログラム動作、プログラムされたAXC-PL01の動作確認に使用する基板です。

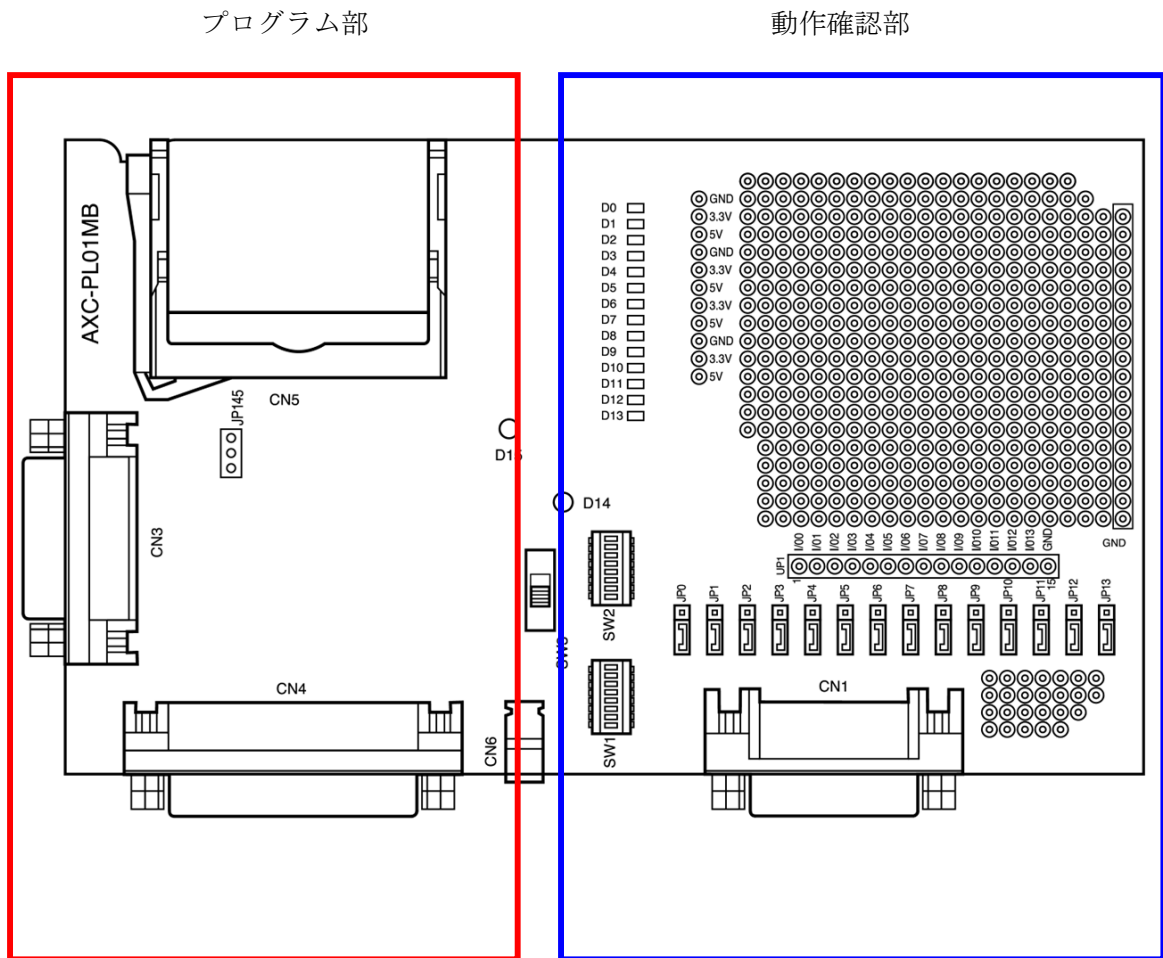
下記に示すように大きく分けてプログラム部と動作確認部から構成されており、AXC-PL01、添付ケーブルの接続方法により動作を切り替えます。

プログラム部：

AXC-PL01に作成したCPLD情報をプログラムする時に使用します。

動作確認部：

AXC-PL01の動作確認に使用します。製品出荷状態でも簡単な動作確認が出来るようにスイッチ、LEDをそれぞれ14点分実装しています。動作確認部のジャンパポスト設定を行うことにより、AXC-PL01の平行I/Oの接続先をスルーホールエリアと基板実装スイッチのいずれかに変更できます。スルーホールエリアにはお客様が作成された動作確認回路を実装することが可能です。



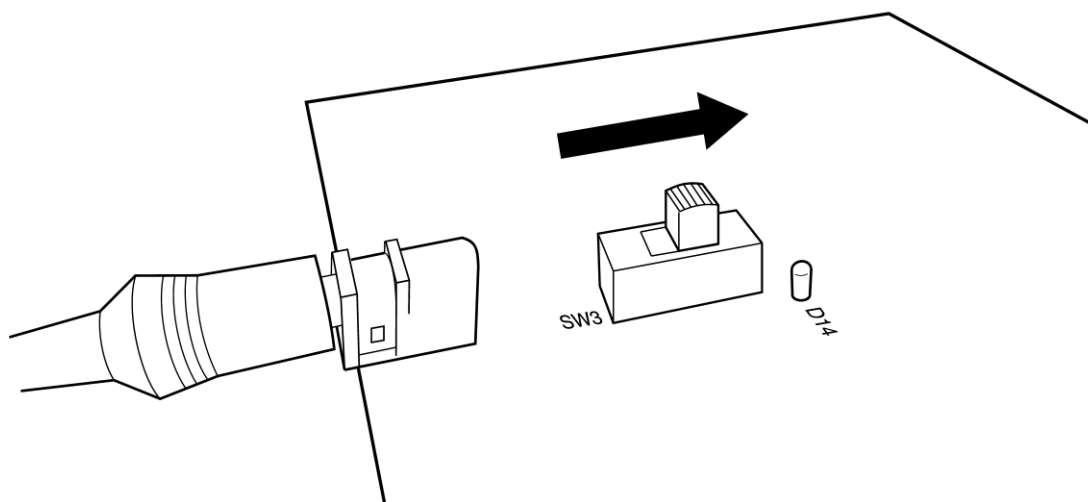
AXC-PL01MBシルク部品機能説明

基板シルク	機能
CN1	動作確認時接続用コネクタ
CN3	プログラム時使用コネクタ
CN4	プログラム時使用コネクタ
CN5	プログラム時使用コネクタ
CN6	ACアダプタジャック
D1~D13	動作確認用LED
D14	電源確認用LED
D15	プログラム動作確認用LED
JP0~JP13	出力信号切替用ジャンパポスト
SW1,SW2	動作確認用スイッチ
SW3	電源スイッチ
UP1	信号出力端子
3.3V, 5.0V, GND	電源スルーホール 3.3V、5.0V共に500mA供給可能

5-2. AXC-PL01MB操作法について

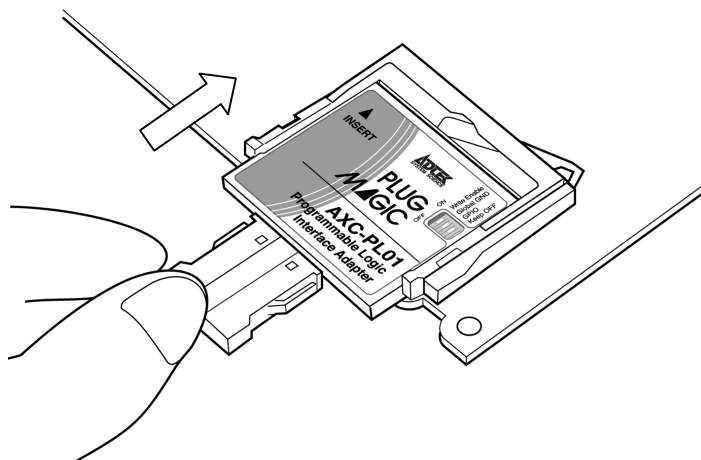
5-2-1. 電源投入方法

基板シルク CN6のACジャックに製品添付ACアダプタを接続した後に、スイッチ3のレバーを矢印の方向に切り替えてください。この時電源LED D14が点灯している事を確認ください。



5-2-2. カードの挿抜方法

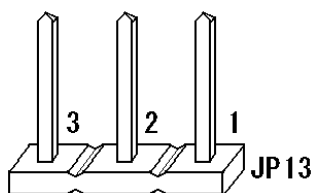
AXC-PL01とAXC-PL01MB基板を接続するときには下図を参考にAXC-PL01を矢印の方向に奥までしっかりと差し込んでください。AXC-PL01を取り外すときにはCN5コネクタ横にあるイジェクトボタンを押してからカードを取り外してください。



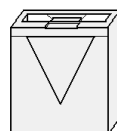
ご注意：カードの挿抜はAXC-PL01MB基板を電源OFFにしてから行ってください。

5-2-3. ジャンパソケットによる接続設定方法

ジャンパポストJP0～JP13にジャンパソケットを接続することにより、AXC-PL01 パラレルI/Oの接続先を基板実装スイッチ（SW1,SW2）、スルーホールエリアのいずれかに設定することができます。パラレルI/Oの接続設定は1点（1ビット）ごとに切り替えることができます。



ジャンパピン



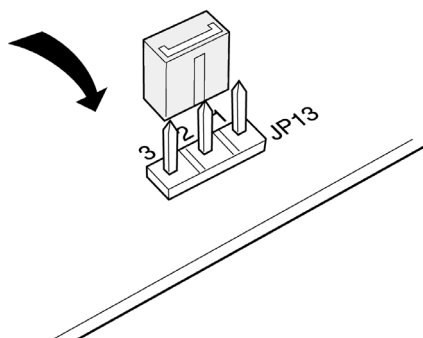
ジャンパソケット

※ジャンパソケットにはKEL DSP01-002-430G-6 を使用しています。万が一紛失した場合には相当品のジャンパソケットをご使用ください。

ジャンパソケット設定

ジャンパソケットの設定	AXP-PL01 パラレルI/O 接続先
1 pin - 2 pin 間	基板スイッチ (SW1,SW2)
2 pin - 3 pin 間	スルーホールエリア (UP1)

設定変更を行う場合は基板電源をOFFにしてから作業を行ってください。ジャンパソケットはジャンパピンにしっかりと接続させてください。



ご注意：ジャンパソケットをしっかりと接続していない場合には、動作確認部が正常に動作しないことがあります。

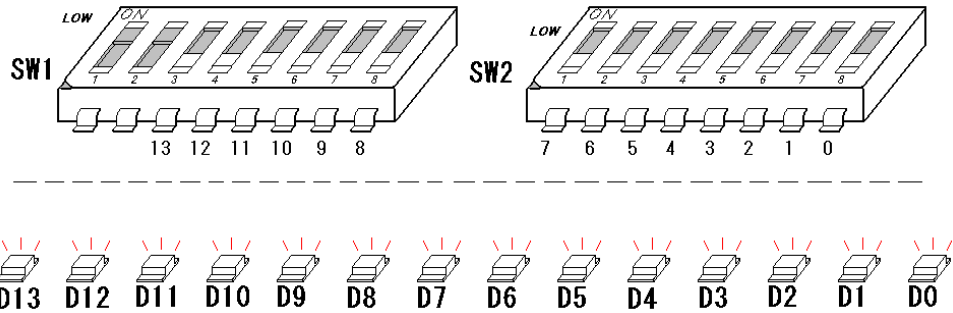
5-2-4. 動作確認用基板スイッチ切り替え方法

基板実装スイッチ（SW1,SW2）を操作することにより、AXC-PL01の平行I/OにLowレベルまたは、Highレベル（3.3Vレベル）の信号を出力することができます。平行 I/Oへの出力信号は基板シルクLow側設定でLowレベル出力、反対側でHighレベルを出力し、スイッチをHighへ設定したビットに対応するLEDが点灯します。

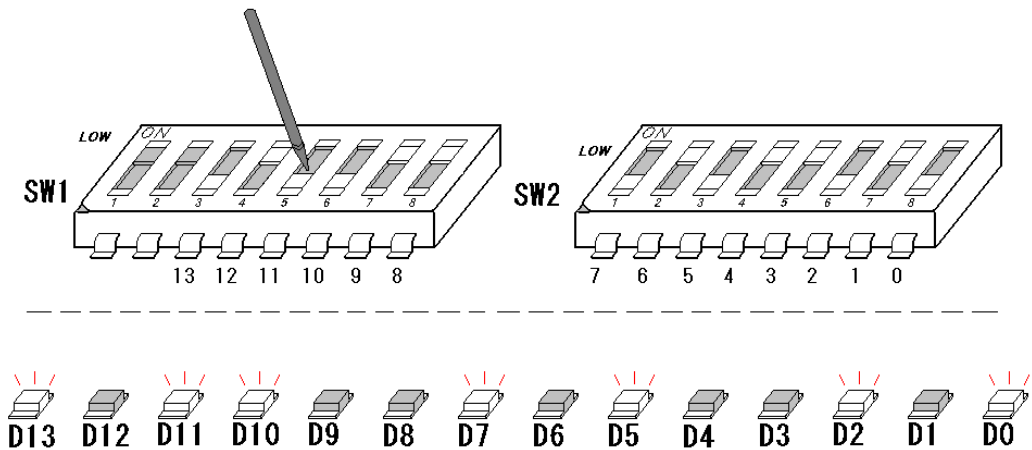
スイッチ設定

スイッチシルク	基板シルク	機能
SW1_1 pin	—	未使用
SW1_2pin	—	High設定でD0～D13,D15のLED全消灯
SW1_3pin	13	AXP-PL01 平行 I/O ビット13 へ信号出力
SW1_4pin	12	AXP-PL01 平行 I/O ビット12 へ信号出力
SW1_5pin	11	AXP-PL01 平行 I/O ビット11 へ信号出力
SW1_6pin	10	AXP-PL01 平行 I/O ビット10 へ信号出力
SW1_7pin	9	AXP-PL01 平行 I/O ビット9 へ信号出力
SW1_8pin	8	AXP-PL01 平行 I/O ビット8 へ信号出力
SW2_1pin	7	AXP-PL01 平行 I/O ビット7 へ信号出力
SW2_2pin	6	AXP-PL01 平行 I/O ビット6 へ信号出力
SW2_3pin	5	AXP-PL01 平行 I/O ビット5 へ信号出力
SW2_4pin	4	AXP-PL01 平行 I/O ビット4 へ信号出力
SW2_5pin	3	AXP-PL01 平行 I/O ビット3 へ信号出力
SW2_6pin	2	AXP-PL01 平行 I/O ビット2 へ信号出力
SW2_7pin	1	AXP-PL01 平行 I/O ビット1 へ信号出力
SW2_8pin	0	AXP-PL01 平行 I/O ビット0 へ信号出力

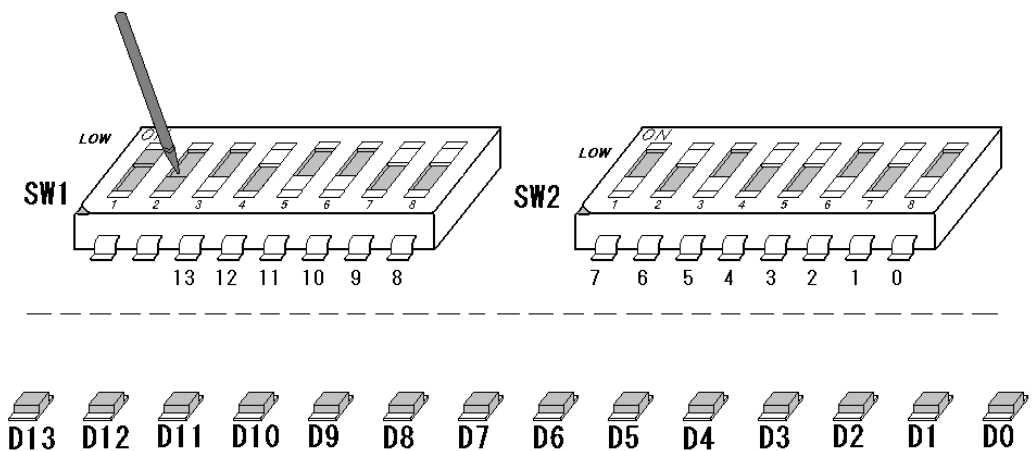
製品出荷状態ではスイッチSW1の1と2がLowに、SW1の3～8およびSW2の全bitがHighに設定されています。この状態でAXC-PL01MB基板の電源を投入すると下図のようにスイッチのシルク番号に対応したD0～D13のLEDが点灯します。



スイッチ設定情報はAXP-PL01の平行 I/Oと基板実装LEDに出力されます。スイッチ設定を行うと下図のようにLEDの点灯が変化します。



SW1の2pinをHigh側に設定すると下図のようにすべてのLEDが消灯します。この時LEDは消灯しますが、AXC-PL01 平行 I/Oにはスイッチ設定の情報を出力されます。



6.CPLDプログラムの注意事項

CPLDのプログラムを行う前に必ず下記内容をご確認ください。

- 1.AXC-PL01のCPLDにプログラムを行った時点で製品は弊社標準品としての保証外となります。CPLDのプログラムに伴う不具合および損害や損傷については、いかなる状況に起因するものであっても弊社はその責任を負いません。

ご注意：プログラム動作を行った時点で上記内容をご了承いただいたものと判断いたします。

- 2.CPLDのプログラム作業はVerilog-HDL、XILINX社製ISE WebPACKを使用することを想定しています。マニュアルではお使いいただくお客様に一般的な知識があるものとして操作方法を説明しています。弊社ではVerilog-HDL、ISE WebPACKについてのご質問、ご相談についてはいかなる内容もご対応できませんのでご了承ください。

ご不明な点がありましたら専門書籍や関係書籍等をご参照ください。

- 3.下記信号線は電源投入時の動作が出力設定になっている場合に以後のCPLDのプログラムを行えなくなります。

電源投入時の動作に注意が必要な信号線
72pin
73pin
76pin
77pin
78pin
79pin
80pin
81pin

動作不良を回避するためお客様が作成するプログラムでは上記信号線を出力設定にしないことをお勧めいたします（推奨：未使用※）。出力設定にする場合にはサポートディスク内に保存されているサンプルソースを参考に電源投入時の動作に十分注意してご使用ください。

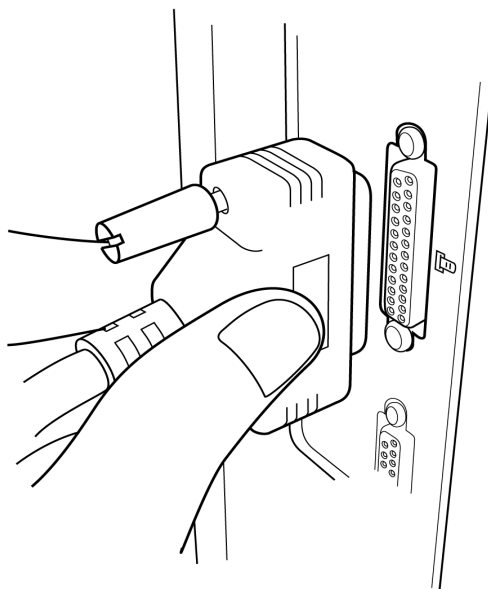
- 4.プログラムを行う場合にはサンプルソースを参照にすることをお勧めいたします。サンプルソースには内容を変更すると正しい動作が出来なくなる部分もあります。プログラムを行う場合にはマニュアル、サンプルソースをよく読んでから行なってください。
- 5.ご自分でプログラムされる方はカード規格” CompactFlash Specification Revision 2.1 ”をご参照ください。カード規格に関するご質問、ご相談についてはいかなる内容もご対応できませんのでご了承ください。

※：FittingオプションのCreate Programmable GND Pin on Unused I/O は未使用にしてください。

7. プログラム時の機器接続、手順

7-1. Dsub25pinコネクタ付きケーブルの接続

添付Dsub25pinケーブルコネクタは下図を参考にPC/AT互換機プリンタポートに接続ください。反対側のコネクタはAXC-PL01MB基板のCN4コネクタに接続してください。

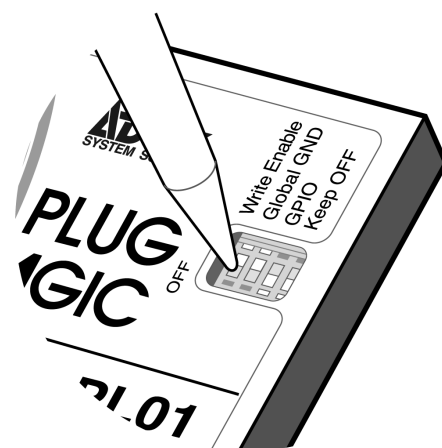


7-2. AXC-PL01プログラム動作スイッチ設定

プログラム動作を行うにはAXC-PL01のパネルスイッチに下記の設定をする必要があります。

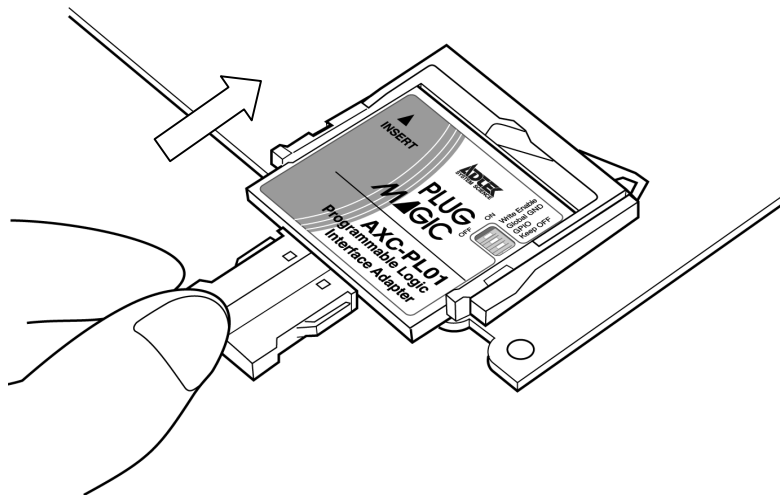
パネルシルク名	設定
Write Enable	ON
Global GND	ON
GPIO	OFF
Keep OFF	OFF

スイッチ設定は下図を参考に行ってください。



7-3. AXC-PL01の接続

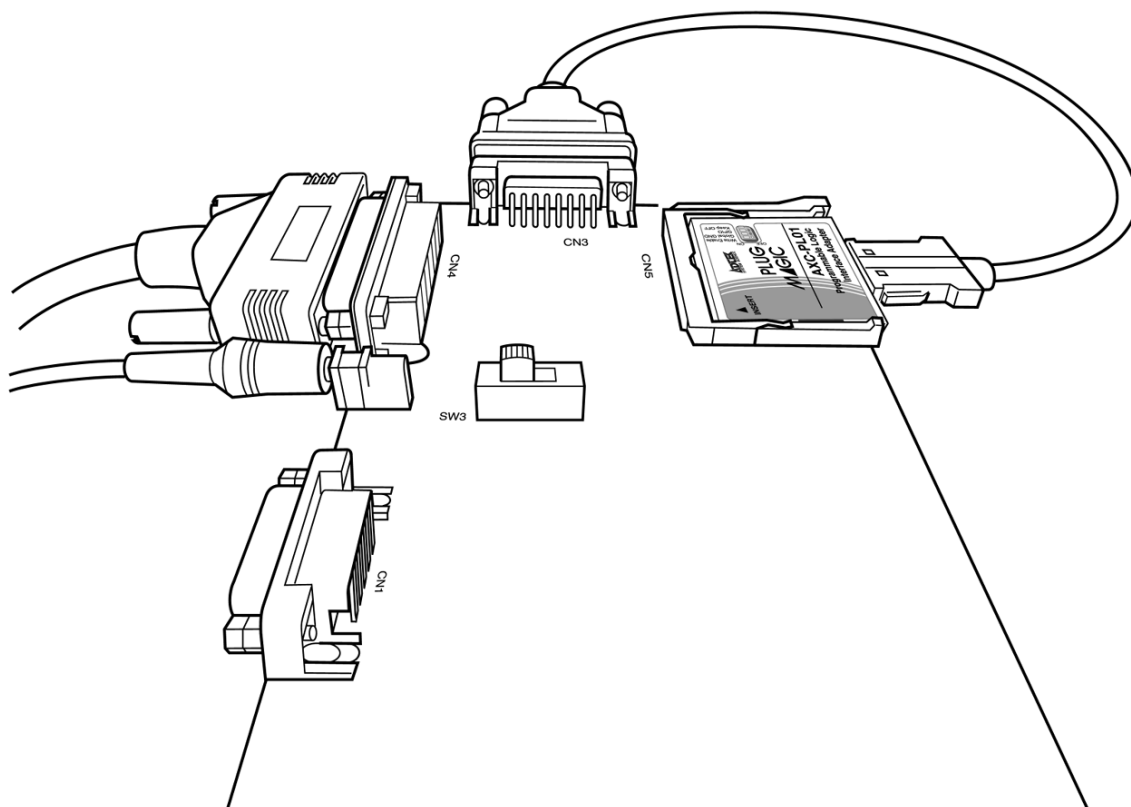
下図を参考にAXC-PL01をAXC-PL01MB基板のCN5コネクタ（カードスロットコネクタ）へ接続してください。AXC-PL01MB基板に接続した後にDsub15pinコネクタ付きケーブルのDsubコネクタをCN3へ、反対側のコネクタをAXC-PL01に接続ください。



7-4. 配線確認

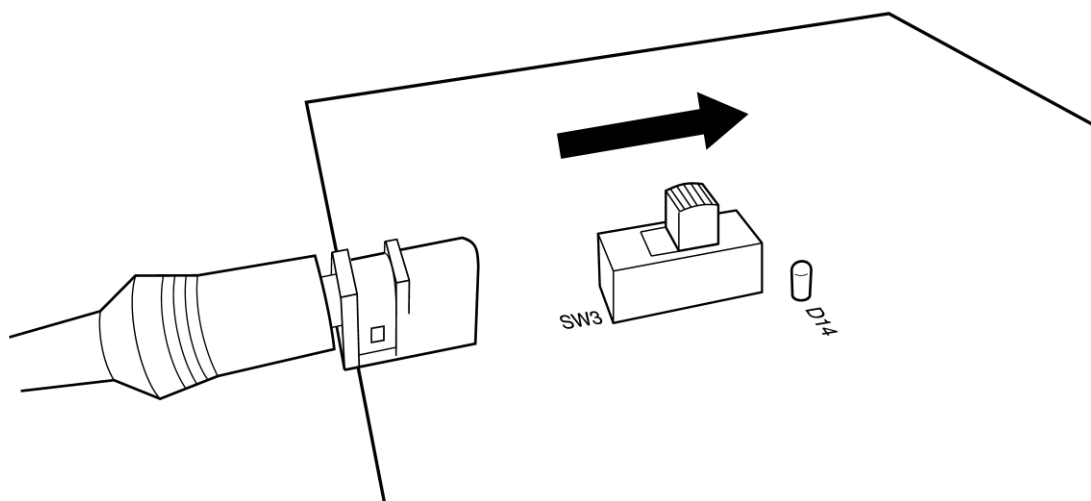
手順1～3を行った後下図のように配線します。

ケーブルの接続忘れ、嵌合不良が無いよう再度ご確認ください。



7-5. 電源スイッチ投入

下図を参考にSW3の電源スイッチのつまみを下図の矢印方向に切り替えてください。
この時電源LED D14が点灯していることを確認ください。



7-6. プログラムソフトの起動

PC/AT互換機側でiMPACT（XILINX社製ISE WebPACK収録ソフト）を実行し作成したCPLDプログラムデータをAXC-PL01にプログラムしてください。
プログラムソフトの操作法については専門書、XILINX社チュートリアル等をご参照ください。

ご注意：プログラム実行時には他のソフトの実行、AXC-PL01MB基板の操作、AXC-PL01の取り外し等を絶対に行わないでください。プログラム中に行うと正しくプログラムが出来ずにAXC-PL01に不適切なプログラムが書き込まれ、以後正常に動作出来なくなることがあります。

7-7. カードの取り外し

書き込みソフトを終了させた後にAXC-PL01MB電源（SW3）をOFFにし、書込みを行なったカードをCN5のイジェクトボタンを静かに押し取り外してください。

7-8. AXC-PL01動作スイッチ設定

AXC-PL01のWrite Enable スイッチをOFFに設定してください。

以上でAXC-PL01のCPLDデータ書換え終了です。

8. 動作確認時の機器接続、手順

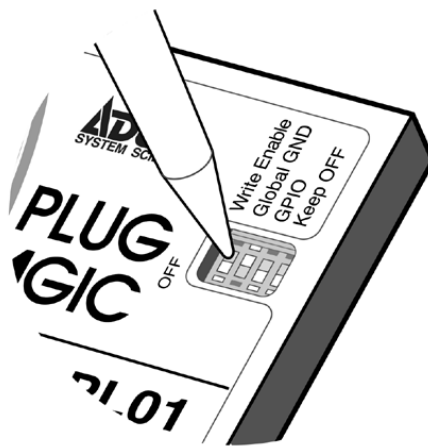
以下では工場出荷時状態（SAMPLE3書き込み状態）でのAXC-PL01MBを使用した動作確認方法を説明いたします。

8-1. AXC-PL01 動作用スイッチ設定

AXC-PL01のパネルスイッチを下記表の設定にしてください。

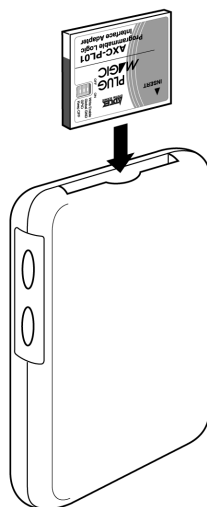
パネルシルク名	設定
Write Enabl	OFF
Global GND	ON
GPIO	OFF
Keep OFF	OFF

スイッチ設定が異なる場合には下図を参考に設定を行ってください。



8-2. PDAへのカード取り付け接続

下図を参考にカードのインタフェース・コネクタ側を、PDAのカードスロットに静かに差し込んでください。



8-3. ジャンパソケットの接続確認

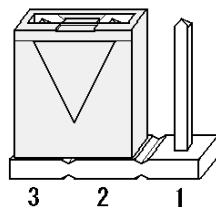
ジャンパソケットの設定により動作確認をAXC-PL01MBのスイッチ、スルーホールエリアのいずれかで行うかを選択することができます。スイッチで動作確認を行う場合には8-3-1を、スルーホールエリアで動作確認する場合には8-3-2をご参照ください。

なお動作確認の設定は1ビットごとに行なえますのでスイッチ、スルーホールの両方を組み合わせてご使用になることも可能です。

8-3-1. AXC-PL01MB基板スイッチを使用した動作確認の場合

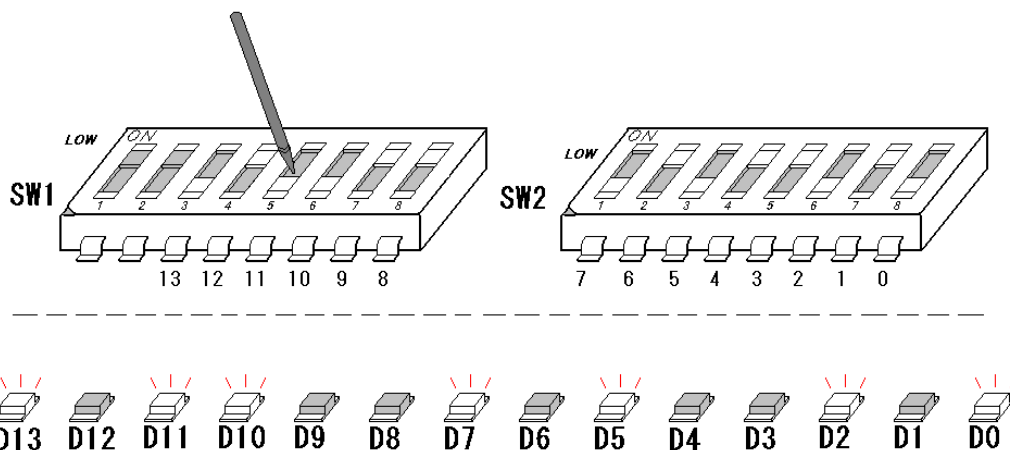
■ジャンパソケットの設定確認

基板実装スイッチで動作確認を行う場合には下図のようにジャンパソケットをジャンパピンJP0～JP13の2pin-3pin間へ接続してください。



■スイッチ操作

下図を参考に基板スイッチをHigh、Lowの設定を行ってください。Highレベル（3.3Vレベル）、Lowレベルのいずれかの信号をAXC-PL01 平行 I/Oに出力します。Highレベルに設定するとビット番号に対応する基板実装LED（D0～D13）が点灯します。

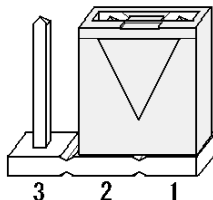


※LEDを点灯する必要がない場合にはSW1の2pinをHighに設定してください。設定を行うとAXC-PL01 平行 I/Oに信号を出力した状態でD0～D13のLEDをすべて消灯します。

8-3-2. AXC-PL01MB基板スルーホールを使用した動作確認の場合

■ジャンパソケットの設定確認

基板スルーホールエリアを使用して動作確認を行う場合には、下図のようにジャンパポストをジャンパピンJP0～JP13のの1pin-2pin間へ接続してください。



■スルーホールエリアへの回路実装

ジャンパポスト設定を行うとAXC-PL01 パラレル I/Oの各ビットがAXC-PL01MB基板上的のスルーホールUP1に接続されます。

作成した動作確認回路の電源は基板上的の電源スルーホールから供給することが可能です。スルーホール電源は3.3V、5.0V共に最大500mA供給可能です。

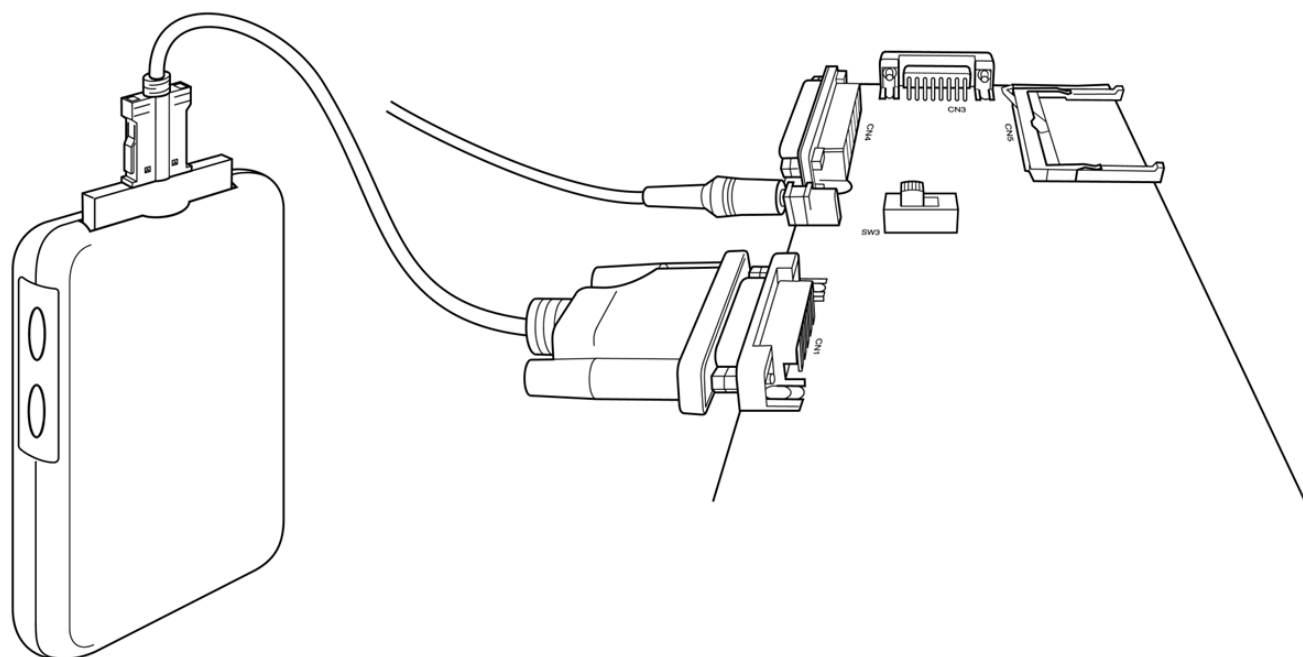
8-4. Dsub15pin付きケーブルの接続

Dsub15pin付きケーブルのDsubコネクタをAXC-PL01MB基板のCN1コネクタへ、反対側のコネクタをAXC-PL01に接続してください。

8-5. 配線確認

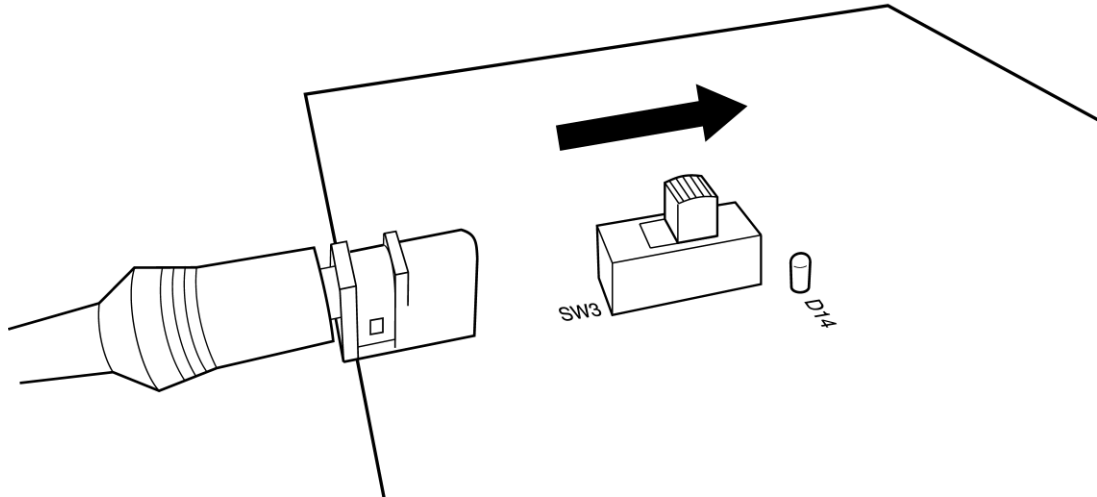
手順1～3を行った後下図のように配線します。

ケーブルの接続忘れ、嵌合不良が無いよう再度ご確認ください。



8-6. 電源スイッチ投入

下図を参考にSW3の電源スイッチのつまみを下図の矢印方向に切り替えてください。
この時電源LED D14が点灯していることを確認ください。



8-7. 動作確認ソフトの起動

サポートディスク内に収録されている動作確認ソフトを起動させてください。
動作確認ソフトの操作方法についてはソフトウェアマニュアルをご参照ください。

8-8. カードの取り外し

動作確認ソフトを終了した後にPDAがアクセスしていないことを確認し、AXC-PL01MB基板の電源（電源SW3）をOFFにしてください。その後にDsub15pinコネクタ付きケーブルを静かに取り外し、カードをPDAから取り外してください。

以上でAXC-PL01の動作確認終了です。AXC-PL01MB以外でAXC-PL01の動作確認を行われる場合には次項“8-9. AXC-PL01MB基板以外での動作確認について”をご参照ください。

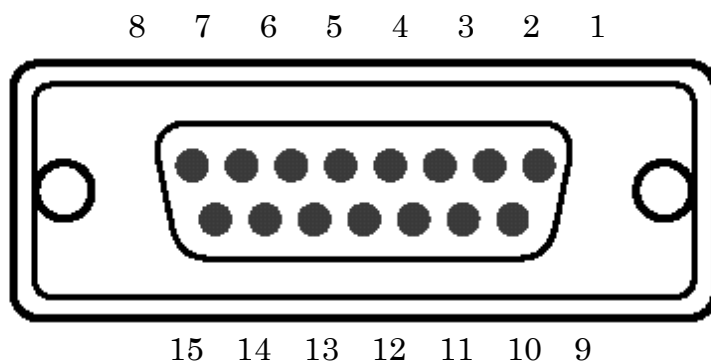
8-9. AXC-PL01MB基板以外での動作確認について

AXC-PL01MB基板以外で作成したCFカードの動作確認を行う場合には、製品に添付されている Dsub15pinコネクタ（オス）付きケーブルをご使用ください。以下、付属ケーブルのコネクタ信号について説明いたします。

使用コネクタ：ヒロセ電機株式会社製：HDAB-15Sまたは相当品

嵌合コネクタ：ヒロセ電機株式会社製：HDAB-15Pまたは相当品

嵌合面視図



コネクタpinの接続

ピン番号	信号名	サンプルでの接続先	CPLDの接続pin
1	DIO0	パラレル I/O ビット0	42pin、43pin
2	DIO1	パラレル I/O ビット1	49pin、50pin
3	DIO2	パラレル I/O ビット2	52pin、53pin
4	DIO3	パラレル I/O ビット3	54pin、55pin
5	DIO4	パラレル I/O ビット4	58pin、59pin
6	DIO5	パラレル I/O ビット5	60pin、61pin
7	DIO6	パラレル I/O ビット6	63pin、64pin
8	DIO7	パラレル I/O ビット7	65pin、66pin
9	DIO8	パラレル I/O ビット8	67pin、68pin
10	DIO9	パラレル I/O ビット9	70pin、71pin
11	DIO10	パラレル I/O ビット10	72pin、73pin
12	DIO11	パラレル I/O ビット11	76pin、77pin
13	DIO12	パラレル I/O ビット12	78pin、79pin
14	DIO13	パラレル I/O ビット13	80pin、81pin
15	GND	Global GND	46pin、56pin 74pin、82pin

ご注意：AXC-PL01入出力回路には特別な保護回路はありません。よって過大電圧や他の出力信号とショートを行うとCFカードの故障の原因となります。なお、入力時は5Vトレラント機能を有していますが、出力設定時5Vトレラント機能は付加されません。

9. アプリケーションの作成

AXC-PL01は、PDA用のデバイスドライバ、専用ライブラリ（DLL）等が付属しています。これらのファイルはサポートディスク内に収めてあります。サポートディスクには、デバイスドライバのアクセス方法や、実際に動作するプログラムのソースコードが入っています。アプリケーションプログラム作成の際にご参考ください。

9-1. 操作手順、アプリケーションの作成

AXC-PL01専用ドライバ、アプリケーションの作成方法については、サポートディスク内に収めてありますソフトウェアマニュアルにしたがい、作業を行なってください。

10. 収録サンプルプログラムについて

10-1. サンプルプログラムの概要説明

本製品にはVerilog-HDLで記述された下記3点のサンプルプログラムソース、CPLD書き込みデータ（*.jed）がサポートディスクに収録されています。
サンプルプログラムをご参考にCPLDのプログラムを行っていただければ、比較的容易にオリジナルのCFカードを作成することが可能です。

以下にサポートディスク内に収録されているサンプルプログラムの概要を説明いたします。

- サンプル1 : コンパクトフラッシュ側、ローカル側、パラレルI/O側の各種接続と、Data Register、I/O Select Registerで構成されています。
マクロセルには54%（78/144）の空き容量がありますので、オリジナルのCFカードを作成するベースとしてご使用いただけます。
- サンプル2 : サンプル1にCounter Trigger Register、Counter動作、GPIOスイッチを利用した出力切り替え機能を追加した構成になっています。サンプル1をもとにオリジナル回路を作成する際の参考としてください。
- サンプル3 : AXC-PL01の出荷状態に書き込まれているプログラムです。
パラレル入出力アダプタカードとしての機能を持っています（AXC-PI01相当）。
サンプル1にレジスタ3点を追加しています。サンプル2と同様にオリジナルの回路を作成するときの参考としてください。

ご注意：上記3点のサンプルデータで使用しているレジスタ（Data Register、I/O Select Register、Output Mode Register、PU/PD Select Register、IRQ Register）はプログラム動作時に非同期プリセットを使用しています。
このためサンプルデータを元にプログラムデータを作成する場合にはImplement Design の Process Properties、Fitting タブで Default Powerup Value of Registers を FPGA Equivalent に設定してください（Default設定ではLowが選択されています）。
また、Fitting タブの I/O Pin Termination を Float でご使用ください。

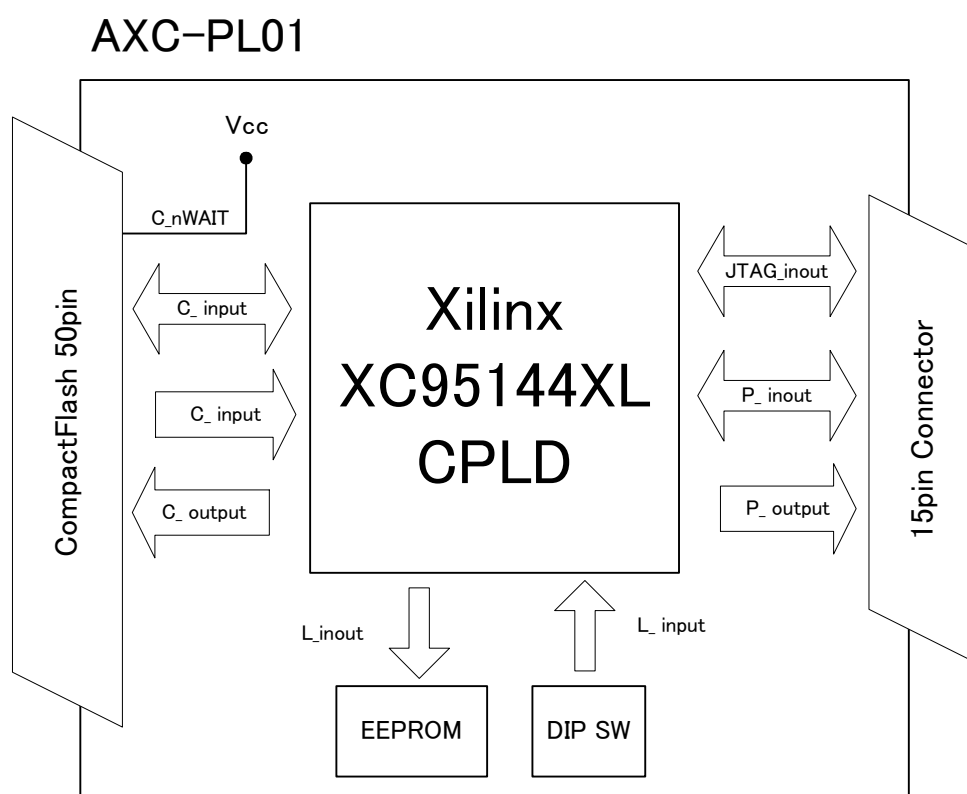
10-2. サンプルソースファイルについて

10-2-1. 信号名の名前について

サンプルソースファイル内の信号は、信号の種類がイメージしやすいように信号名へ信号種別を記した略文字を入れています。サンプルソースの信号を確認する際に下記内容をご確認ください。

- C_ = CompactFlashの略
コンパクトフラッシュ（PDA）側とAXC-PL01の入出力信号定義に使用しています。
- L_ = LocalSignal の略
AXC-PL01内部のCPLDとローカル回路の接続信号に使用しています。
- P_ = Parallel I/O の略
パラレル I/O側の入出力信号に使用しています。
- n = 不論理信号（Active Low Signal）に使用しています。

信号線接続イメージ図





10-2-2. CPLDのピン配置

以下にサンプルソースで使用しているCPLDのピン番号、信号名を示します。

ピン番号	信号名	ピン番号	信号名	ピン番号	信号名	ピン番号	信号名
1	C_nINPACK	26	VCCIO	51	VCCIO	76	P_UDIO<11>
2	C_A<2>	27	C_D<15>	52	P_UDIO<2>	77	P_DIO<11>
3	C_nWAIT	28	C_D<7>	53	P_DIO<2>	78	P_UDIO<12>
4	C_A<3>	29	C_D<14>	54	P_UDIO<3>	79	P_DIO<12>
5	VCCINT	30	C_D<6>	55	P_DIO<3>	80	P_UDIO<13>
6	C_A<4>	31	GND	56	P_GGND<1>	81	P_DIO<13>
7	L_n125GEN	32	C_D<13>	57	VCCINT	82	P_GGND<3>
8	C_A<5>	33	C_D<5>	58	P_UDIO<4>	83	TCK
9	C_A<6>	34	C_D<12>	59	P_DIO<4>	84	GND
10	C_RB_nIREQ	35	C_D<4>	60	P_UDIO<5>	85	C_D<10>
11	C_A<7>	36	C_D<11>	61	P_DIO<5>	86	C_WP
12	L_GPIO	37	C_D<3>	62	GND	87	C_D<9>
13	C_nWE	38	VCCIO	63	P_UDIO<6>	88	VCCIO
14	C_A<8>	39	L_nROMWE	64	P_DIO<6>	89	C_D<2>
15	C_nIOWR	40	L_nROMOE	65	P_DIO<7>	90	C_D<8>
16	C_A<9>	41	L_nROMCE	66	P_UDIO<7>	91	C_D<1>
17	C_nIORD	42	P_UDIO<0>	67	P_DIO<8>	92	C_nSTSCHG
18	C_nOE	43	P_DIO<0>	68	P_UDIO<8>	93	C_D<0>
19	C_A<10>	44	GND	69	GND	94	C_nSPKR
20	C_nCE<2>	45	TDI	70	P_DIO<9>	95	C_A<0>
21	GND	46	P_GGND<0>	71	P_UDIO<9>	96	C_nREG
22	L_MCLK	47	TMS	72	P_DIO<10>	97	C_A<1>
23	L_XP24IN	48	TCK	73	P_UDIO<10>	98	VCCINT
24	L_XP24OUT	49	P_UDIO<1>	74	P_GGND<2>	99	C_RESET
25	C_nCE<1>	50	P_DIO<1>	75	GND	100	GND

 はパラレル側に接続されているI/OピンでCPLDで入出力定義を行います。

 はパラレル側に接続されているI/OピンでCPLDの入出力定義に注意が必要です。

 はCPLD書き込み (JTAG) 信号Oピンでパラレル側コネクタに接続されています。

詳細についてはCPLDのデータシート、サンプルソース、サポートディスクに収録されている回路図をご確認ください。

ご注意：上記信号名P_DIO10~13、P_UDIO10~13 (72、73、76、77、78、79、80、81ピン) は電源投入時の動作が出力設定になっている場合以後CPLDのプログラムを行えなくなります。

動作不良を回避するためにお客様が作成するプログラムでは上記信号線を出力設定にしないことをお勧めいたします (推奨：未使用※)。出力ピンとして使用する場合にはサポートディスク内に保存されているサンプルソースを参考に電源投入時の動作に十分注意してご使用ください。

※：FittingオプションのCreate Programmable GND Pin on Unused I/O は未使用にしてください。

10-2-3. メインモジュールの信号説明

サンプルソース（サンプル1、サンプル2、サンプル3）のメインモジュールで使用されている信号線の概要を説明いたします。

コンパクトフラッシュ（PDA）側とAXC-PL01の接続信号

入出力する信号

信号名	ビット数	説明
[13:0]C_D	16ビット	データバス信号。サンプルソースでは16ビットの入出力データ信号のうち、14ビットをデータ信号として使用しています。

AXC-PL01側へ入力する信号

信号名	ビット数	説明
[10:0]C_A	11ビット	アドレスバス信号です。
[2:1]C_nCE	2ビット	CE（カードイネーブル）信号。A0（C_A ビット0）と組み合わせてデータのアクセス方法を定義しています。
C_nIORD	1ビット	IORD（I/Oリード）信号。PDA側がAXC-PL01のI/O空間のデータを読み出す時に使用する信号です。
C_nIOWR	1ビット	IOWR（I/Oライト）信号。PDA側がAXC-PL01のI/O空間にデータを書き込む時に使用する信号です。
C_nOE	1ビット	OE（出力イネーブル）信号。PDA側がAXC-PL01のメモリデータを読み出す時に使用する信号です。
C_nWE	1ビット	WE（ライトイネーブル）信号。PDA側がAXC-PL01にメモリデータを書き込むときに使用する信号です。
C_nREG	1ビット	アクセスをアトリビュートメモリ、I/O空間のアクセスに限定する信号です。
C_RESET	1ビット	カードリセット信号。コンフィギュレーションレジスタをクリアし、カードをコンフィギュレーションする前の状態にします。

AXC-PL01側から出力する信号

信号名	ビット数	説明
C_nINPACK	1ビット	INPACK（インプット・ポート・アクノリッジ）信号。現在のIOリードアクセスに応答可能なときにアサートする信号です。
C_WP_nIOIS16	1ビット	IOIS16信号。現在のI/Oアドレスに対して16ビットのI/Oアクセスが可能なときにアサートする信号です。
C_RB_nIREQ	1ビット	IREQ（インタラプトリクエスト）信号。割り込み要求信号です。
C_nWAIT	1ビット	WAIT（バスサイクル延長）信号。サンプルソースでは未使用のためCPLD内部でプルアップ処理を行っています。

AXC-PL01内部CPLDとローカル回路の接続信号

AXC-PL01内部CPLDからEEPROMへ出力する信号

以下の信号はAXC-PL01内部に実装されているEEPROMにアクセスするために、定義している信号です。

信号名	ビット数	説明
L_nROMOE	1ビット	ROM OE (出カインイネーブル) 信号。メモリをリードする時に使用する信号です。
L_nROMWE	1ビット	ROM WE (ライトイネーブル) 信号。EEPROMメモリへライトするとき使用する信号です。
L_nROMCE	1ビット	ROM CE (チップイネーブル) 信号。EEPROMへのアクセス信号です。

パネルスイッチからAXC-PL01へ入力する信号

信号名	ビット数	説明
L_XP12	1ビット	GPIO スイッチの入力信号。ユーザー設定可能なスイッチです。サンプル2で動作切り替え信号として使用しています。

AXC-PL01内部CPLDとパラレル I/O側の接続信号

AXC-PL01とパラレル I/O間で入出力する信号

信号名	ビット数	説明
P_UDIO	14ビット	パラレルI/O 側の入出力データ信号です。

AXC-PL01からパラレルI/O側へ出力する信号


信号名	ビット数	説明
P_DIO	14ビット	パラレルI/O側のデータ出力信号です。サンプル1、サンプル2では未使用です。
P_GGND	1ビット	パラレルI/O側のGND出力信号です。CPLDのプログラムで信号線として使用することも可能です。

信号線の動作、接続の詳細は各サンプルソースでご確認ください。

10-2-4. サンプルソースI/Oアドレスの説明

AXC-PL01でサポートしているI/Oのエントリは以下の4種類となります。弊社提供のドライバは以下のエントリのうち1つを選択して使用します。サンプルソースは下記I/Oアドレスのいずれでも動作するように設計されています。お客様が作成される回路も同様に下記I/Oアドレス範囲をベースとしてください。

エントリ	ウインドウ	I/Oベースアドレス
0 (Default)	300h~30Fh	300h
1	280h~28Fh	280h
2	380h~38Fh	380h
3	200h~20Fh	200h

 ウインドウとは本カードで使用するI/Oアドレスの範囲のことです。

ご注意：製品添付ドライバは上記I/Oアドレス以外では動作しません。お客様の回路で上記I/Oアドレス以外をご使用になる場合には専用ドライバを作成ください。

10-2-5. サンプルプログラムで使用しているレジスタ

サンプルでは下記6種類のレジスタを組み合わせで使用しています。各レジスタは16ビット幅をもち、バイトアクセス、ワードアクセスが可能です。

I/Oベースアドレス	レジスタ名	機能
+0	Data Register (R/W)	送受信データバッファ
+2	I/O Select Register(R/W)	入出力の切り替え
+4	Output Mode Register (W)	オープンドレインの切り替え
+6	PU/PD Select Register (W)	プルアップ/プルダウンの切り替え
+8	IRQ Register(R/W)	IRQ設定用
+A	Counter Trigger Register(W)	Counter動作設定用

IRQ レジスタ、カウンタトリガレジスタを除くレジスタのD0~D13は、コネクタの信号名DIO0~13に対応します。レジスタで使用していないビットがある場合には不定値が読み出されますので、ソフトウェア上でマスクする等の処理をしてください。

各レジスタの詳細を説明します。表中の『DEF』は初期時（カード挿入時またはリセット時）の値となります。

■Data Register (D13~D0) 属性：Read/Write

レジスタ使用サンプル：サンプル1、サンプル2、サンプル3

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	DR13~0													
DEF	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

データ送受信レジスタです。「I/O Select Register」の設定でリード、ライト動作を切り替え0に設定したビットが出力となり、1に設定したビットは入力となります。データをライトした場合そのデータは保持され、出力に設定したビットに対応するI/Oコネクタの信号に反映されます。データをリードした場合には対応したI/Oコネクタの信号状態が読み込まれます。

このレジスタに1を書き込んだ場合には対応する信号はハイレベル(またはオープン)になり、0を書き込んだ場合はローレベルになります。また、このレジスタの読み込みの際もハイレベルが1、ローレベルが0となります。

■I/O Select Register (D13~D0) 属性：Read/Write

レジスタ使用サンプル：サンプル1、サンプル2、サンプル3

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	IOS13~0													
DEF	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Data Registerの入出力属性を設定するレジスタです。0に設定したData Registerのビットが出力モードとなります。1に設定したビットは入力モードとなります。またこのレジスタはライトした値をリードバックすることが可能です。

■Output Mode Register (D13~D0) 属性：Write

レジスタ使用サンプル：サンプル3

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	OMI13~0													
DEF	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

出力バッファの特性を切り替えるレジスタです。0に設定した場合は オープンドレイン出力になります。1に設定した場合は トーテムポール出力になります。

■PU/PD Select Register (D13~D0) 属性 : Write

レジスタ使用サンプル : サンプル3

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	PDE13~0													
DEF	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

プルアップ/プルダウンを切り替えるレジスタです。

0に設定した場合は対応する信号がカード内部でプルダウンされます。1に設定した場合はプルアップされます。

■IRQ Register (D9,D8およびD3~0)

レジスタ使用サンプル : サンプル3

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	X	X	X	X	IRQ CLS2	IRQ CLS1	X	X	X	X	IRQI N2	IRQ IN1	IRQ EN2	IRQ EN1
DEF	X	X	X	X	X	X	1	1	X	X	X	X	1	1	1	1

bit	名称	属性	機能
D9	IRQCLS2	R/W	IRQ2 Clear/Status
D8	IRQCLS1	R/W	IRQ1 Clear/Status
D3	IRQIN2	Read Only	IRQ2 Input
D2	IRQIN1	Read Only	IRQ1 Input
D1	IRQEN2	R/W	IRQ2 Enable
D0	IRQEN1	R/W	IRQ1 Enable

本カードではDIO12,DIO13を割り込み要求信号として使用する事ができます。割り込みは信号の立下りエッジで発生し、割り込み要因をクリアするまで新たな割り込みは発生できません。

以下、IRQ Registerの各ビットの機能を説明します。

D9 : IRQCLS2

D8 : IRQCLS1

対応するIRQEN_x が“0”の時機能します。

リード時はこのビットに書き込んだ値がリードバックされます。

ライト時は“0”を書き込むと対応する割り込み要因がクリアされます。IRQIN_xが“1”であれば“0”にクリアされ、再度割り込みを発生させる事が可能になります。

“0”を書き込んだ後はこのビットを“1”へ戻してください。“0”の間割り込み要因はクリアされ続けます。

D3 : IRQIN2

D2 : IRQIN1

対応するIRQEN_x が“0”の時機能します。

割り込み要因が発生した場合、“0”にセットされ、割り込み要因をクリアすると“1”になります。

リード時はこれらの状態が読み込まれます。

IRQIN2 IRQ2 (外部I/Oコネクタ14Pin)

IRQIN1 IRQ1 (外部I/Oコネクタ13Pin)

の入力に対応します。

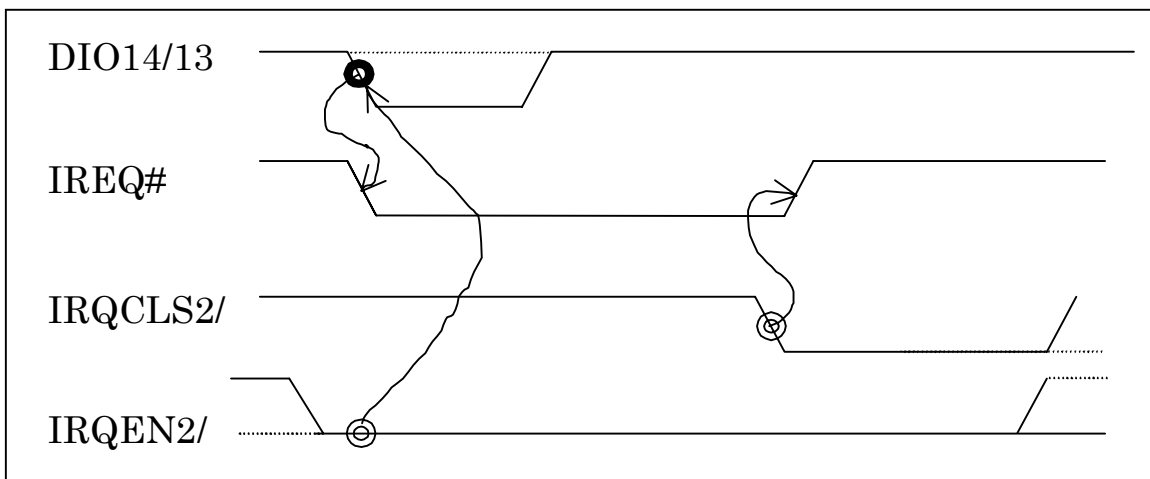
D1 : IRQEN2

D0 : IRQEN1

ライト時はこのビットに“0”を書き込む事で、IRQ2 (外部I/Oコネクタ14Pin) および
IRQ1 (外部I/Oコネクタ13Pin) を割り込み入力に設定します。

リード時は書き込んだ状態がリードバックされます。なお、割り込み設定にする／しないにかかわ
らずData Registerの機能に影響はありません。

IRQ入力図



割り込み入力は、外部I/Oピンからの立ち下がりエッジを保持し、CompactFlash IREQ#ピンへ“L”
レベルで出力されます。各割り込み要因はORされています。

■ Counter Trigger Register (D1~D0) 属性 : Write

レジスタ使用サンプル : サンプル2

DAT	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
SYM	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Counter Reset	Count
DEF	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

カウンタトリガレジスタ D0 の立下り回数を内部カウンタレジスタに記録します。 D1を0に設定す
るとカウンタレジスタをリセットします。

各レジスタの接続、動作についてはご使用になるサンプルソースでご確認ください。

10-3. サンプル1について

10-3-1. サンプル1の概要

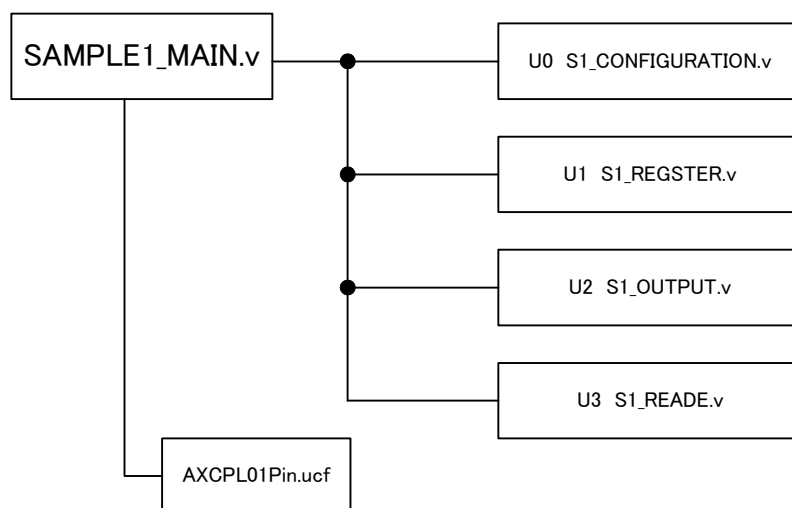
サンプル1はコンパクトフラッシュ側、ローカル側、パラレルI/O側の接続機能と、2点のレジスタで構成しています。

サンプルソースの構成は下図のように2段構造で、サンプルのメインモジュールはCPLDの外部信号線と内部信号線の接続を定義しています。メインモジュールはその他にも内部のモジュール間の信号接続を定義しています。

サンプル1の特徴として、CPLDのマクロセルに56% (81/144) の空き容量があります。オリジナルのCFカードのベースとしてご使用いただければ、コンパクトフラッシュ側の接続をそれほど意識せずにオリジナルのCFカードを作成することが可能です。

サンプル1を動作させる場合にはサポートディスクに収録されている“AXC-PL01 Checker”をご使用ください。ソフトウェアの使用方法についてはソフトウェアマニュアルをご参照ください。

サンプル1のイメージ図



各モジュールの概要は下記ようになります。

ファイル名	概要
SAMPLE1_MAIN.v	外部信号との接続および内部モジュール間の接続定義ファイル
S1_CONFIGURATION.v	コンフィギュレーションオプションレジスタおよびEEPROMの動作の定義ファイル。
S1_REGSTER.v	内部レジスタの定義ファイル
S1_OUTPUT.v	AXC-PL01の外部入出力信号制御ファイル
S1_READE.v	コンパクトフラッシュ側がリードする信号を定義するファイル
AXCPL01Pin.ucf	メインモジュール信号のpin番号割り振り定義ファイル

メインモジュールの信号線については”10-2-3. メインモジュールの信号説明”をご確認ください。内部動作、信号線の接続方法を確認する場合にはサンプルソースをご確認ください。

以下でその他の内部モジュールについてご説明いたします。

10-3-2. コンフィグレーションモジュールについて

コンフィグレーションモジュールを定義している"S1_CONFIGURATION.v"についてご説明します。
このモジュールは8ビットのコンフィグレーションオプションレジスタおよび、その動作を定義しています。

コンフィグレーションオプションレジスタはカードがI/O動作を行うために用意する必要のあるレジスタです。レジスタはコンパクトフラッシュ側のシステムがカード機能を確認し、ソフトリセットを発行または、割り込みモードをセットするときに使用されます。サンプルプログラムではレジスタを以下のように定義しています。

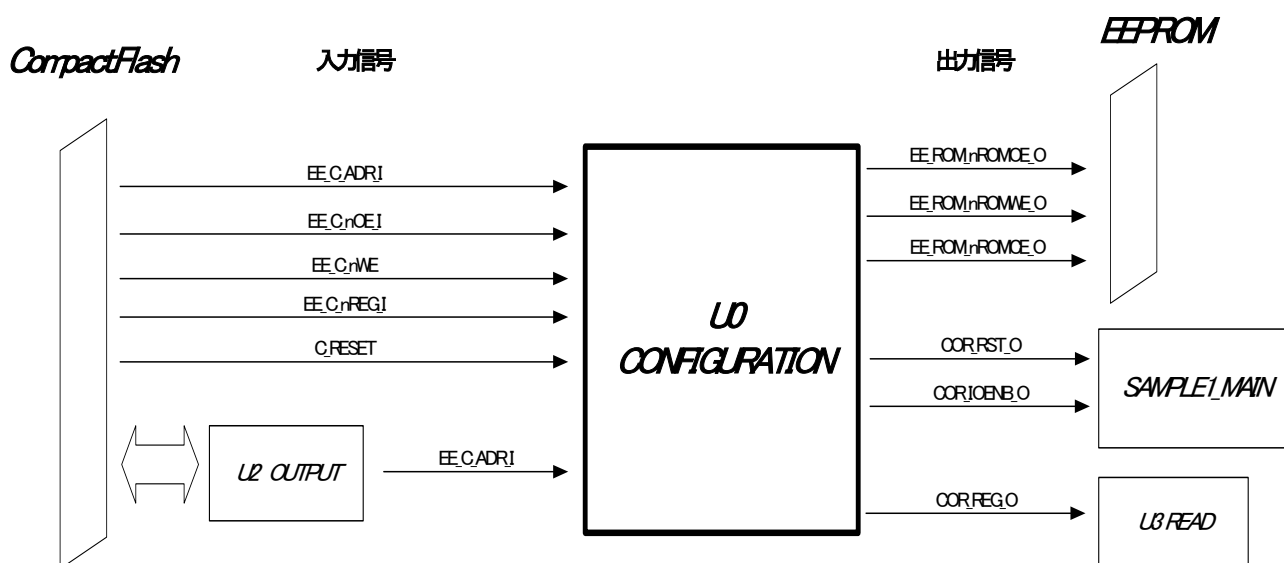
サンプルソフトのコンフィグレーションオプションレジスタ

レジスタビット	定義内容
ビット0	COR_IOENB_O (内部モジュールI/OEN信号)
ビット1	EEPROM Attribute Writer Enable[1]
ビット2	IO_nREG_I (割り込み要求信号として使用)
ビット3	EEPROM Attribute Writer Enable[3]
ビット4	EEPROM Attribute Writer Enable[4]
ビット5	EEPROM Attribute Writer Enable[5]
ビット6	LevIREQ (割り込み)
ビット7	SRESET (ソフトウェアリセット)

レジスタの設定は規格 (CompactFlash Specification Revision 2.1) で決められていますので詳細については専門書等でご確認ください。レジスタ動作についてはサンプルソースでご確認ください。

モジュールの接続については下記コンフィグレーションモジュール接続イメージ図を参考ください。

コンフィグレーションモジュール接続イメージ図

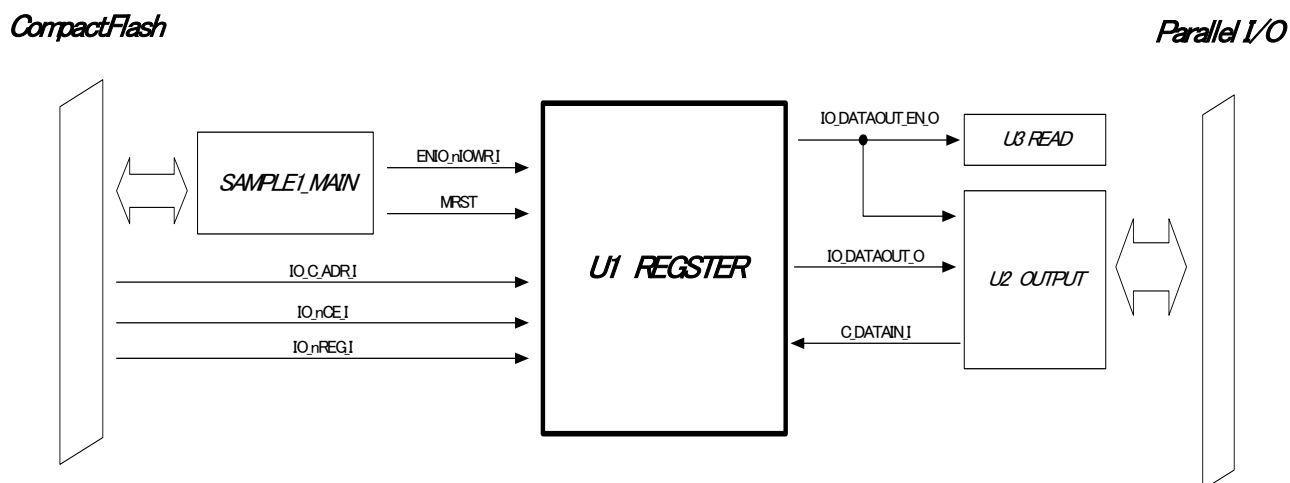


モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-3-3. レジスタモジュールについて

レジスタモジュールを定義している"S1_REGSTER.v"についてご説明します。レジスタモジュールはお客様が作成するオリジナルモジュール部分に相当します。オリジナルモジュールを作成する際に下記レジスタモジュールの接続イメージ図、および入出力信号説明をご参照ください。

レジスタモジュール接続イメージ図



レジスタモジュールで使用している信号線の説明

信号名	信号方向	信号説明
C_DATAIN_I	入力	レジスタモジュールで使用するデータ信号。アウトプットモジュールでI/Oバッファされた信号
IO_C_ADR_I	入力	レジスタモジュールで使用するアドレス信号
IO_nCE_I	入力	カードイネーブル信号 レジスタモジュールではA0 (IO_C_ADR_I ビット0) と組み合わせて内部レジスタのアクセス定義として使用しています。
IO_nREG_I	入力	アトリビュートメモリ、I/O空間のアクセス許可信号。レジスタモジュールで使用するストロブ信号です。
ENIO_nIOWR_I	入力	レジスタモジュールに対するライト信号です。この信号はレジスタモジュールのクロック信号に入れてください。
MRST	入力	レジスタモジュールのリセット信号
IO_DATAOUT_O	出力	レジスタモジュール内部で定義しているデータレジスタの出力信号
IO_DATAOUT_EN_O	出力	レジスタモジュール内部で定義しているI/Oセレクトレジスタの出力信号

サンプル1では以下の2種類のレジスタを使用しています。各レジスタは16ビット幅で、レジスタはバイトアクセス、ワードアクセス共に可能です。

I/Oベースアドレス	レジスタ名	機能
+ 0	Data Register (R/W)	送受信データバッファ
+ 2	I/O Select Register(R/W)	入出力の切り替え

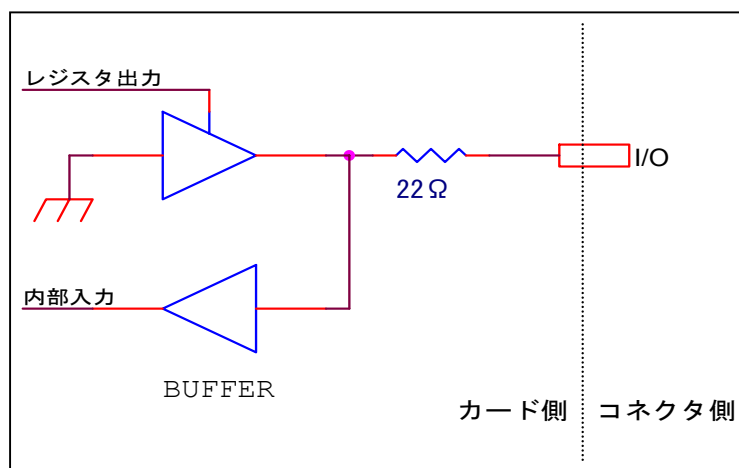
レジスタの詳細については"10-2-4. サンプルソースI/Oアドレスの説明"の項ご参照ください。モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-3-4. アウトプットモジュールについて

アウトプットモジュールを定義している"S1_OUTPUT.v"についてご説明します。このモジュールはコンパクトフラッシュ側、パラレルI/O側の信号と内部モジュールの間でIOバッファとして動作しています。パラレルI/O側の接続はお客様が作成した回路の入出力で使用する部分となります。

以下にサンプル1のパラレルI/O側の入出力信号の等価回路を示します。サンプル1では外部出力をオープンドレインのLowレベル出力で行っています。

入出力回路には特別な保護回路はありません。よって過大電圧を加えたり、他の出力信号とショートしたりするとカードの故障の原因となります。なお、入力時は5Vトレラント機能を有していますが、出力設定時5Vトレラント機能は付加されません。



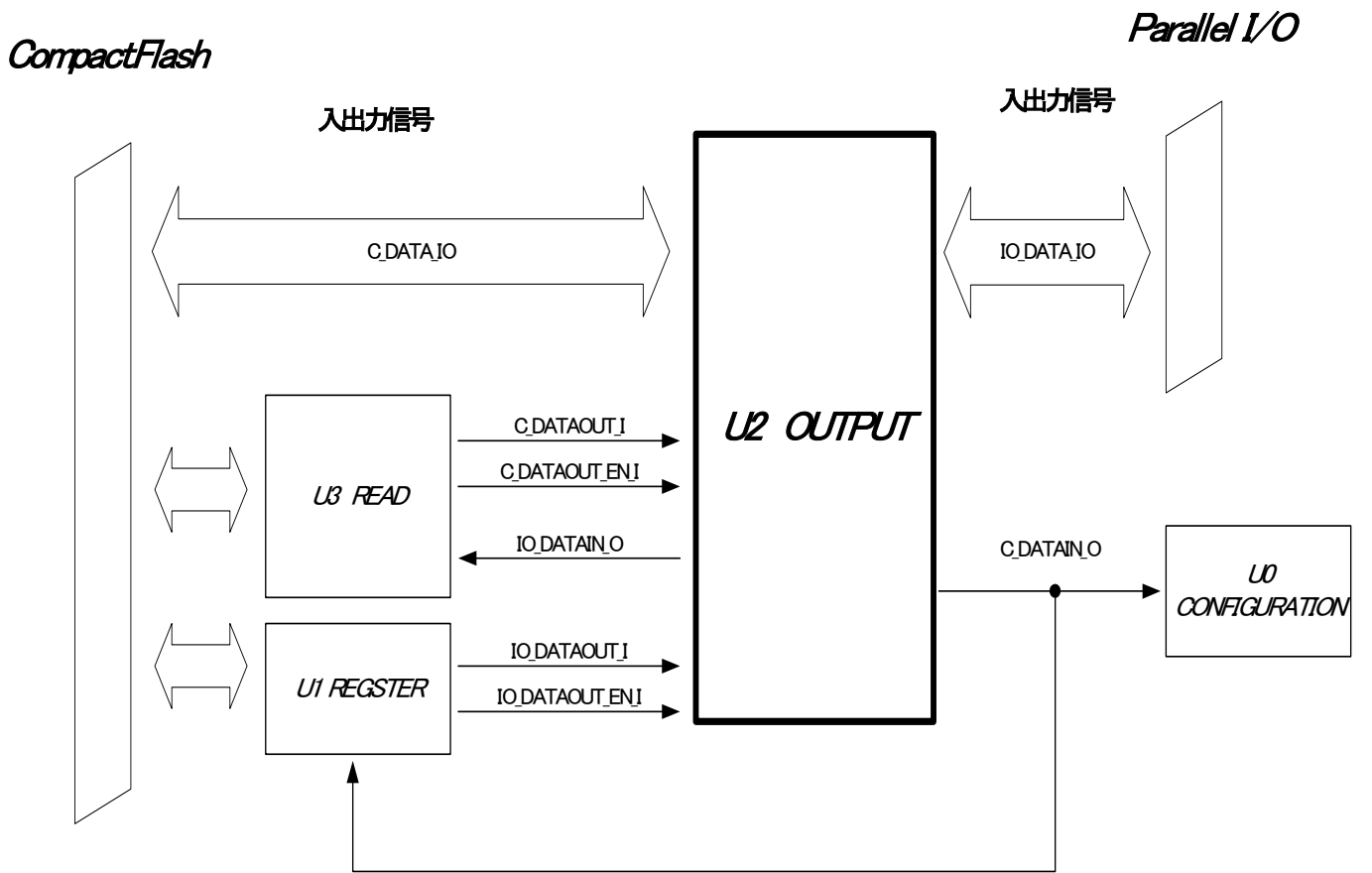
※ I/O = 1 ~ 14 pin

ご注意：パラレルI/O側コネクタピンDIO10~DIO13の4ビットの信号線は、CPLDを実装している基板上でCPLDプログラム信号線と共用パターンを使用しています。

このため上記信号線と共用パターンを使用しているCPLDの72pin、73pin、76pin、77pin、78pin、79pin、80pin、81pinは基本的には出力設定を行わないでください。

出力設定のままプログラムすると以後CPLDのプログラムを行なえなくなります。

アウトプットモジュール接続イメージ図



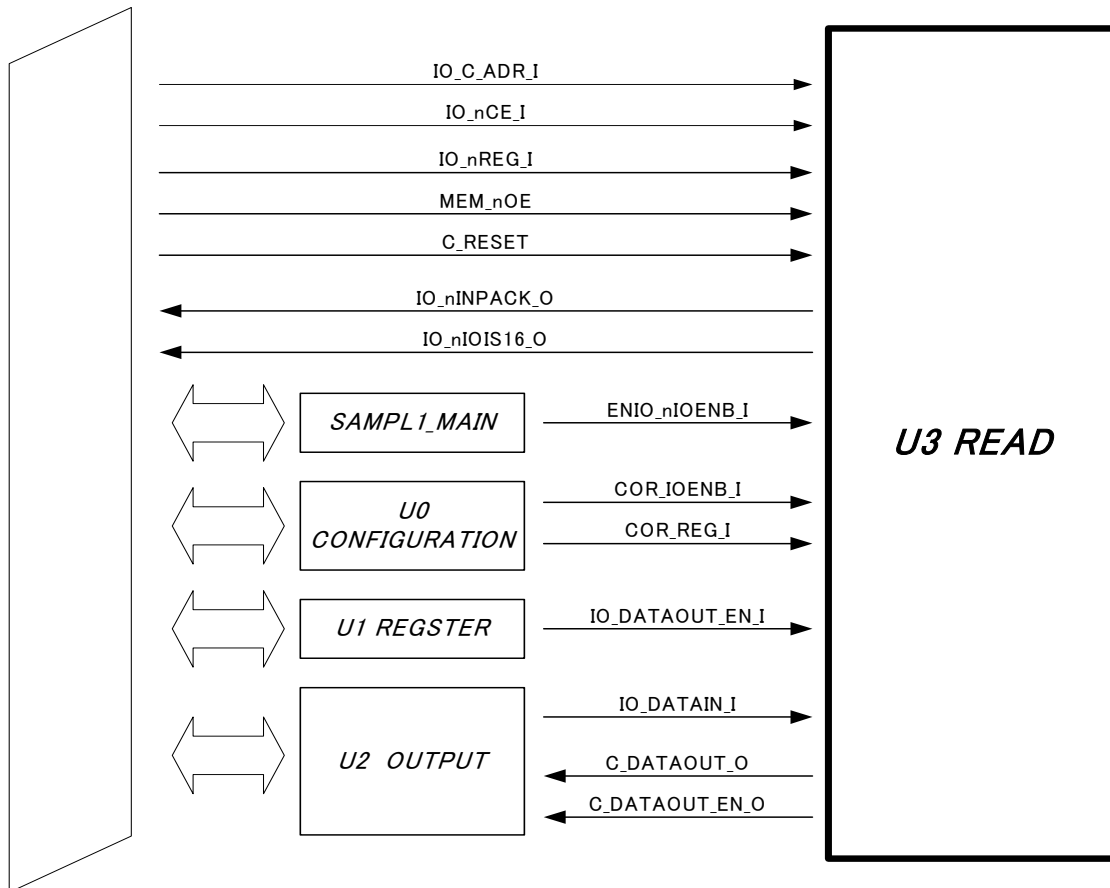
モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-3-5. リードモジュールについて

リードモジュールを定義している"S1_READE.v"についてご説明します。このモジュールはコンパクトフラッシュ側や各種内部モジュールから信号を受け取りモジュール内部で信号処理を行い、処理した信号をコンパクトフラッシュ側とアウトプットモジュールに出力します。

リードモジュール接続イメージ図

CompactFlash



モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-4. サンプル2について

10-4-1. サンプル2の説明

サンプル2はサンプル1をもとにカウンタレジスタ、カウンタ機能、GPIOスイッチ信号の設定をもとにパラレルI/O側の出力データを切り替える機能を追加しています。GPIOスイッチによる出力切替機能、レジスタを追加する際の参考としてください。

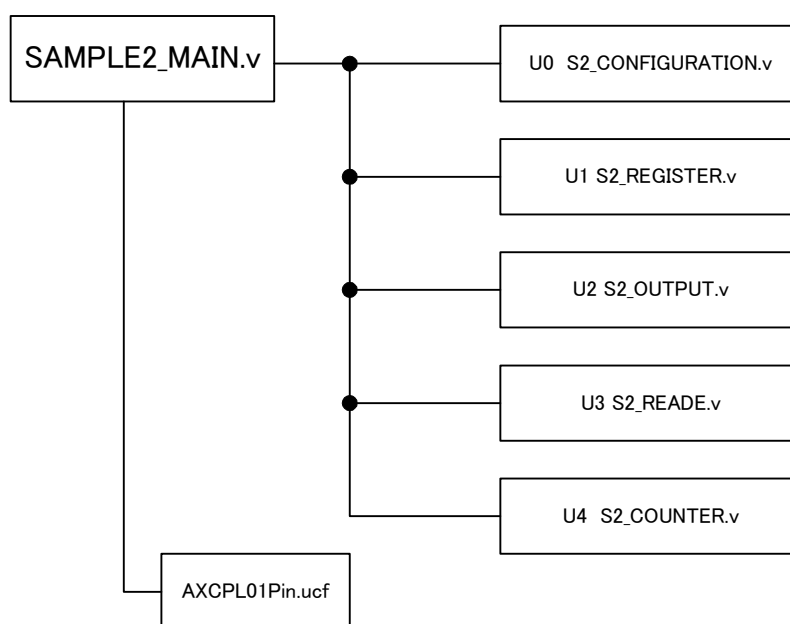
サンプル2ではGPIOスイッチをOFFに設定した場合にサンプル1と同様な動作、ONに設定した場合にベースアドレス+Aの1ビット目の立ち下がり回数をカウントします。

カウンタ動作を確認するにはAXC-PL01MBを接続し、サポートディスクに収録されている“AXC-PL01 Checker”を実行し、ベースアドレス+Aの1ビット目を1→0→1→0・・・と入力してください。AXC-PL01MB基板上的LEDがカウントされた回数分点灯します。

ソフトウェア詳細な使用方法についてはソフトウェアマニュアルをご参照ください。

ご注意：サンプル2を書き込んだ場合には、GPIOスイッチをONに設定した状態ではCPLDをプログラムすることが出来ません。GPIOスイッチをOFFに設定してからCPLDのプログラムを行ってください。

サンプル2のイメージ図



各モジュールの概要は下記のようになります。

ファイル名	概要
SAMPLE2_MAIN.v	外部信号との接続および、内部モジュールの結線定義ファイル。カウンタモジュール、その他追加された機能の信号定義が追加されています。
S2_CONFIGURATION.v	コンフィギュレーションオプションレジスタおよび、EEPROMの動作の定義ファイル。サンプル1からの変更はありません。
S2_REGSTER.v	内部レジスタの定義ファイル。カウンタレジスタを追加しています。
S2_OUTPUT.v	出力信号の定義ファイル。カウンタ出力、GPIOによる出力切替機能が追加されています。
S2_READE.v	コンパクトフラッシュ側がリードする信号を定義するファイル。サンプル1からの変更はありません。
S2_COUNTER.v	カウンタ動作の定義ファイル。
AXCPL01Pin.ucf	メインモジュール信号のpin番号割り振り定義ファイル。GPIOスイッチ信号を追加しています。

次項からサンプル1から変更のあったモジュールの説明をします。

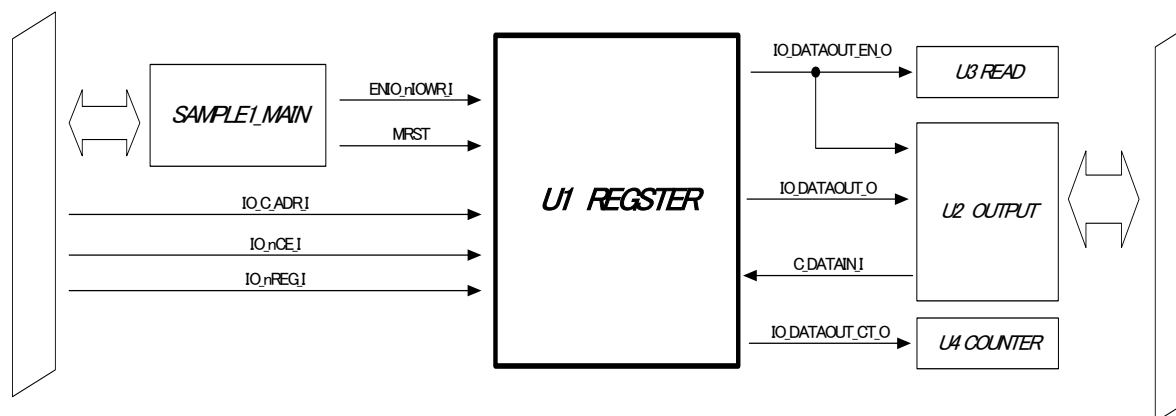
10-4-2. サンプル2レジスタモジュールについて

レジスタモジュールを定義している"S2_REGSTER.v"の変更点についてご説明します。サンプル1のモジュールに新たに2ビットのレジスタが追加されています。モジュールの信号線接続ではカウンタレジスタ"IO_DATAOUT_C_O"の出力信号追加されています。

レジスタモジュール接続イメージ図

CompactFlash

Parallel I/O



サンプル2では新たにカウンタトリガレジスタが追加されています。以下の3種類のレジスタは16ビット幅となります。全てレジスタはバイトアクセス、ワードアクセスが可能です。

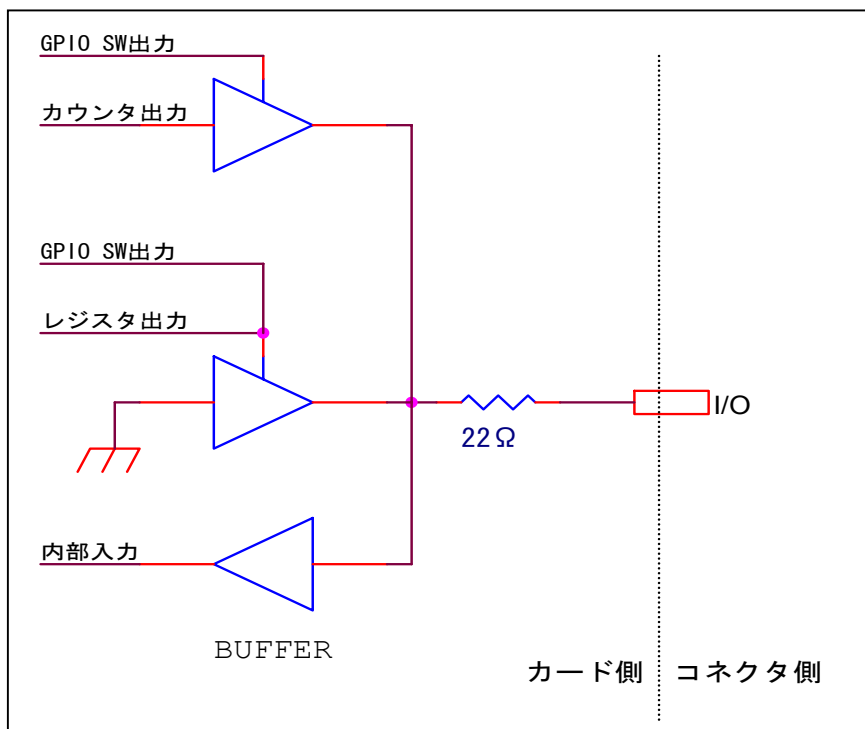
I/Oベースアドレス	レジスタ名	機能
+0	Data Register (R/W)	送受信データバッファ
+2	I/O Select Register(R/W)	入出力の切り替え
+A	Counter Trigger Register(W)	Counter動作設定用

パラレルI/Oコネクタの信号名DIO0~DIO13は、カウンタトリガレジスタを除く他の16ビットレジスタのD0~D13に対応します。カードレジスタで使用しないビットは不定値が読み出されますので、ソフトウェア上でマスクする等の処理をしてください。

レジスタの詳細については"10-2-4. サンプルソースI/Oアドレスの説明"の項をご参照ください。モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-4-3. サンプル2アウトプットモジュールについて

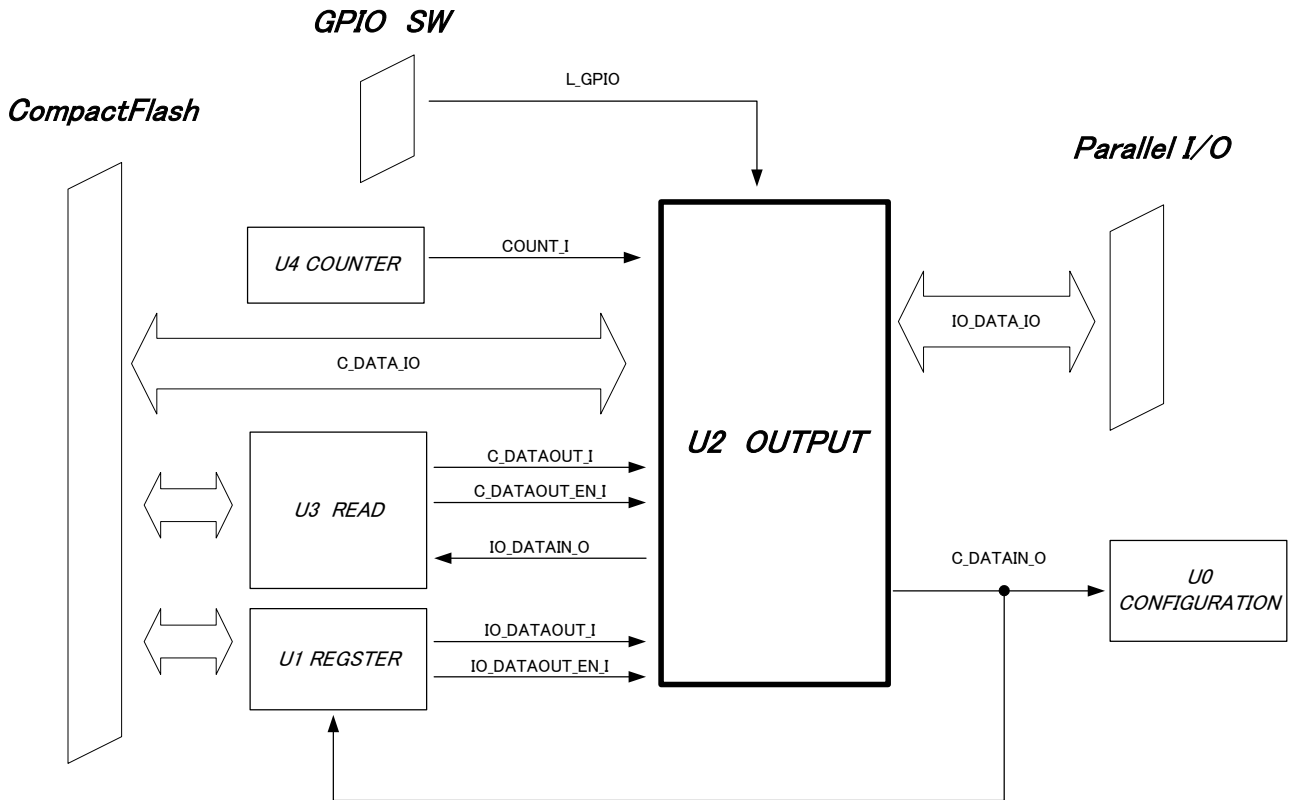
アウトプットモジュールを定義している"S2_OUTPUT.v"の変更点についてご説明します。サンプル2ではパラレルI/O側の出力に新たにレジスタ出力が追加されています。追加されたレジスタ出力とデータレジスタ出力のパラレルI/O出力の切り替えはGPIOスイッチの信号で行っています。データレジスタの出力はオープンドレインLow出力、レジスタ出力はトータムポール出力となっています。以下にサンプル2の入出力信号の等価回路を示します。



※ I/O = 1 ~ 14

サンプル1と同様に入出力回路には特別な保護回路はありませんので取り扱いにはご注意ください。

アウトプットモジュール接続イメージ図

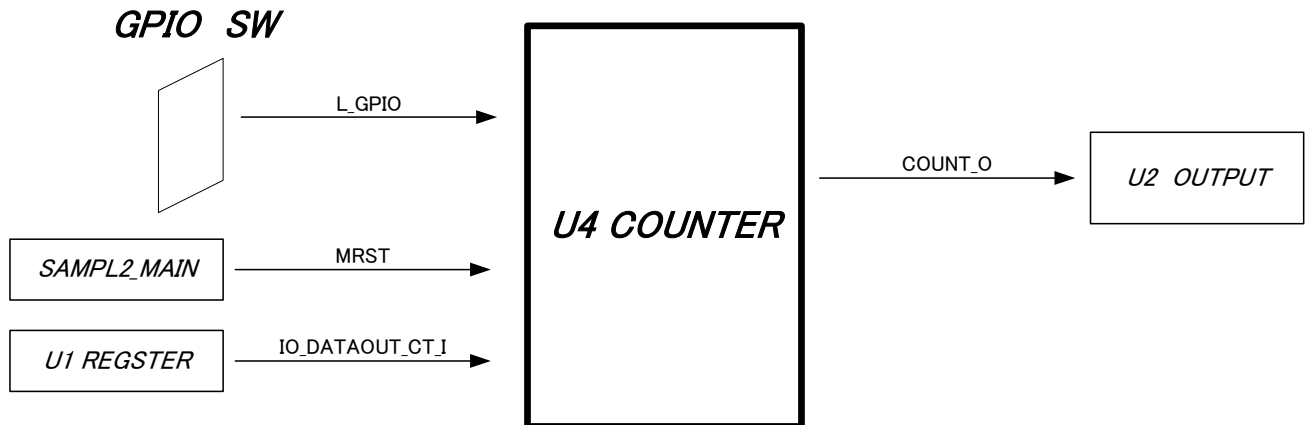


モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-4-4. サンプル2カウンタモジュールについて

カウンタモジュールを定義している"**S2_COUNTER.v**"についてご説明します。カウンタモジュールは14ビットのカウンタレジスタをもちGPIOスイッチからHighレベルの信号が送られてきているときに、カウンタトリガレジスタビット0の立ち下がり回数をカウントします。同様にビット1が0になるとカウンタレジスタをリセットします。

カウンタレジスタモジュール接続イメージ図



モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

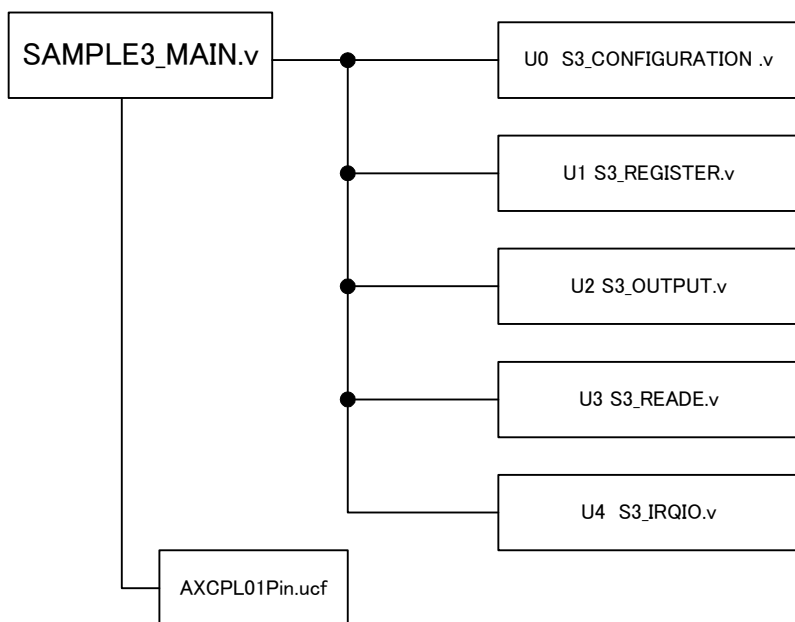
10-5. サンプル3の解説

10-5-1. サンプル3の説明

サンプルソース3は製品出荷時にAXC-PL01にプログラムされているサンプルプログラムで、AXC-PI01相当の動作を行うことができます。

サンプルソース1からの変更点は内部レジスタにアウトプットモードレジスタ、PU/PDセレクトレジスタ、IRQレジスタを追加し、パラレルI/O側への出力定義を変更しています。

サンプル3を動作させる場合にはサポートディスクに収録されている“AXC-PL01 PI mode Checker”をご使用ください。ソフトウェアの使用方法はソフトウェアマニュアルをご参照ください。



各モジュールの概要は下記のようになります。

ファイル名	概要
SAMPLE3_MAIN.v	外部信号との接続および、内部モジュールの結線定義ファイル。アウトプットレジスタ、PU/PDセレクトレジスタ、IRQレジスタ等追加された機能の信号定義が追加されています。
S3_CONFIGURATION.v	コンフィギュレーションオプションレジスタおよび、EEPROMの動作の定義ファイル。サンプル1からの変更はありません。
S3_REGSTER.v	内部レジスタの定義ファイル。アウトプットモードレジスタ、PU/PDレジスタを追加しています。
S3_OUTPUT.v	出力信号の定義ファイル。パラレルI/O側の出力定義にアウトプットモードレジスタを追加しています。
S3_READE.v	コンパクトフラッシュ側がリードする信号を定義するファイル。IRQレジスタのリードバック信号接続を追加しています。
S3_IRQIO.v	IRQレジスタ、レジスタ動作を定義しています。
AXCP01Pin.ucf	メインモジュール信号のpin番号割り振り定義ファイル。P_UDIO信号（PU/PDレジスタ用）を追加しています。

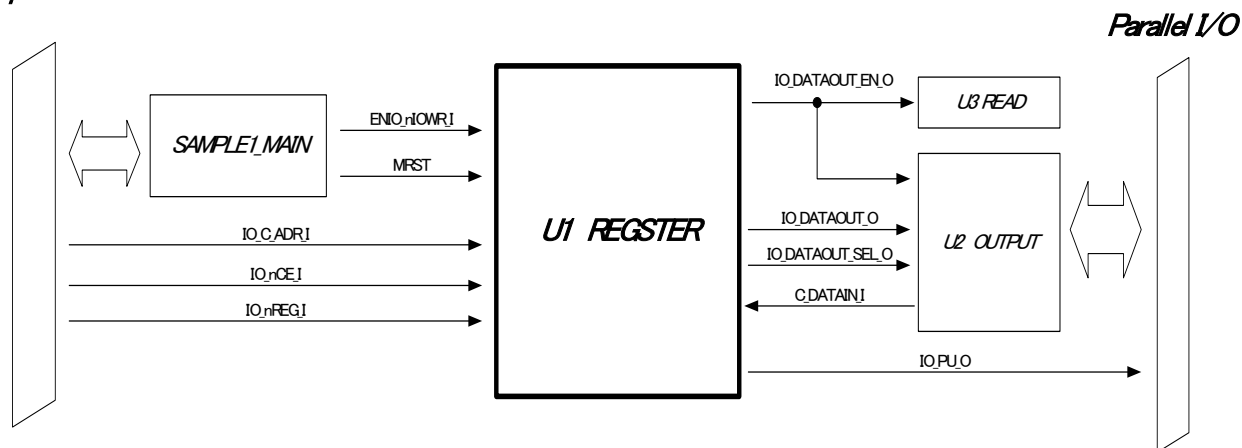
次項からサンプル1から変更のあったモジュールの説明をします。

10-5-2. サンプル3レジスタモジュールについて

レジスタモジュールを定義している"S3_REGSTER.v"の変更点についてご説明します。サンプル1に新たにアウトプットモードレジスタ、PU/PDレジスタを追加しています。モジュールの信号接続では追加されたレジスタの出力信号"IO_DATAOUT_SEL_O"、"IO_PU_O"がそれぞれ追加されています。

レジスタモジュール接続イメージ図

CompactFlash



追加されたアウトプットモードレジスタ、PU/PDセレクトレジスタはそれぞれ16ビット幅となります。全てのレジスタはバイトアクセス、ワードアクセスが可能です。

I/Oベースアドレス	レジスタ名	機能
+ 0	Data Register (R/W)	送受信データバッファ
+ 2	I/O Select Register(R/W)	入出力の切り替え
+ 4	Output Mode Register (W)	オープンドレインの切り替え
+ 6	PU/PD Select Register (W)	プルアップ/プルダウンの切り替え
+ 8	IRQ Register(R/W) ※	IRQ設定用

パラレルI/Oコネクタの信号名DIO0~DIO13は、カウンタトリガレジスタを除く他の16ビットレジスタのD0~D13に対応します。カードレジスタで使用しないビットは不定値が読み出されますので、ソフトウェア上でマスクする等の処理をしてください。

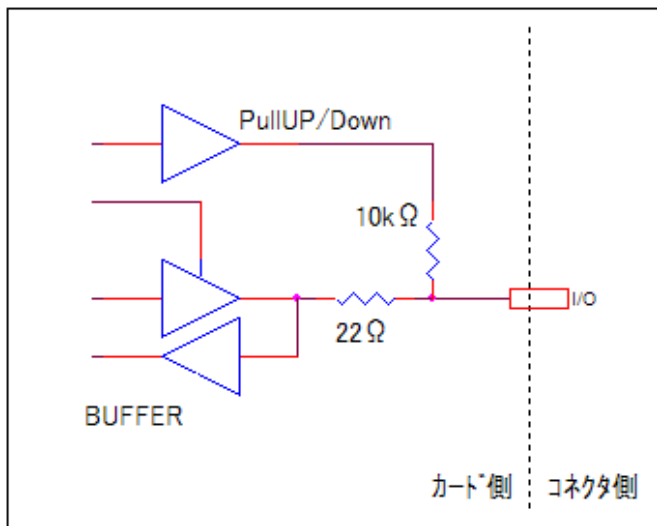
※ IRQレジスタについてはIRQIOモジュールでレジスタ定義を行っております。

レジスタの詳細については"10-2-4. サンプルソースI/Oアドレスの説明"の項をご参照ください。モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-5-3. サンプル3アウトプットモジュールについて

アウトプットモジュールを定義している"S3_OUTPUT.v"の変更点についてご説明します。サンプル3ではデータレジスタの出力定義にアウトプットモードレジスタ情報が追加され、さらにPU/PDレジスタ出力が追加されています。以下にサンプル3の入出力信号の等価回路を示します。

サンプル1と同様に入出力回路には特別な保護回路はありませんので取り扱いにはご注意ください。

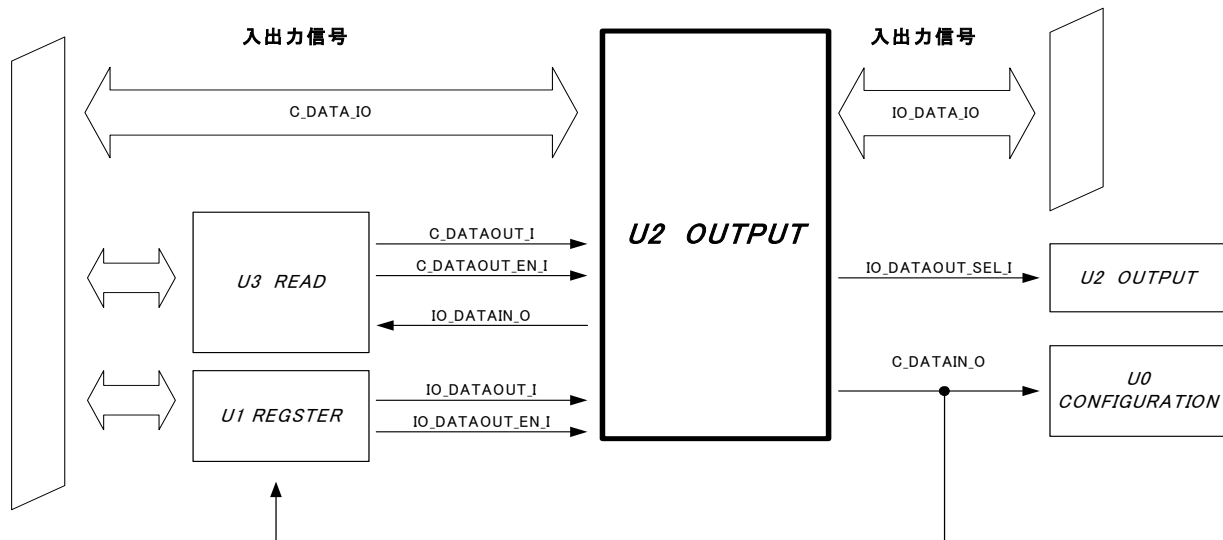


※ I/O = 1~14 Pin

アウトプットモジュール接続イメージ図

CompactFlash

Parallel I/O



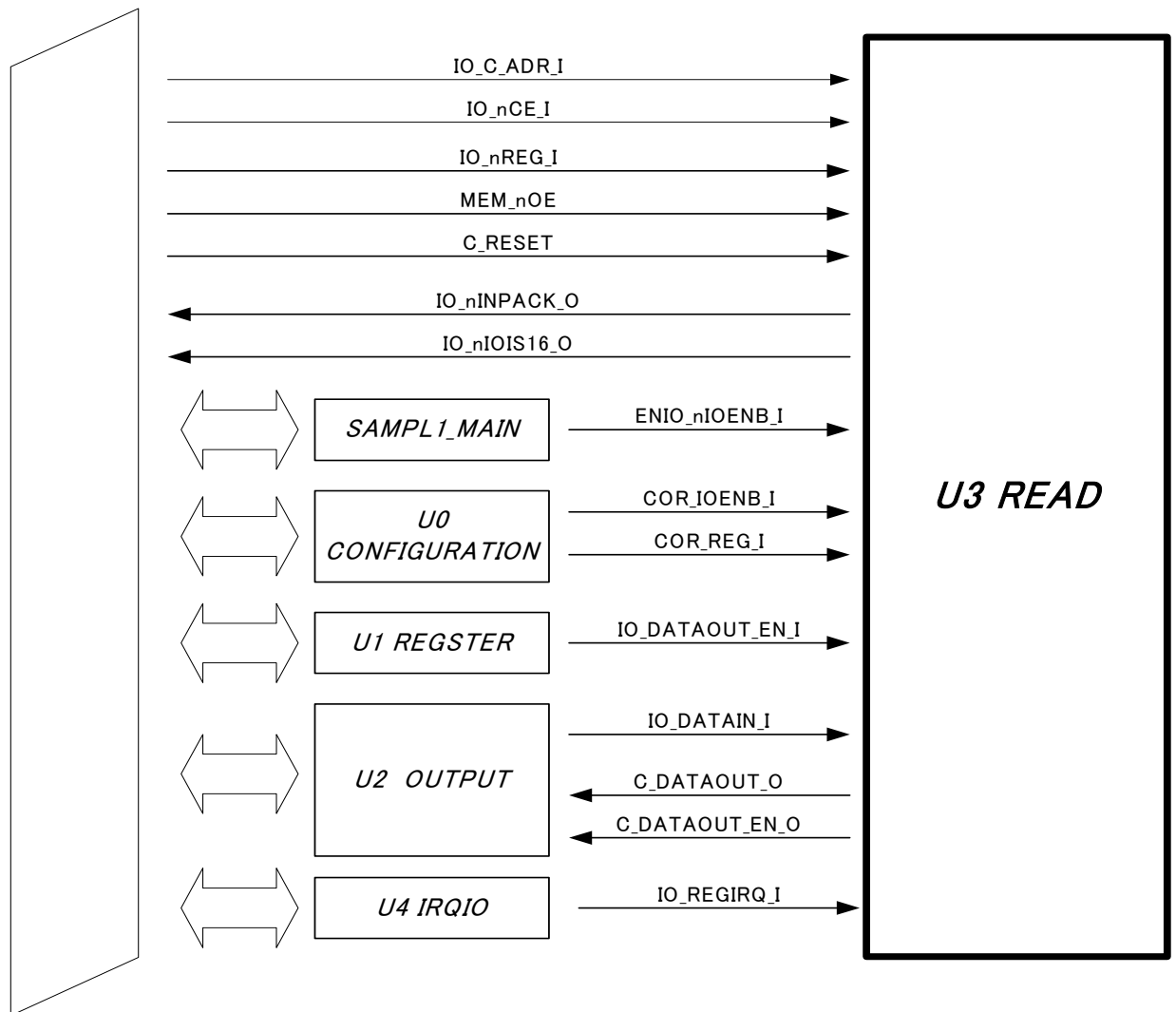
モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-5-4. サンプル3リードモジュールについて

リードモジュールを定義している"S3_READE.v"の変更点についてご説明します。サンプル3ではIRQレジスタのリードバック機能を追加するため、レジスタ信号"IO_REGIRQ_I"が新たに入力信号として追加されています。お客様が作成したレジスタをリードバックするときにサンプル3で追加した接続、動作定義をご参照ください。

リードモジュール接続イメージ図

CompactFlash



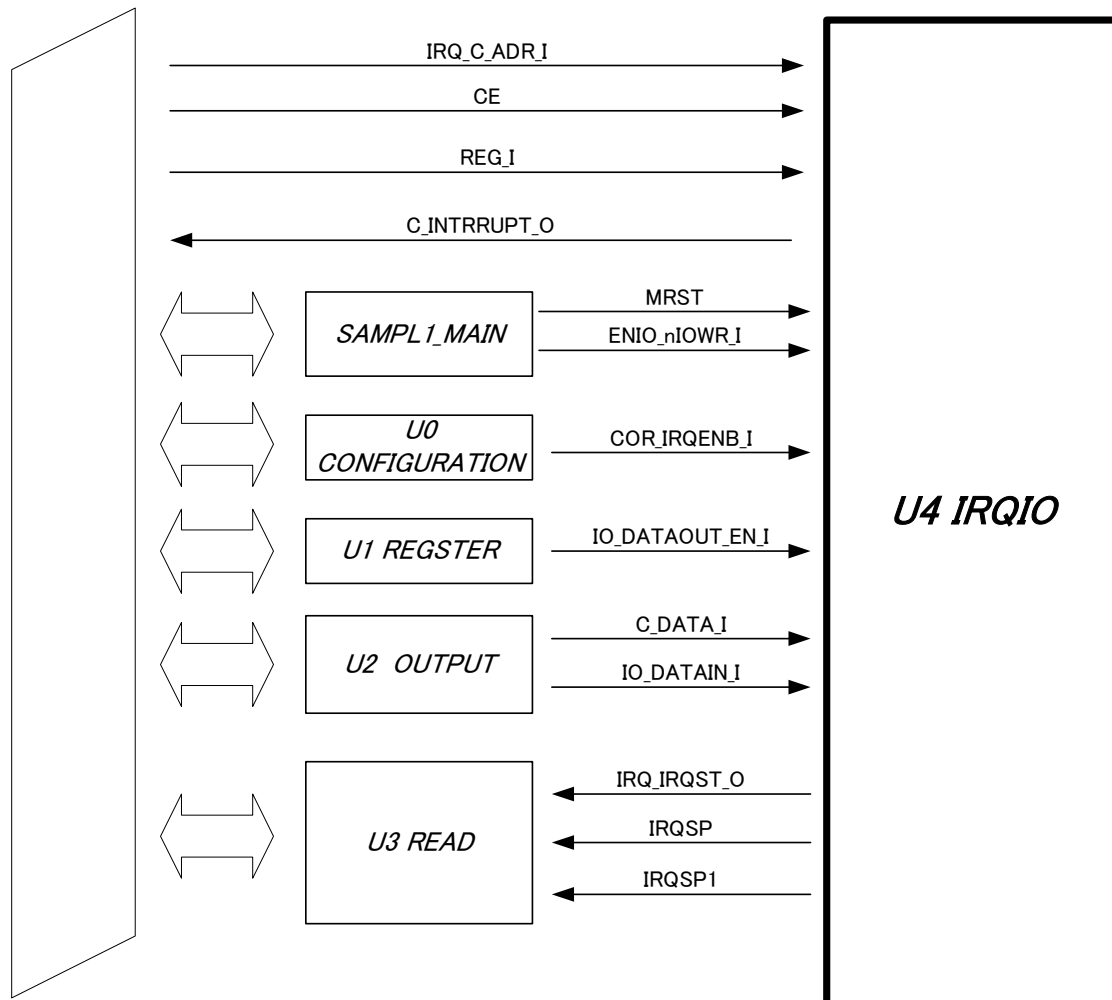
モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

10-5-5. IRQIOモジュールについて

IRQIOモジュールを定義している"S3_IRQIO.v"についてご説明します。IRQIOモジュールはIRQレジスタとその動作を定義しているファイルです。サンプル3ではIRQレジスタのリードバック機能を追加するため、レジスタ信号"IO_REGIRQ_I"を新たに入力信号として追加しています。お客様が作成したレジスタをリードバックするときにはサンプル3で追加した信号線、接続方法をご参照ください。

IRQIOモジュール接続イメージ図

CompactFlash



モジュール動作、接続の詳細についてはサンプルプログラムをご参照ください。

Q&A

Q1 : プログラム動作を行えない。

A1 : ケーブル、コネクタ、JP14の接続確認、再接続を行ってください。

ケーブル、コネクタが正しく接続されていない場合には正常動作しないことがあります。

Q2 : 基板実装LEDが点灯しない。

A2 : スイッチSW2の7pinがLowに設定されていることをご確認ください。

スイッチがHighに設定されていますとLEDD0~D13、D15点灯しません。

Q3 : AXC-PL01が予想外の動きを行う。

A3 : AXC-PL01パネルスイッチの設定が動作設定担っていること、GPIOスイッチをご使用になっている場合にはスイッチ設定に間違いがない事をご確認ください。

スイッチ設定については” 3-2. スイッチの設定方法について” をご参照ください。

製品のメンテナンスについて

- ◆ハードウェア製品の故障修理やメンテナンスなどについて、弊社—株式会社アドテックシステムサイエンスでは、製品をお送りいただいて修理／メンテナンスを行い、ご返送する、センドバック方式で承っています。
- ◆保証書に記載の条件のもとで、保証期間中の製品自体に不具合が認められた場合は、その製品を無償で修理いたします。保証期間終了後の製品について修理が可能な場合、又は改造など保証の条件から外れたご使用による故障の場合は、有償修理となりますのであらかじめご了承ください。
- ◆修理やメンテナンスのご依頼にあたっては、保証書を製品に添え、ご購入時と同程度以上の梱包状態に『精密部品取扱注意』と表示のうえお送りください。また、ご送付されるときは、製品が迷子にならないよう、前もって受付担当者をご確認ください。製品が弊社に到着するまでの事故につきましては、弊社は責任を負いかねますので、どうか安全な輸送方法をお選びください。
- ◆以上の要項は日本国内で使用される製品に適用いたします。日本の国外で製品を使用される場合の保守サービスや技術サービス等につきましては、弊社の各営業所にご相談ください。

製品のお問い合わせについて

- ◆ お買い求めいただいた製品に対する次のようなお問い合わせは、お求めの販売店又は株式会社アドテックシステムサイエンスの各営業所にご連絡ください。
 - ・お求めの製品にご不審な点や万一欠品があったとき
 - ・製品の修理
 - ・製品の補充品や関連商品について
 - ・本製品を使用した特注製品についてのご相談

- ◆ 技術サポート —— 技術的な内容のお問い合わせは、「ファックス」「郵送」「E-mail」のいずれかで、下記までお問い合わせください。また、お問い合わせの際は、内容をできるだけ詳しく具体的にお書きくださるようお願いいたします。

—————技術的な内容のお問い合わせ先—————

株式会社 アドテック システム サイエンス テクニカルサポート
〒240-0005
神奈川県横浜市保土ヶ谷区神戸町134 YBPウエストタワー 8F
E-mail support@adtek.co.jp
Fax 045-331-7770

改訂履歴

発行年月日 2005年01月24日 第1版発行

発行年月日 2005年03月02日 改定1版

発行年月日 2005年09月13日 改定2版

改定内容 SW1、SW2のピン配置変更
AXC-PL01MB基板外観図変更

発行年月日 2005年11月22日 改定3版

改定内容 注意事項修正

発行年月日 2008年10月29日 改定4版

改定内容 「5-2-4」における工場出荷時設定の誤記修正

AXC-PL01
ユーザズマニュアル

第4版発行 2008年10月29日
発行所 株式会社 アドテック システム サイエンス
〒240-0005 神奈川県横浜市保土ヶ谷区神戸町134
YBPウエストタワー 8F
Tel 045-331-7575 (代) Fax 045-331-7770

不許複製

AXC-007-081029
© 2003 – 2008 ADTEK SYSTEM SCIENCE Co.,Ltd.